第1章 基本概念

电源配送是当今系统设计中的主要挑战。随着系统的小型化和封装(package)电路板中采用新的材料,这一挑战在今后十年里必将与日俱增。随着器件规模变大,更多的晶体管被集成到一个芯片中;随着电压的降低,与此相对应的功率和电流量级将会提高。千兆比特的信号将通过封装和电路板传播,因此,能否为晶体管电路提供一个干净的电源将变得至关重要。此外,为了管控耦合和串扰(crosstalk),必须降低系统中的电磁干扰量级。

本章主要阐述电源配送的基本概念。在介绍电源配送网络(Power Delivery Network,PDN)构成部件的同时,通过实例对这一网络的分析方法学进行讨论。

1.1 引言

1.1.1 晶体管的功能

微处理器、现场可编程门阵列、存储器一类的集成电路(IC)及其他专用 IC,其内部都是由许多晶体管组成的。晶体管是多端开关,可以通过信号来控制晶体管的开通或关断。开和关的位置决定流经该器件的电流。在互补金属氧化物半导体(CMOS)场效应晶体管(MOSFET)工艺中(这是微处理器设计中最流行的工艺),使用两种类型晶体管即 NMOS(n 沟道)晶体管和 PMOS(p 沟道)晶体管。有关这些器件的详细工作原理请参见参考文献[1]。为简单起见,我们在本书中假定这两种晶体管都是三端器件,可以用开关来表示,如图 1.1 所示。这三个端分别称为栅极(G)、源极(S)和漏极(D)。通过在栅极和源极之间加上一个电压,可以开通或关断流过晶体管的电流(对于 NMOS 晶体管来说,电流从漏极流向源极;PMOS 晶体管则相反)。因为 NMOS 晶体管必须在栅极施加电压才能使电流流过晶体管,所以称为常断开关。如果一个二进制的 0(逻辑电平为低)信号作用于栅极,则开关关断;当一个二进制的 1(逻辑电平为高)信号作用于栅极时,则开关开通。PMOS 晶体管刚好相反,二进制的 1 作用于栅极则电流关断;而二进制的 0 作用于栅极则电流通过,即开关开通。因此,PMOS 晶体管被称为常通开关。把 NMOS 晶体管和 PMOS 晶体管的漏极和栅极分别接在一起可以构成反相器。在所有集成电路中,反相器都是基本构件之一。本节我们将讨论这种反相器。

图 1.2 给出了反相器电路。栅极连接点称为输入节点,漏极连接点称为输出节点。输出节点连接到下一级晶体管电路的输入节点上。由于晶体管栅极的作用相当于电容器(由金属 - 氧化物 - 半导体基板形成),反相器(也称为驱动器)用于对下一级电路的输入电容进行充放电。电容器必须充电才能达到二进制 1 的电压电平。同样,使电容器放电达到二进制 0 的电压电平需要移走电荷。反相器电路必须连接到供电电路上(如 V_{dd} 与 Gnd 端),以便能对集成电路的电容器节点进行充电和放电。在图 1.2 中,两个反相器之间的连线(互连)充当电荷的传输通道,而 R_{on} 是晶体管的导通电阻。电路工作的速度决定了通过开关为电容器提供电荷

及从电容器中移走电荷的快慢。系统中 PDN 提供的互连结构使得这种切换成为可能，它为晶体管提供足够的电压和电流以切换状态。

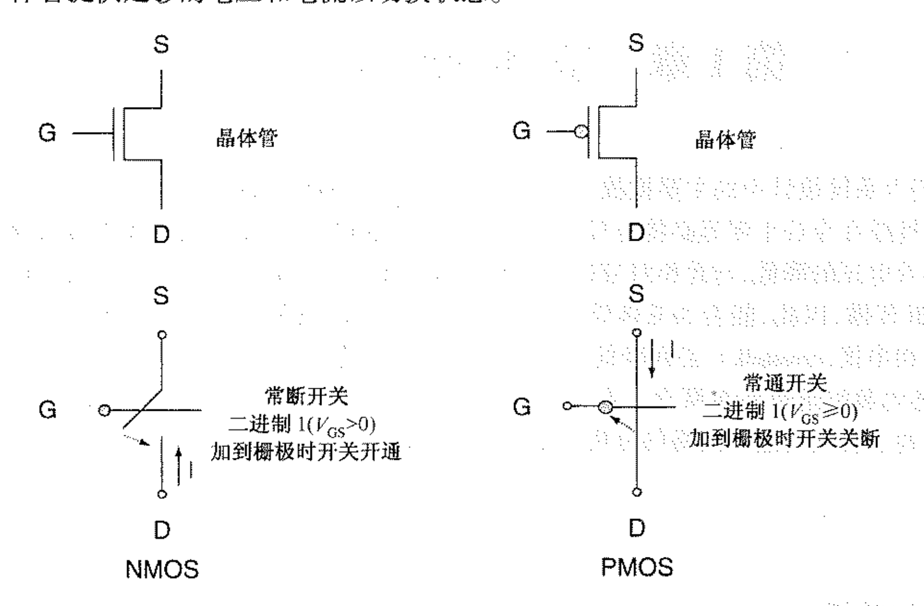


图 1.1 用开关表示 NMOS 及 PMOS 晶体管

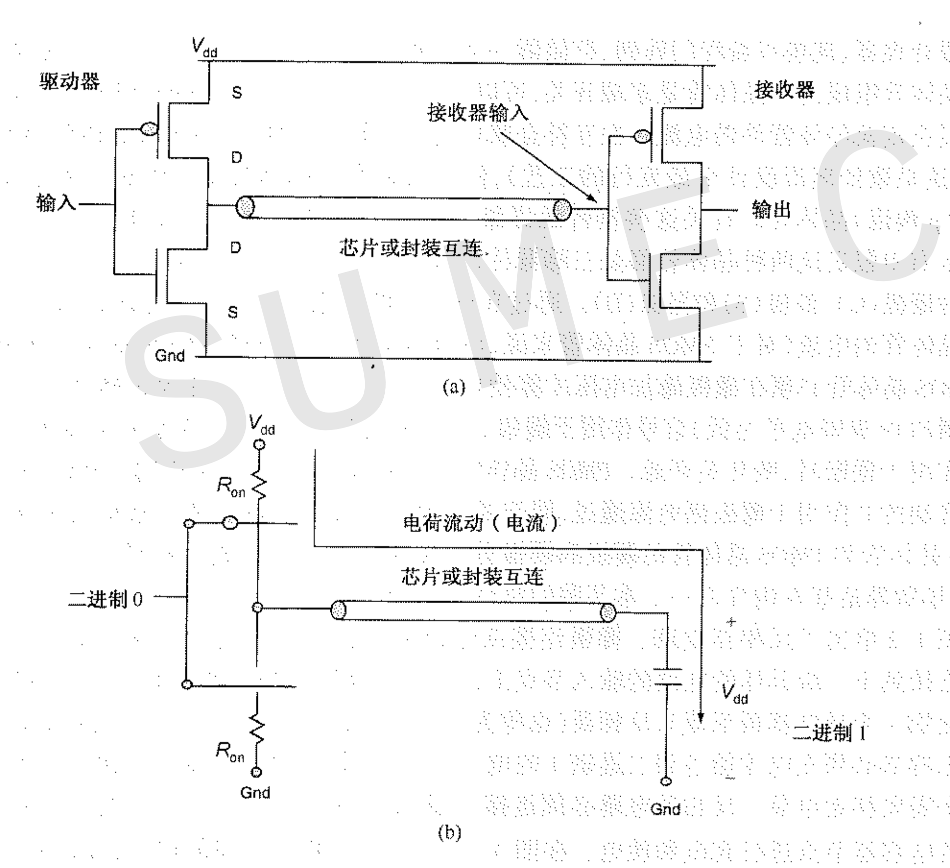


图 1.2 (a) 驱动器(反相器)连接到一个接收器(反相器)；(b) 接收器的输入电容充电至 V_{dd}

1.1.2 电源配送中的问题

供电电源(电压和电流的源端)通常体积很大，并且不能直接接到 IC 的 V_{dd} 和 Gnd 端。因此，不得不用具有电阻和电感的连线(互连)建立这种连接关系。流过这些导线的电流在 IC 的 V_{dd} 和 Gnd 端引发了包括直流(DC)压降(没有表示出来)和时变电压波动等问题(如图 1.3 所示)，这对 IC 中的晶体管都是有害的。所以，必须在供电电源和 IC 之间建立一个合适的 PDN，及时调节供电电压，使得在要求的时间区间内能够为晶体管提供足够的电流。晶体管的 V_{dd} 和 Gnd 端之间的电压波动可以引起晶体管的如下问题：

- IC 供电端之间电压的降低将减慢或阻止晶体管状态切换。
- IC 供电端之间电压的增大将引发可靠性问题。
- 如图 1.3 所示，泄漏到静态晶体管中的电压波动和来自临近信号线的串扰将使传输路径远端的静态晶体管电路产生错误的开关切换。
- 驱动器输出波形退化将引起时序容限错误。

IC 供电电源的电压波动称为电源噪声、ΔI 噪声，由于电源噪声只在大量晶体管开关的时候才会产生，所以也称为同时开关噪声(Simultaneous Switching Noise，SSN)。

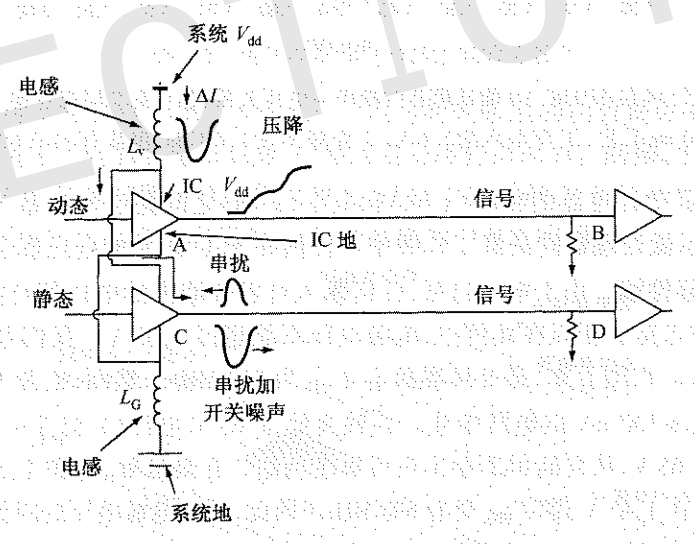


图 1.3 电源波动[2]

1.1.3 电源配送在微处理器和 IC 中的重要性

讨论晶体管电源供电的电压波动，有助于理解微处理器(这里作为一个集成实例)如何工作，以及电压波动对微处理器性能的影响。

一个微处理器由数百万个 CMOS 晶体管组成，这些晶体管通过导线以一种非常复杂的形式互连。门(或晶体管)时延、互连(或导线)时延或二者同时限制了微处理器的速度。门时延的倒数(频率)与门电压成正比。对于一个门为主导的电路，门电压下降 1% 会导致频率下降约 1%。然而，互连时延是电压的一个弱函数。在微处理器的额定电压附近，微处理器的工作电压和速度(用频率来衡量)之间存在一个重要的关系。这种关系如图 1.4 所示，图中为一个

64位可升级处理器结构(SPARC)的微处理器[3]。在额定电压1.6 V附近，频率与电压的关系几乎是线性的。如图所示，微处理器的工作频率随着电压的降低而降低，随着电压的升高而升高。这一重要的关系对于大多数微处理器都是成立的，我们可以用此例解释电源波动对微处理器工作频率的影响。事实上，处理器的性能与电压之间的关系很复杂，它不仅仅取决于电源噪声的幅度，同时也取决于噪声的频率。

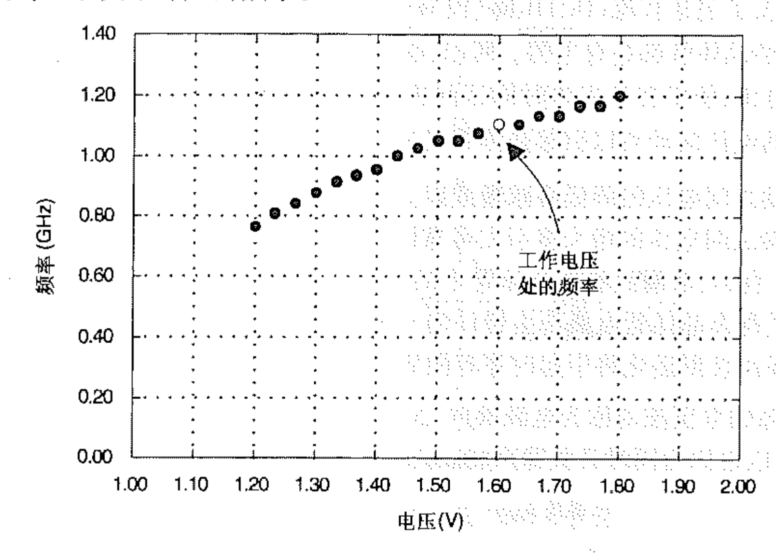


图1.4 一个64位SPARC V9微处理器的频率－电压关系，芯片有7层铝互连，采用150 nm工艺，工作电压为1.6 V，工作频率为1.0 GHz；温度保持在60℃[3]

在图1.5中，假定微处理器的频率(y轴)和电压(x轴)之间是线性关系，如图1.4所示。在图1.5中，F_{MAX}表示微处理器的最高工作频率。任何高于1.65 V的电压都会引起可靠性问题，在图中标识为可靠性墙。由于电场过强，任何落入可靠性墙内的电压都可能引起MOSFET中栅氧化物电介质被击穿。所以在此例中，电源电压不能超过1.65 V。我们假定微处理器初始工作电压为1.55 V。由图可知，微处理器额定F_{MAX}为720 MHz。然而，电源上的电压波动可引起在额定电压附近±100 mV的电压变化。在最高处，1.65 V电压(1.55 V＋100 mV)低于所能允许的最大电压1.65 V，从而确保不会出现可靠性问题。在最低处，电源电压减小为1.45 V(1.55 V－100 mV)。在1.45 V处，F_{MAX}变为670 MHz。因此，任何电源电压的降低或者说下降都会导致微处理器工作在更低的频率上。换句话说，PDN引起IC电源端电压的变化会导致微处理器速度的下降。同样，如果IC电源电压增大，超过了最大允许电压，就会导致IC出现故障。

在PDN设计中，主要任务在于最小化IC中晶体管电路电源供电端的电压下垂(droop，降低)，以及确保电压最大值不会引起可靠性问题[4]。

1.1.4 电源配送网络

电源配送网络(PDN)的主要构成部件有：供电电源、DC-DC变换器(又称稳压器；Voltage Regulator Module，VRM)、大量的去耦电容器(decoupling capacitor)及为开关电路充放电提供通道的互连。在一个典型的计算机系统中，封装好的IC安装在一个带有供电电源的主板上(有或没有插座)。供电电源为主板提供大的电压和电流。电压通过DC-DC变换器降低后，通过主板和封装中的互连提供给IC。去耦电容器作为电荷贮存器分布在主板、封装和IC上。电荷通过去耦电容器传送给需要电荷的晶体管。电容器和开关电路的临近程度决定了供应电荷所需的时间。这个时间由介质中的光速决定，它是将电荷从电容器传送到晶体管所需的最小时间。例如，常见的印刷电路板(Printed Circuit Board，PCB)中的光速为166 ps/in①，所以电荷从主板上的电容器传送给与其相距6 in的晶体管电路所需的最少时间为1 ns。

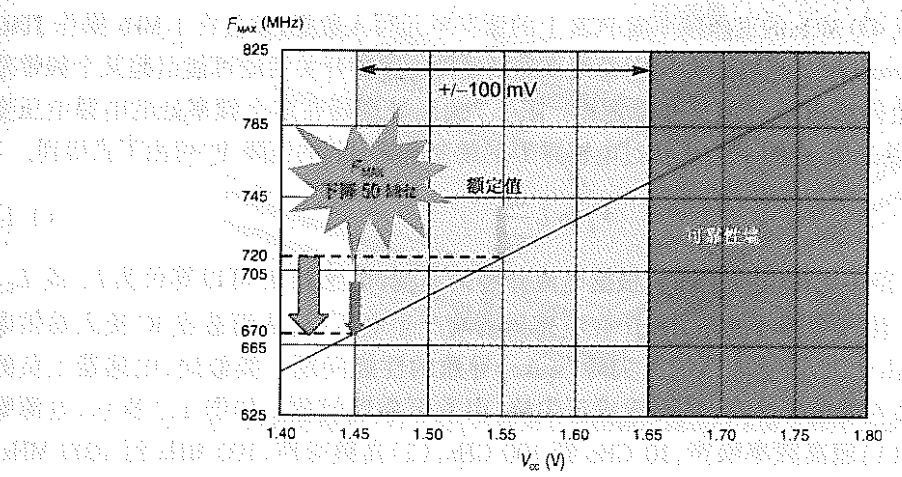


图1.5 电压波动和处理器性能的关系[4]

半导体电路典型的PDN如图1.6所示[5]。因为时间延迟的倒数是频率，所以电容器和晶体管的临近程度决定了电容器是以高频、中频还是低频传送电荷。高频、中频和低频电容器如图所示，由于远离IC的电容器一般体积比较大，所以它在低频下工作。大个电容器的电荷贮存能力高达数千个μF，远远高于容值为nF级的高频和中频电容器。

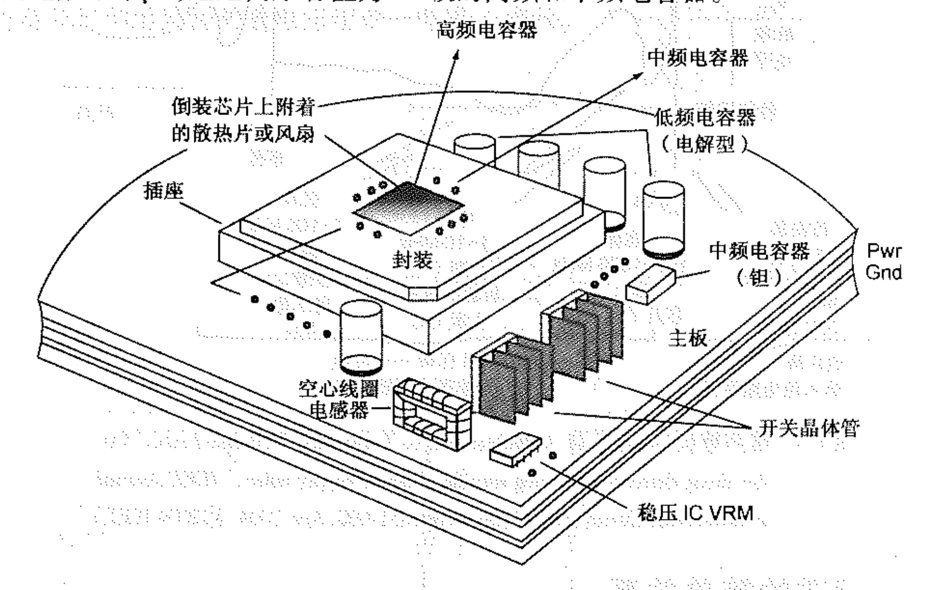


图1.6 电源配送网络(内容来自D.Herrell and B.Beker，"Modeling of power distribution systems in PCs，"in *Proceedings of the EPEP' 98 Conference*，pp.159-162，© 1998 IEEE)

① 1 in(英寸)＝25.4 mm，1 ft(英尺)＝30.48 cm，1 mil(密耳)＝0.0254 mm。

1.1.5　电源供电中的跳变

尽管微处理器工作频率可能很高(1 GHz 或更高),但因为计算机是一个宽带系统,其中的晶体管可以在多个频率下开关,所以供电电源会在一定的频带内产生波动。例如,系统中的 1 GHz 微处理器可能会以 1 GHz 的频率执行操作指令,引起 1 GHz 频率处的电压波动。与此同时,微处理器可能以 400 MHz 的工作频率向 PCB 上的缓存单元写入数据,并且在 1 MHz 操作 JTAG (Joint Test Access Group,联合测试行动小组)总线来测试硬件。这种开关活动可能引起某个频带范围内的电压波动,使得 PDN 设计变得非常困难。图 1.7 为微处理器在多个频率处的电源电压变化[5]。对于集成电路来说,在图 1.3 中,流过电感器 L 的跳变电流引起的压降 V_L 可由下式得到:

$$V_L = L\frac{dI}{dt} \tag{1.1}$$

其中 dI/dt 表示电路中电流的变化率。根据电流路径的不同,电感器 L 可以等价为 L_V 或 L_G,或者两者的组合。流过电感器的正 dI/dt 在电感器两端产生电压降,从而造成 IC 接入端供电电压的下降,引起由于 IC 供电电压的负尖峰(spike)导致的性能问题。类似地,电感器上负的 dI/dt 会造成 IC 接入端电压升高,从而造成正尖峰,引发可靠性问题。如图 1.7 所示,电源噪声分为 4 个部分:(1)超高频率噪声,10 GHz 到 100 GHz,(2)高频噪声,100 MHz 到 1000 MHz,(3)中频噪声,1 MHz 到 10 MHz,(4)低频噪声,1 kHz 到 100 kHz。片上电感会影响超高频和高频噪声(> 1 GHz),而封装对高频率和中频噪声分量(10 MHz ~ 1 GHz)的影响较大。主板和稳压器上的电感影响中频和低频噪声(< 1 MHz)(见图 1.7)。

超高频、高频、中频和低频的噪声也分别称为电源的一级、二级、三级和四级下垂或尖峰。

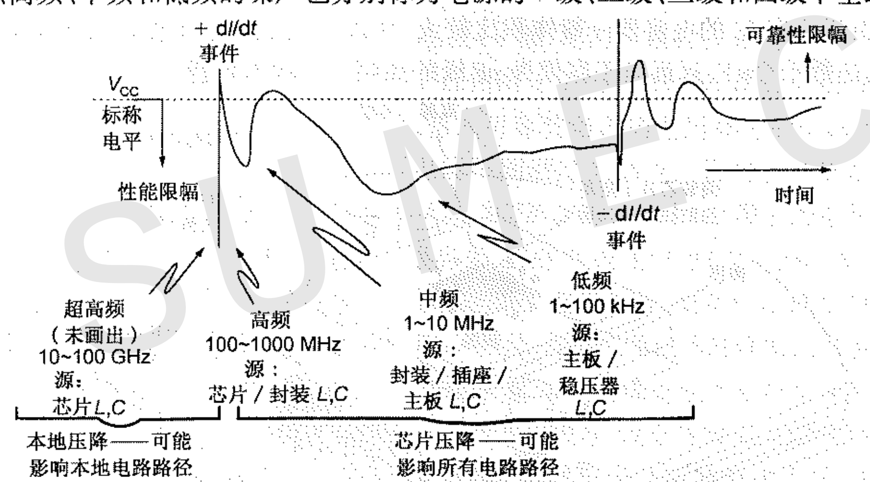


图 1.7　噪声特征(内容来自 A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi, "On-die droop detector for analog sensing of power supply noise," *IEEE Journal of Solid-State Circuit*, vol. 39, no. 4, pp. 651-660, Apr. 2004, ©2004 IEEE)

1.2　电源配送的简单关系

在所有 IC 中,有两类电路需要供电:内核(core)电路和 I/O(输入/输出)电路。内核电路由 IC 中的晶体管组成,而晶体管之间需要相互通信。I/O 电路必须通过封装及主板与其他 IC 进行通信。因为与 I/O 相连的导线位于 IC 之外,所以它们的噪声非常大,常常使用单独的 PDN 将其与内核电路分开,如图 1.8 所示,其内核电路和 I/O 电路在开关动作时都会在供电电源上产生电压波动。在本节,我们将推导出关于内核和 I/O 电路电源电压波动的简单关系式。

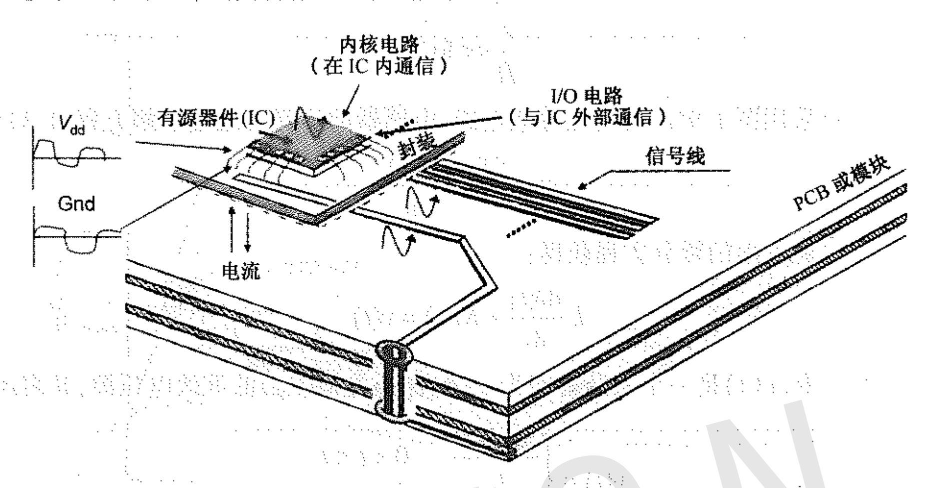


图 1.8　内核电路和 I/O 电路(内容来自 Professor Joungho Kim, KAIST, South Korea)

1.2.1　内核电路

图 1.9(a)给出了一个非常简单的内核电路,其中驱动器电路和接收器电路分别为图中的 2 和 1。由于网络中互连的寄生效应,PDN 包括了一些电阻和电感。我们这里假设阻抗可以忽略。图 1.9(a)电路的简单等效电路如图 1.9(b)所示。在简化的等效电路中,开关表示 PMOS 晶体管在 0 时刻开通。阻抗 R 是晶体管的导通电阻,C 是接收器电路 1 需要充电时的输入电容。电源路径和地路径的总电感用单一电感 L 表示。

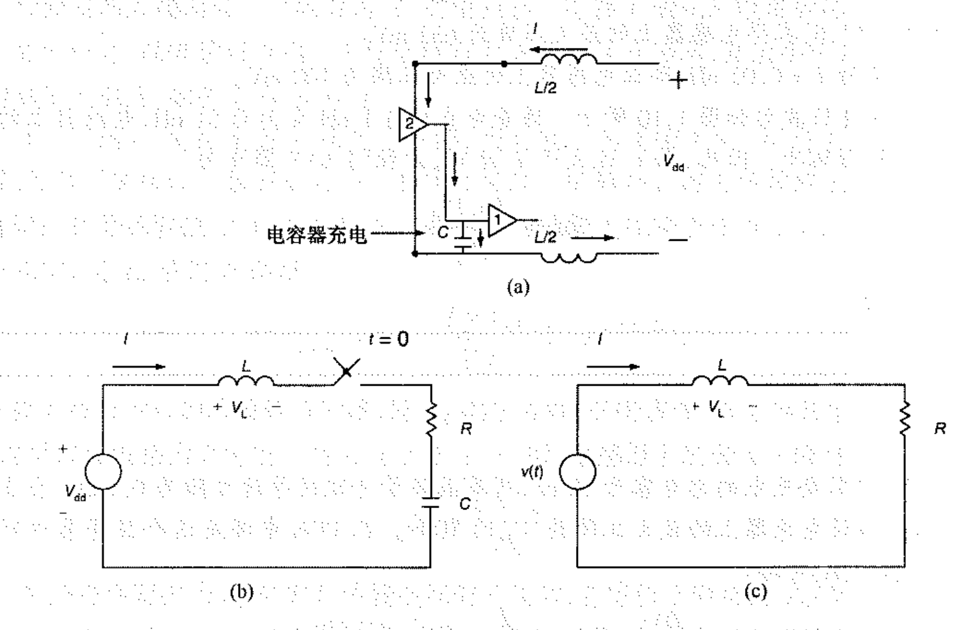


图 1.9　(a)内核电路开关;(b)等效电路;(c)简化的等效电路

内核 PDN 的目的就是确保为开关电路提供充足的电荷以使电容达到指定电压。为了使时延最小,必须在很短的时间内完成充电。图 1.9(b)电路有两个时间常数:L/R 和 RC。晶体管电路时延用 RC 时延来定义。由于 L/R 时间常数对晶体管 RC 时延的影响应该最小化,这就要求[2]:

$$\frac{L}{R} \ll \mathrm{RC} \tag{1.2}$$

在这种假设下,可采用图 1.9(c)的简化等效电路,电感器的压降可通过求解方程(1.3)获得:

$$v_L(t) = L\frac{\mathrm{d}i(t)}{\mathrm{d}t} \tag{1.3}$$

其中,电流可通过解下面的微分方程获得:

$$L\frac{\mathrm{d}i(t)}{\mathrm{d}t} + Ri(t) = v(t) \tag{1.4}$$

在方程(1.4)中,$v(t)$是一个上升时间为 t_r(包含开关和 V_{dd})的等效电压源,其表示如下:

$$v(t) = \begin{cases} \dfrac{V_{dd} \times t}{t_r}, & 0 \leqslant t \leqslant t_r \\ V_{dd}, & t \geqslant t_r \end{cases} \tag{1.5}$$

上升时间取决于开关速度。电感器上的电压在 $t = t_r$ 时达到最大值,其值为

$$v_{L\max} = \Delta v = \frac{L \times V_{dd}}{Rt_r}(1 - \mathrm{e}^{-t_r/(L/R)}) \tag{1.6}$$

举例

假设 $t_r = 0.1$ ns,$L = 0.1$ nH,$R = 1\ \Omega$,$C = 1$ nF,$V_{dd} = 1$ V。$L/R = 0.1$ RC,因此满足方程(1.2)的条件。由方程(1.6)求得电感器上的最大压降为 632 mV。

改变电感值为 $L = 0.01$ nH,那么电感器上的最大压降为 100 mV。

电感器上的电压波形如图 1.10 所示。随着电感从 0.1 nH 变为 0.01 nH,电感器上的压降波形更像一个矩形脉冲。因此,当 t_r 远大于 L/R 时,方程(1.6)可简化为

$$\Delta v \approx \frac{L \times V_{dd}}{Rt_r} \tag{1.7}$$

及 t_r 的脉冲宽度。

举例

假设在 IC 中需要充电的总电容为 10 nF,所有晶体管并联的导通电阻为 0.1 Ω。当上升时间 $t_r = 1$ ns 时,假设电感器上的最大压降为 V_{dd}的 10%。在 PDN 中满足这个压降条件所需的电感,根据方程(1.6)可知:

$$\frac{\Delta v}{V_{dd}} = 0.1 = \frac{L}{(0.1 \times 1)}(1 - \mathrm{e}^{-1/(L/0.1)}) \tag{1.8}$$

式中 L 的单位为纳亨(nH)。通过反复迭代,求得电感 $L = 0.01$ nH。该电感满足方程(1.2)的条件。由于 t_r 远远大于 L/R,所以也可以通过方程(1.7)求出。

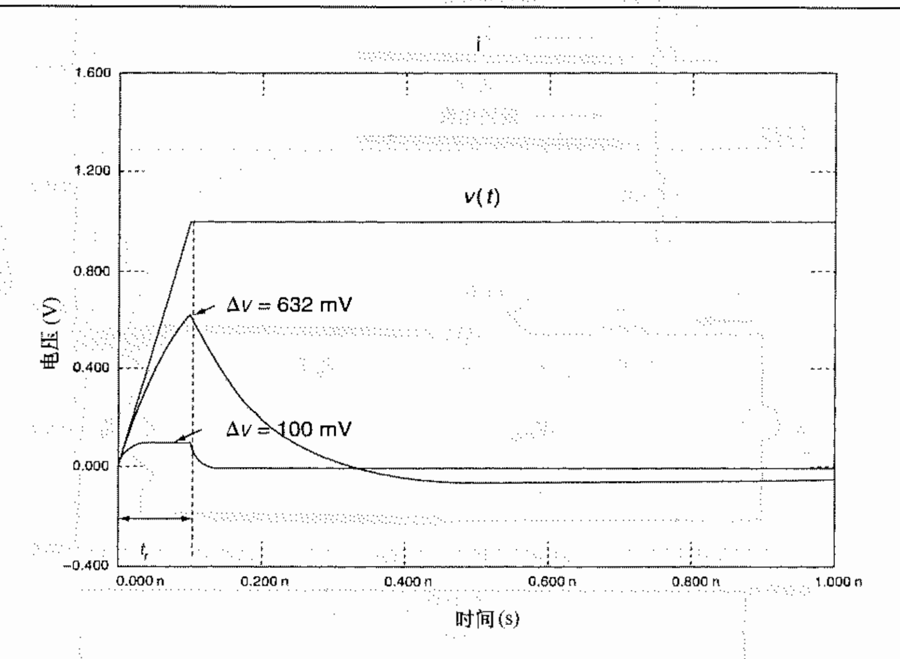


图 1.10 通过电感器的压降

1.2.2 I/O 电路

与内核电路不同,I/O 电路驱动片外互连。随着频率的增加,当互连表现为传输线时,时延变得非常重要。用来驱动 I/O 电路的 PDN 如图 1.11(a)所示:传输线的特性阻抗为 Z_0,时延为 T。传输线的远端端接一个阻值为 Z_0 的电阻器。电感 L 表示从电源到芯片端的 PDN 回路电感。如前所述,晶体管可以用一个导通电阻为 R 的开关来表示,R 远小于 Z_0,以保证传输线上能得到最大电压,如图 1.11(b)所示。

当开关开通时,电源电感 L 相当于开路;当时间 t 为无穷大时,相当于短路。如上节所述,电压源和开关可以一起表示为一个上升时间为 t_r 的脉冲。因为传输线远端端接了与传输线特性阻抗相等的阻抗,所以没有反射。电感器上的最大压降发生在 $t = t_r$ 时刻。与上一节的计算相同,用 Z_0 替代 R 即得

$$v_{L\max} = \Delta v = \frac{L \times V_{dd}}{Z_0 t_r}(1 - \mathrm{e}^{-t_r/(L/Z_0)}) \tag{1.9}$$

根据方程(1.9),如后面章节所述,低 Z_0 的信号线(高电容性)常会导致电感器上一个大的压降,这里假设电感为固定值。当 t_r 远大于 L/Z_0 时,电感器上的最大压降可简化为

$$\Delta v \approx \frac{L \times V_{dd}}{Z_0 t_r} \tag{1.10}$$

当 N 条特性阻抗为 Z_0 的并行传输线同时开关时,它等价于阻抗为 Z_0/N 的单一传输线的开关。因此,把方程(1.9)和方程(1.10)中的 Z_0 换成 Z_0/N 即可求得电感器上的最大压降。

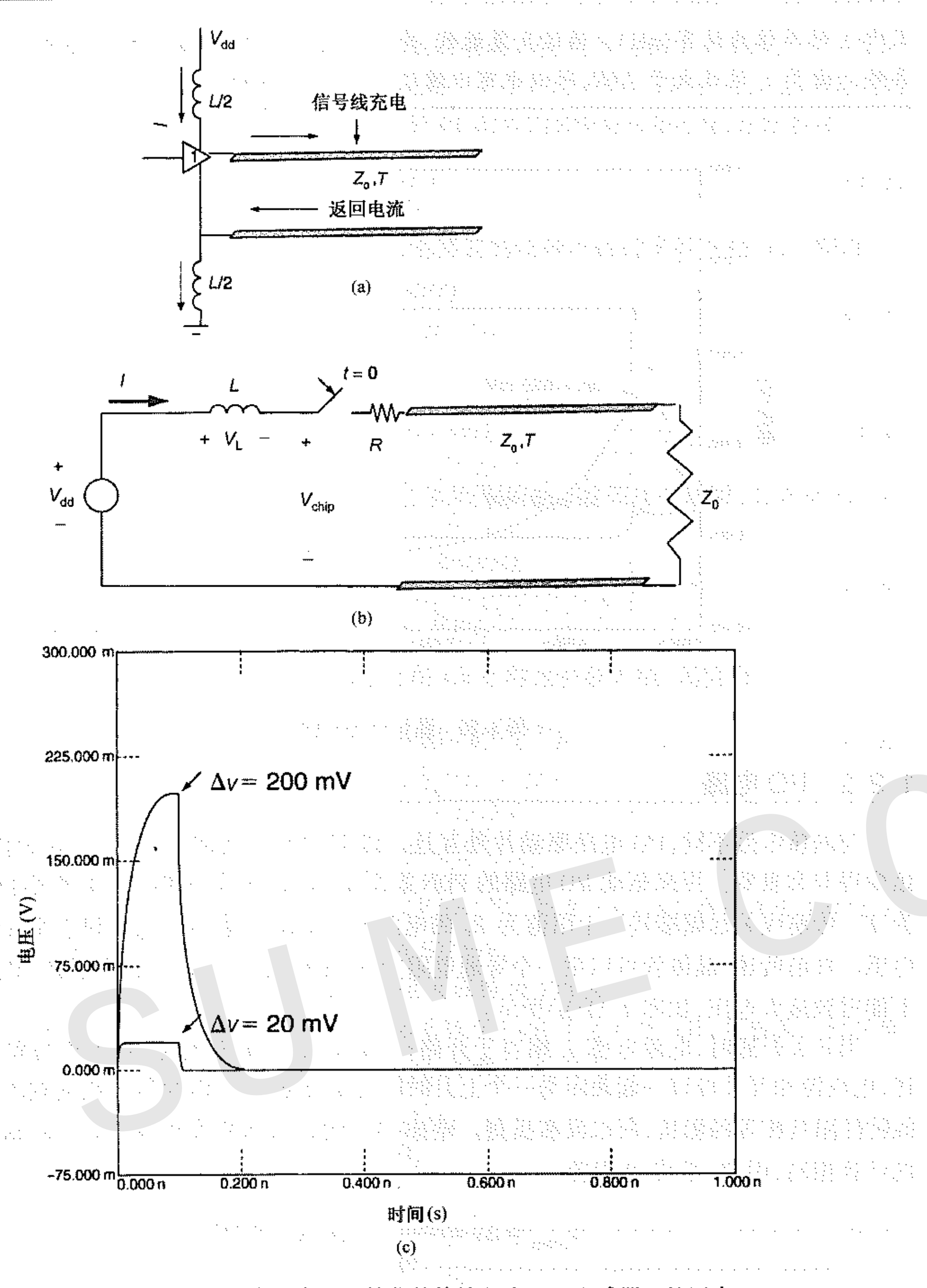


图 1.11 (a) I/O 电路开关;(b) 简化的等效电路;(c) 电感器上的压降

举例

假设 $L = 1$ nH, $Z_0 = 50\ \Omega$, $V_{dd} = 1$ V, $t_r = 0.1$ ns,由方程(1.9)可求得电感器上的最大压降为 200 mV。假设电感降低为 $L = 0.1$ nH,电压降将变为 20 mV。电感器上的电压波形如图 1.11(c)所示:当 t_r 远大于 L/Z_0 时,电感器的压降看起来更像一个矩形脉冲。

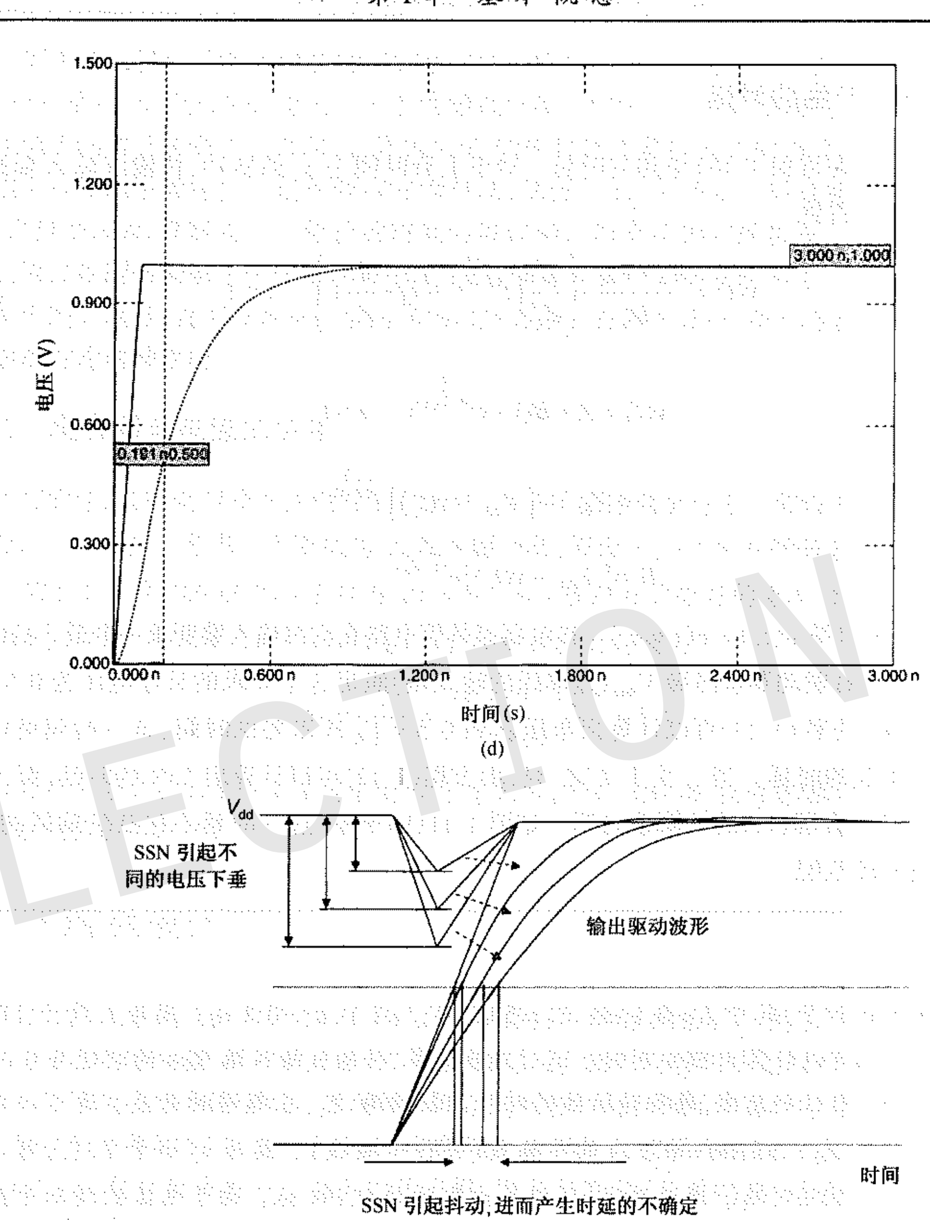


图 1.11(续) (d)一个驱动器和 100 个驱动器开关带来的时延;(e)同时开关噪声引起的抖动(内容来自Sony公司)

举例

考虑特性阻抗为 $Z_0 = 50\ \Omega$ 的 32 位总线。驱动器在 $t_r = 0.1$ ns 时开关。假设 $V = 0.1 \times V_{dd}$ 为电感器上期望的最大压降,则所需的最大供电电感可由以下方程解得:

$$\frac{\Delta v}{V_{dd}} = 0.1 = \frac{32 \times L}{50 \times 0.1}\left(1 - e^{-0.1/(L/(50/32))}\right) \tag{1.11}$$

求得电感为 16 pH。因为 t_r 远大于 $L/(Z_0/N)$,从方程(1.10)可以获得相同的结果。

1.2.3 SSN 产生的时延

电感器的存在增加了 I/O 电路的时延。对于上升时间为 t_r 的脉冲，传输线输入端的电压可以由下式计算得到：

$$v(t)=\frac{Z_0\times V_{dd}}{Lt_r}\left(\frac{L^2}{Z_0^2}[e^{\frac{-t}{(L/Z_0)}}-1]+\frac{L}{Z_0}t\right)\quad t\leqslant t_r \tag{1.12}$$

并且

$$v(t)=A+B(1-e^{\frac{-t}{(L/Z_0)}})\quad t>t_r \tag{1.13}$$

其中

$$\begin{aligned}A&=V_{dd}-[V_{dd}-v(t_r)]e^{\frac{t_r}{(L/Z_0)}}\\B&=[V_{dd}-v(t_r)]e^{\frac{t_r}{(L/Z_0)}}\end{aligned} \tag{1.14}$$

由方程(1.12)可求得 $v(t_r)=v(t=t_r)$。接收器晶体管电路在它的输入端要求一个最小的电压来切换状态。假设在驱动器输出端 V_{chip}(传输线的输入端)满足这个要求的最小电压为 $0.5\times V_{dd}$。由方程(1.12)和方程(1.13)可以计算出电压达到 $0.5\times V_{dd}$ 所需要的时间，这一时间可以表示由电源电感引起的时延。当 t_r 大于 L/Z_0 时，由方程(1.12)可以计算出 50% 的时延，而当 t_r 小于 L/Z_0 时，则由方程(1.13)计算该时延。如图 1.11(b)所示，这一时延不包括传输线的时延，而且要求负载端匹配。

举例

考虑前面的例子，其中 $L=0.1$ nH，$Z_0=50\ \Omega$，$V_{dd}=1$ V，$t_r=0.1$ ns。因为 t_r 大于 L/Z_0，所以由方程(1.12)可以计算出 50% 时延。通过迭代计算，传输线输入端 50% 的时延为 0.052 ns。

假设一个 100 位的总线，每条传输线的特性阻抗均为 Z_0，且都同时开关。这可以转化为一条等效阻抗为 $Z_0=50/100=0.5\ \Omega$ 的传输线(并行传输线)。因为 t_r 小于 L/Z_0，可以由方程(1.13)计算出 50% 时延。通过迭代，可以算出时延为 0.191 ns。由于电流的增加导致电感器上的压降增加，于是导致了时延的增加。传输线输入端电压如图 1.11(d)所示，图中标出了 50% 的时延。

1.2.4 SSN 影响时序和电压容限

串扰、工艺变化、SSN、反射和其他因素都会影响时序和电压容限。在本节，我们只研究 SSN 的影响。由于电源噪声可能扰乱信号电压的波形，所以 SSN 会影响电压容限。在上一节，我们得到了 SSN 和时延之间的关系：对于大量的开关驱动器而言，随着 SSN 的增加，50% 时延也将增加。这种时延表明自身如抖动一样会影响波形的信号完整性，从而增加时序错误，如图 1.11(e)所示。作为一个例子，考虑一个 8 位宽的总线。如果所有位都由 0 切换到 1(对于总线来说，就是由 00000000 变为 11111111)，供电电源将流出最大跳变电流，导致最大的噪声和

时延。如果位仅仅选择性地切换(如从 00000000 到 10101010)，同时开关的驱动器少了，那么噪声(和时延)也小于先前的情况。对于伪随机位流(PRBS)，开关驱动器的数目随机变化，从而引起随机同时开关噪声。因此，上升边沿的 50% 时延随着位模式的改变而改变，这导致了上升边沿位置的不确定性。这种效应称为抖动，如图 1.11(e)所示。抖动将导致时序的不确定，如果抖动太大，就需要一个更长的时间间隔以锁定所有位模式的数据。因此，I/O 信令的目标是通过控制抖动确保时序错误最小化，通过降低同时开关噪声和其他一些参数，这是完全可以实现的。这样，就可以确保一个适当的时序容限。在第 5 章中，我们将通过一个例子来更加详细地讨论这种效应。

1.2.5 电容器与电流的关系

如前所述，去耦电容器作为电荷贮存元件，为开关电路提供电流。假设电源电感非常小以致方程(1.10)成立。考虑一个阻值为 50 Ω 的驱动器，假设 $V_{dd}=5$ V 时所需电流为 0.1 A($\Delta I=5/50$)。假设有一个 100 nF 的电容器在 10 ns(t_r)内完成对开关电路的充电，并且电源波动保持在 10% V_{dd} 以内。为保持 Δv 为 10% V_{dd}，电容器所提供的电流为[6]

$$\Delta I=\frac{C\Delta v}{t_r}=\frac{100\times10^{-9}\times0.5}{10\times10^{-9}}=5\text{ A} \tag{1.15}$$

因为单个驱动器需要 0.1 A 的电流为互连充电，所以 100 nF 的电容器可以在 10 ns 内为 50 个 I/O 电路提供电流。

1.3 PDN 的设计

因为计算机系统支持多个频率，所以 PDN 最好在频域内设计。然后，可在时域内观察 PDN 对开关电路的响应，以便评估在 IC 电源端或者系统中任意两节点间产生的跳变电压噪声。PDN 的频域响应有助于设计者理解由网络中电感和电容相互作用产生的系统谐振和反谐振。当反谐振被源激励时，往往会在 IC 电源端上引起最大的噪声电压。基于 PDN 的频率响应，设计者可以估计出系统中反谐振的重要性，以及判断源(开关电路)是否会引起这些反谐振。因此，源特征和 PDN 的频率响应决定了时域噪声电压。在本节将引入目标阻抗的概念，通过在频域和时域内评估一个简单电路，讨论作为设计参数的目标阻抗应用。

1.3.1 目标阻抗

目标阻抗以欧姆定律为基础，欧姆定律表述为电压与电流的比值等于网络的阻抗。对于 PDN，电压是电源上允许的波动(Δv)。PDN 的目标阻抗 Z_T(单位欧姆)可以通过下式计算[7]：

$$Z_T=\frac{V_{dd}\times\text{波动}}{50\%\times I_{max}}\ (\Omega) \tag{1.16}$$

式中假设开关电路流出的平均电流为最大电流的 50%，V_{dd} 为电源电压。假设波动为 5 V 电压的 5%，并且最大电流为 1 A，则目标阻抗计算为

$$Z_T = \frac{5 \times 5\%}{50\% \times 1} = 0.5\ \Omega \tag{1.17}$$

因为 IC 的功率 P 和电压 V 是已知的，所以 IC 中流出的最大电流可通过关系式 $P = VI_{max}$ 求出。目标阻抗 Z_T 在频域内确定了 IC 电源端 PDN 最大阻抗的上限。低于 Z_T 的阻抗能够确保任何电流跳变引发的电压噪声均小于 5 V 的 5%。因此，对于必须把噪声电压控制在电源电压一定范围内（如 5%）的 PDN 设计，Z_T 是非常有用的参数。

图 1.12 所示为 Z_T 与频率的关系图。频率轴表示激励源的频率分量。由图可知，如果阻抗在某些频率超过目标阻抗，当这个频率上有电流源激励时就可能导致电源噪声超过 5 V 的 5%，即 250 mV。图中假定电流跳变为最大电流的 50%。

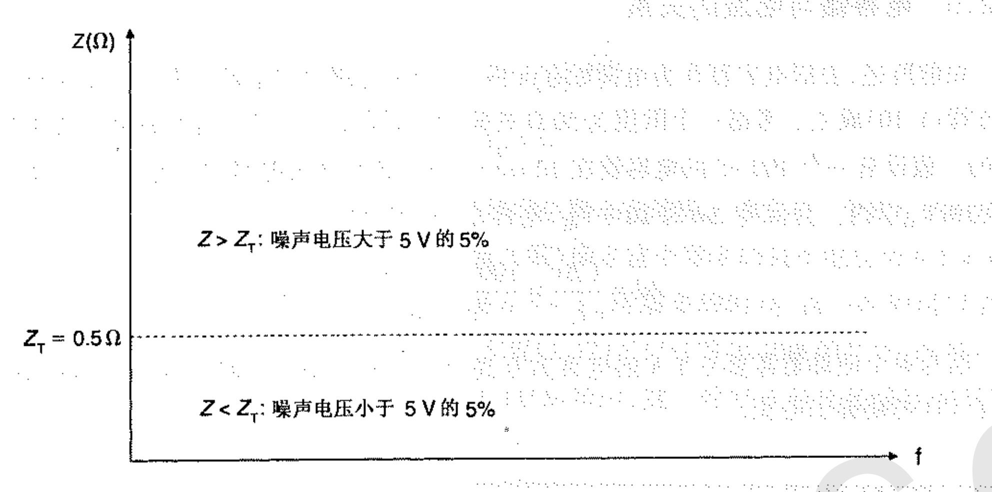


图 1.12 Z 频率曲线

表 1.1 列出了 1990～2002 年期间 5 种微处理器的目标阻抗值。可以看出，在过去的十余年里，由于电压的降低及功率的增加，目标阻抗降低了 500 倍。因为 PDN 的阻抗可由公式 $Z = \sqrt{L/C}$ 得到，其中 L 和 C 为该网络的电感和电容，所以低目标阻抗意味着网络的大电容和小电感。在表 1.1 中可看到，在过去的十余年里，微处理器的频率从 16 MHz 上升到了 1.2 GHz，这意味着目标阻抗必须维持到至少满足基本时钟频率。然而，这种极其苛刻的条件不能在所有频率都得到满足，并且常常导致系统成本的增加。因此，我们必须谨慎地把系统中的频率响应和各种电流跳变联系起来，更好地理解 PDN 可能被激励的频率。在这些激励频率上的目标阻抗必须得到满足。

表 1.1 目标阻抗的发展趋势

年份	电压(V)	功率(W)	电流(A)	目标阻抗(mΩ)	频率(MHz)
1990	5.0	5	1	250	16
1993	3.3	10	3	54	66
1996	2.5	30	12	10	200
1999	1.8	90	50	1.8	600
2002	1.2	180	150	0.4	1200

信息来自参考文献[7]。

1.3.2 阻抗和噪声电压

考虑图 1.13(a) 所示的电路。电路的供电电压为 2.0 V。电源到电容器的分布电阻和分布电感分别为 3 mΩ 和 320 pH。当电流从电源流到电容器（通过互连）对电容器充电时，分布电阻和分布电感导致阻性和感性压降。电容器的参数为：等效串联电阻(ESR) = 10 mΩ，等效串联电感(ESL) = 1 nH，C = 100 μF，因此它的谐振频率为 0.5 MHz，这在后面将进行详细介绍。电路中的片上电容为 800 nF。IC 电压端和地端之间的电流源为 1 A。通过交流分析可以获得电压（或单位为欧姆的阻抗），如图 1.13(b) 所示。在图 1.13(a) 中，电流用 1 A 的电流源表示，因此它两端的电压值就是以欧姆为单位的阻抗（$Z = V/I$）。在频率响应中，可以看到去耦电容器的谐振频率。由于片上电容和去耦电容器的等效串联电感之间的反谐振，在 13 MHz 附近产生大的阻抗，这将在后面解释。阻抗波形中的零点称为谐振，峰值点称为反谐振。对于 2 V 的电压源、5% 的容限、10 A 的平均电流，则目标阻抗为 10 mΩ。因此，电流源两端（它表示开关电流）允许的最大阻抗是 10 mΩ。显然，在图 1.13(b) 中当频率到达 5 MHz 之前均满足目标阻抗。在 5 MHz 到 100 MHz 的频带范围内，阻抗值已经超过了目标阻抗。

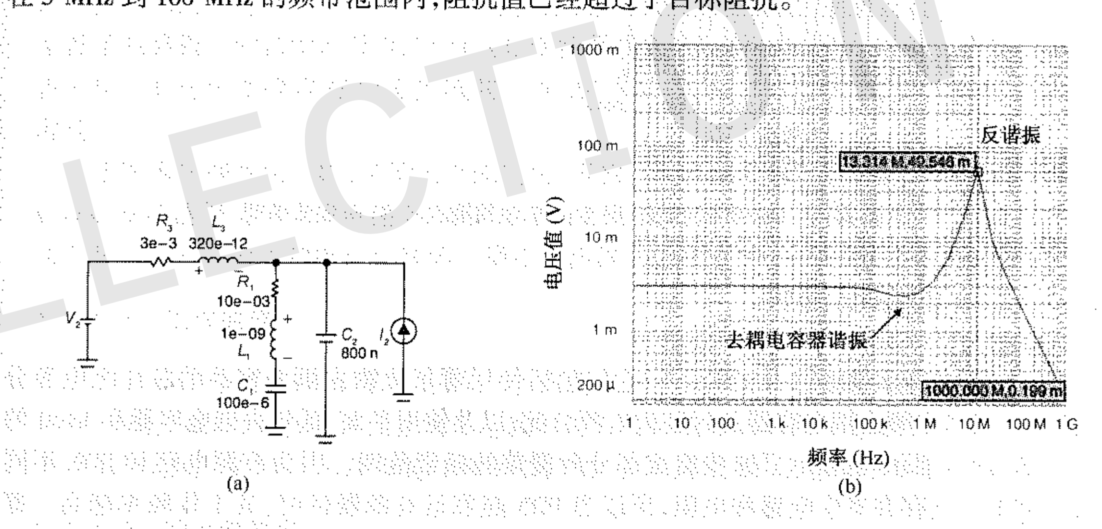


图 1.13 (a) PDN 电路；(b) 频率响应

现在，我们看一下该网络对两个电流特征的响应。图 1.14(a) 给出了用于计算时域响应的电路。开关电路用时变电阻器表示，它的阻值范围是从 97 mΩ 到 197 mΩ，对应于电路中 10 A 电流的改变。假设 PDN 网络中仅存在一个 3 mΩ 的阻性阻抗（没有感抗）。电路中的电流会从 20 A(2/100 mΩ) 变到 10 A(2/200 mΩ)。对于上升时间为 10 ns、周期为 1 μs 的电流跳变，时变电阻器两端的电压如图 1.14(b) 所示。如前所述，IC 电源的跳变电压包含具有正峰值和负峰值的跳变。噪声电压在开关动作 50 ns 后会在 2 V 的 ±5% 内的波动。因此，在 1 μs 周期的大部分时间里，噪声均小于 5% 容限值。10 ns 的上升时间有足够的超过初始目标阻抗的频率分量，产生第一个超过 100 mV 容限值的负毛刺。如果这个负毛刺会引发问题，那么必须减小与上升时间对应频率处的阻抗。

现在让我们考虑电流跳变的上升沿为 10 ns、周期为 80 ns 即频率大约为 13 MHz 时的噪声电压，13 MHz 的频率与反谐振频率一致。如图 1.14(c) 所示，噪声电压在整个 1 μs 区间都是

200 mV，因此超过了 100 mV 的噪声预算。这个例子说明了通过在频域管控 PDN 的阻抗来管控电流跳变引起过量噪声的重要性。

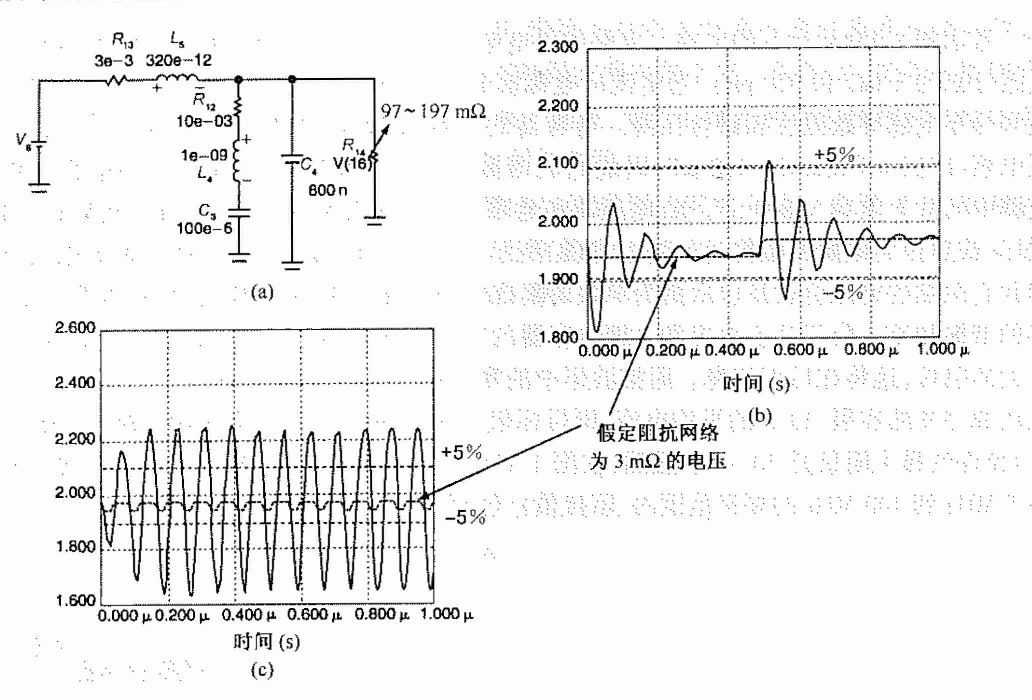


图 1.14 (a) 时域电路；(b) 1 μs 电流周期；(c) 80 ns 电流周期

1.4 PDN 的组成部件

PDN 的部件单元如图 1.15 所示[8]，它们包括使用薄氧化物去耦电容器的芯片级电源分配；使用平面和中频去耦电容器的封装级电源分配；以及使用平面、低频去耦电容器和 VRM 的板级电源分配。图中也显示了这些组成部分所覆盖的频带范围。因为有源电路和 PDN 不同单元之间的互连存在寄生电感和电阻，所以当 PDN 越靠近有源器件时，其工作频率越高。寄生效应在下一节介绍。

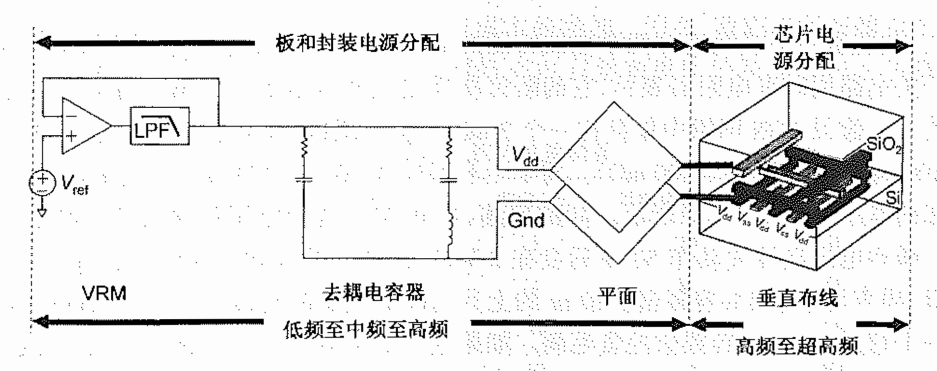


图 1.15 PDN 的组成部件（内容来自 M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system on package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286-300, May 2004, © 2004 IEEE）

1.4.1 稳压器

计算机系统的运行需要多个 DC 电压。这些电压必须得到有效的调节，并且能在一定的频带范围内提供所需的电流。功率不断提高、供电电压不断降低的发展趋势要求设计者把 AC-DC 变换器和 DC-DC 变换器移到更加靠近它所供电的电子器件的位置[8]。一类典型的低电压、大电流应用有：中央处理单元（CPU）的内核电源、数字信号处理器（DSP）及大型的开关芯片。对于最大的一类器件，其电流超过了 100 A，所需的电压可能在 0.8 V 到 2.5 V 的范围内。由于某些器件的内核电压往往是特定的，所以一些 DC-DC 变换器往往只专供一个负载，因此，它们又被称为负载点（Point-Of-Load，POL）变换器。

除了大电流的需求，现代电子电路还包括了具有不同供电电压的单元。传统的 5 V 和 3.3 V 的逻辑器件依然很普遍。但是新器件经常使用 2.5 V、1.8 V、1.5 V 甚至更低的供电电压。最优化器件速度同时最小化电流消耗的迫切需求，为合并相似但不真正相同的额定电压供电轨道留下了极小的设计空间。因此解决的办法就是在电路板上安装几个 DC-DC 变换器以产生不同的供电电压。DC-DC 变换器的拓扑结构由两大系统约束决定：(1) 大多数供电电压都低于电路板上的初始电源电压（AC-DC 变换器或电池的输出），因此这些变换器一般必须降低电压；(2) 这些变换器很少需要隔离。在 AC 供电系统中，AC-DC 变换器可以很容易实现隔离。

正因为这些约束条件，尽管大电流应用、多相变换器越来越流行，但是单相、非隔离的降压（buck）变换器仍是当今最广泛使用的 DC-DC 变换器拓扑结构。在某些应用中，也同样使用步进升压（boost）变换器和极性反转的升降压变换器。

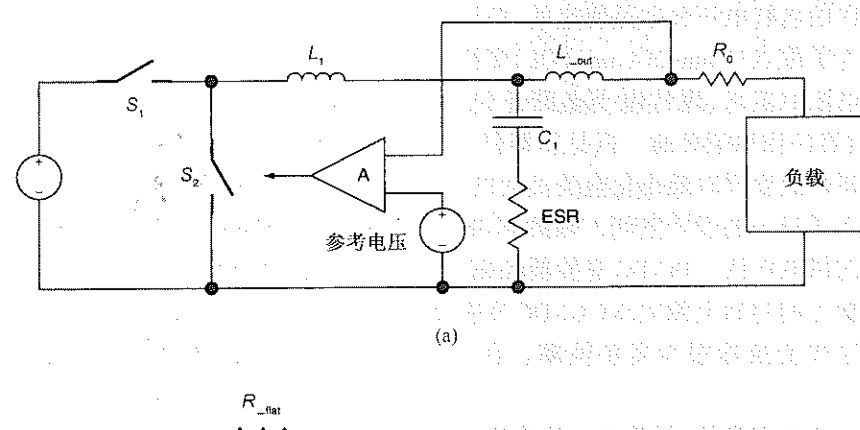
1.4.1.1 工作原理

VRM 把一个直流电压变换为另一个直流电压[9]，它有一个参考电压和一个反馈回路。VRM 检测负载端的电压，并调整输出电流以调节负载电压。调节回路的带宽通常在 1 kHz 到几百 kHz 之间。在高于回路带宽的频率处，VRM 变为高阻，因此电压将不能得到有效的调整。

1.4.1.2 四元素模型

这一节将解释参考文献[9]中所述的 VRM 的一个四元线性模型。图 1.16(a) 为降压型开关稳压器的简化方框图，在 VRM 中会经常看到。图的左边是输入电压，假定它为一个常数。当 S_1 开通时，电感器 L_1 的功能是贮存能量，并将电流传送到负载。如果 L_1 贮存的电流大于负载所需要的电流，那么 S_1 关断，S_2 关闭。电流不断减少并持续流向负载，直到 S_1 再次关闭，S_2 再次关断。采用频率补偿的放大器 A，以参考电压为标准检测负载电压。当负载电压太低时，它导致开关动作和电感器增加电流；当负载电压太高时，它导致开关动作和电感器减小电流。电感器电流在 C_1 中积分，这使得电压变化更加平滑。C_1 有一个等效串联电阻。因为开关的开和关都是时间的函数，所以降压型稳压器是非线性的。图 1.16(b) 给出了 VRM 的线性模型，它包含了一个理想电压源和四个无源单元。在线性模型中，R_0 是 VRM 感应点和实际负载之间的电阻值，通常只有几毫欧。L_{out} 表示 VRM 的输出电感。它可能是连接 VRM 和系统电路板的电缆电感，也可能是连接 VRM 和模块的引脚电感（大约分别为 200 nH 和 4 nH）。

VRM 的最大有效频率取决于 $L_{_out}$。$R_{_flat}$表示的是与 VRM 相连的电容器等效串联电阻(将在下一节中解释)。通常情况下,电容器决定了在超过回路响应时间的频率外 VRM 的输出阻抗。理想电压源具有供电电压值。选择合适的 $L_{_slew}$ 值,使得在线性模型中电流增加所需要的时间与在实际 VRM 中电流增加所需要的时间相同。这可以通过等式 $V = L\mathrm{d}I/\mathrm{d}t$ 计算得到。在这个方程中,V 表示可以接受的电压下垂或尖峰(1.8 V 的 5%)。$\mathrm{d}I$ 表示最大的瞬时电流,$\mathrm{d}t$ 表示 VRM 中这个瞬时电流线性增加或减小所用的时间。如参考文献[7]所述,VRM 模型的典型值为:$R_0 = 1\ \mathrm{m\Omega}$, $L_{_out} = 4\ \mathrm{nH}$, $R_{_flat} = 30\ \mathrm{m\Omega}$, $L_{_slew} = 67.5\ \mathrm{nH}$。



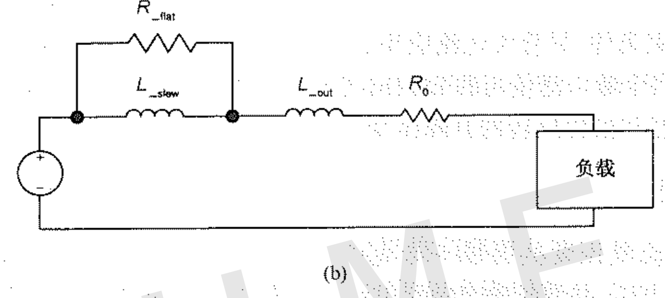


图 1.16 (a)降压型开关稳压器简图;(b)四单元模型(内容来自 L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284-291, Aug. 1999, © 1999 IEEE)

1.4.1.3 设计面临的挑战

DC-DC 变换器面临的挑战是多方面的[8]。第一个挑战是,在负载电流一个较大的变化范围内,变换器必须以合理的效率为低电压负载提供电压。这通常需要同步整流以保持低的损耗。POL 变换器必须紧靠负载放置,负载将最终消耗掉全部输出功率。这样,在增加 POL 变换器效率的同时,却几乎并不降低总的功率消耗。然而更高的变换器效率可能会导致更小的变换器体积,这通常成为一个促进因素。根据变换器的尺寸和成本,其效率通常在 85% ~ 95%之间。

第二个挑战是最优化变换器的控制回路,以便能提供足够低的输出瞬时波动来防止负载电流变化。尤其是在级联 DC-DC 变换器的例子中,变换器的输入几乎没有进行瞬态滤波,上游的变换器输出不得不处理大的电流波动。例如,输出电压为 1 V,输出最大电流为 30 A,且最大负载瞬态噪声峰峰值(V_{pp})为 60 mV(开关波动除外)的 POL 变换器,要求低于 2 mΩ 的输出阻抗(包括电容器)($Z = 60\ \mathrm{mV}/30\ \mathrm{A} = 2\ \mathrm{m\Omega}$)。在直流电路中提供一个低输出电阻相对比较容易。然而,随着频率的增加,不断降低的回路增益引发了变换器输出阻抗不断增加。为了保证在未知的负载阻抗时能够无条件稳定,一些变换器的带宽非常低。例如,当频率为 1 kHz 时,变换器的输出阻抗超过了要求值 2 mΩ,那么板上的电容器不得不提供这个低阻抗。在频率为1 kHz 时,需要 80 000 μF 的电容才提供 2 mΩ 的容抗($Z = 1/[2\pi \times 1000 \times 80\,000 \times 10^{-6}]$)。图 1.17 给出了 POL 变换器在一个 1.5 V、20 A 的负载下小信号输出阻抗,外部电容器为 680 μF。

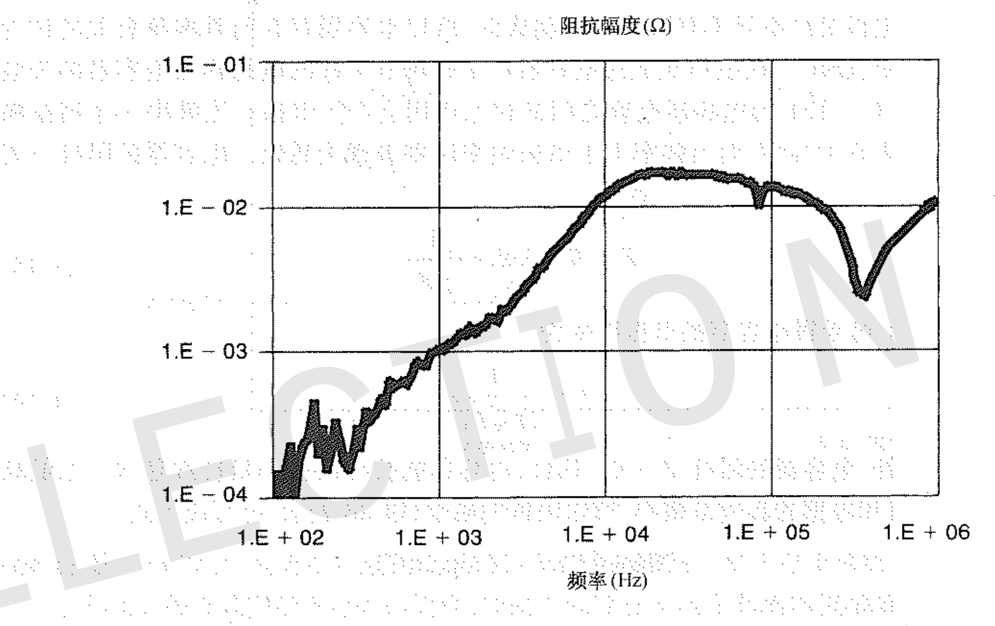


图 1.17 $V_{in} = 3.3$ V, $V_{out} = 1.5$ V, 20 A 的全 DC 负载的 POL 变换器小信号输出阻抗测量值(内容来自 M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system on package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286-300, May 2004, © 2004 IEEE)

第三个挑战就是将变换器的传导性和辐射性泄漏保持在控制范围之内。变换器经常紧挨着高速低摆幅的数字互连和敏感模拟电路放置。因为变换器中 AC 电流波动的峰值通常高于自身的 DC 输出电流,所以我们必须尽可能谨慎地使引入到临近电路的开关噪声最小化。为了降低这个干扰,可以引入扩频变换器[9]。

1.4.2 旁路或去耦电容器

开关晶体管电路需要电流以对负载充电,这个电流必须由 PDN 提供。当 VRM 由于高输出阻抗而不能及时做出反应时,就需要有另一个电源来供给电流以维持电压。换句话说,当 VRM 的输出阻抗超过目标阻抗时,那么就需要其他的方法以降低阻抗。旁路(bypass)电容器就能实现这一功能。因为电容器能够贮存电荷,所以一旦有需要的时候它们可以把 VRM 旁路,直接给开关电路供电。旁路电容器也称为去耦电容器,因为它们可以为稳压器与开关电路提供去耦。根据旁路电容器的工作范围和它与晶体管电路的靠近程度,可以将旁路电容器分为低频电容器、中频电容器和高频电容器。

1.4.2.1 影响旁路电容器工作性能的因素

旁路电容器是焊接在 PCB 板或者封装焊盘上的表贴元件。如图 1.18 所示，表贴电容器有两个管脚，一个管脚焊接在电压平面上，另一个焊接在地平面上。当表贴电容器提供电荷（或电流）时，电流从电压平面流出，经过电压平面上的过孔，流过电容器，然后流经地平面上的过孔返回到地平面，整个过程如图 1.18 所示。根据电流路径，可以将影响电容器工作性能的因素归结如下：

- 由于电容器电极是由电导率有限的导体制成的，所以电容器存在与其本身有关的称为等效串联电阻（ESR）。时变电流流过电容器产生磁场所引起的电感称为电容器的等效串联电感（ESL）。ESL 与电容器电容之间的相互作用会产生谐振。当频率小于谐振频率时电容器表现为容性，而当频率大于谐振频率时则表现为感性。电容器的阻抗可表示为下式：

$$Z = R + j\omega L + \frac{1}{j\omega C} \tag{1.18}$$

由方程（1.18）可求得电容器的谐振频率为

$$f = \frac{1}{2\pi\sqrt{LC}} \tag{1.19}$$

在谐振频率处，电容器的阻抗 $Z = R$。因此，电容器能获得的最小阻抗就是 R。在低频处，由于电阻和电感的影响都很小，所以阻抗的幅度（以 dB 表示）可写成下式：

$$20\log(|Z|) = -20\log(2\pi fC) \tag{1.20}$$

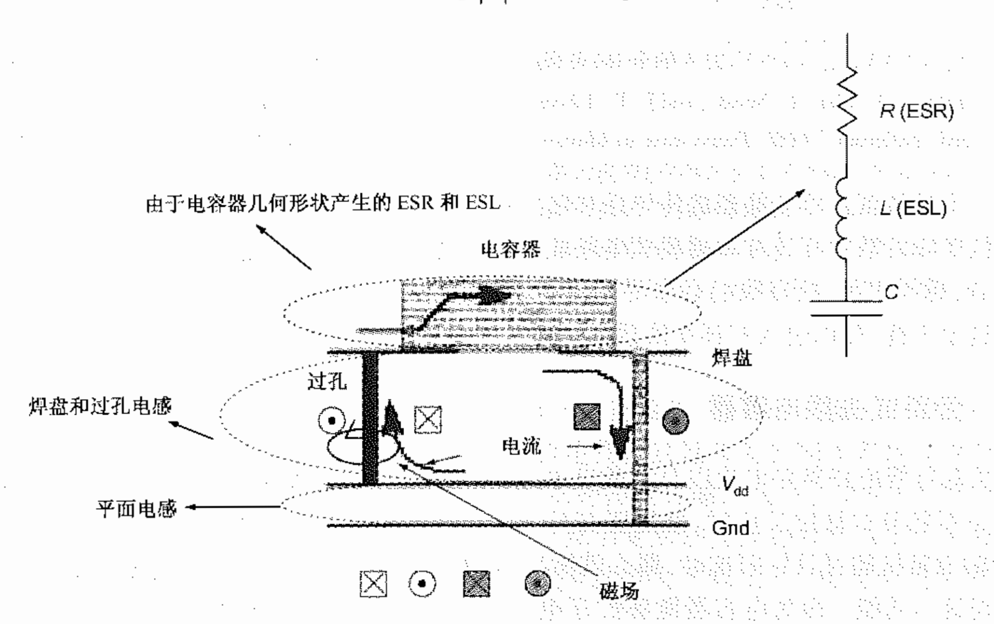


图 1.18 影响旁路电容器性能的寄生参数（内容来自 L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284-291, Aug. 1999, © 1999 IEEE）

因此，在电容器的谐振频率以下，阻抗的斜率为 -20 dB/dec（dB/十倍频程）。当频率高于谐振频率时，电感的作用开始超过电阻和电容的作用，所以此时的阻抗变为

$$20\log|Z| = 20\log(2\pi fL) \tag{1.21}$$

它的正斜率是 20 dB/dec（如图 1.19 所示）。对于一个给定的电容器，为了在一个宽频带范围内获得低阻抗，不仅需要通过降低 ESR 和 ESL 以最小化最低阻抗，还需要降低高于谐振频率时的阻抗。

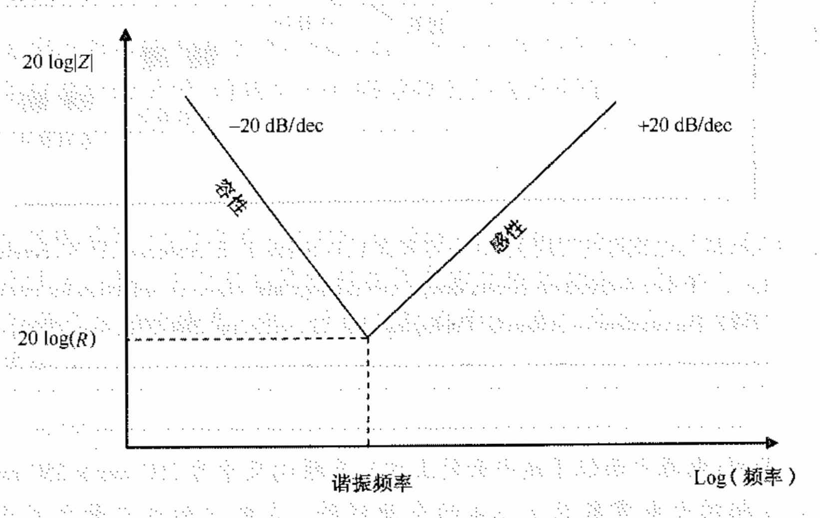


图 1.19 电容器的频率响应

- 如图 1.18 所示，电流流经过孔时产生一个时变的磁场。对于电压和地平面过孔而言，磁场利用这种方式围绕在过孔的周围，即磁力线穿过了电压和地电流形成的回路。将电压平面和地平面上的过孔靠近放置可以减小回路面积，从而使磁通引起的电感减小。因此，与电容器连接的电压焊盘和地焊盘之间的临近程度及与焊盘位置相关的过孔位置就变得非常关键。如图 1.20 所示，移动焊盘和过孔使其彼此靠近可以使电感减半。
- 使用多过孔连接每个焊盘可以减小总的回路电感[10]。随着先进低电感电容器的研制，电感的限制变成了由焊盘、引脚走线及过孔形成的外部连接的限制。这一认识引出了具有多端式样的电容器。现在，最小电感可以由各种 C4 或 BGA 电容器封装去实现[11]。当与电源平面和地平面连接时，垂直过孔连接仍然是限制低电感实现的最终因素，这将在第 5 章讨论。
- 来自电容器的电流必须流经电压平面到达晶体管电路，然后通过地平面回到电容器，从而形成一个电流回路。因此电压平面和地平之间增加的额外电感为

$$L = \frac{\mu d}{w} \tag{1.22}$$

其中，L 是单位长度电感，d 是两平面之间的距离，w 是平面宽度。通过减少电压平面和地平面之间的间距，可以减小回路电感，从而增强电容器在高频时提供电流的能力。

- 计算机系统常常将各种不同类型的电容器并联使用，当第一个电容器表现为感性而第二个在容性范围的时候就会产生反谐振。由电感和电容组成的并联电路会产生一个阻抗峰值，并且可以通过减小电容器的 ESL 和 ESR 以控制峰值的大小。正如下面的例子

中解释的那样,当一个去耦电容器在其容性区域连接到地平面和电源平面时,就可以看到一个类似的效应。

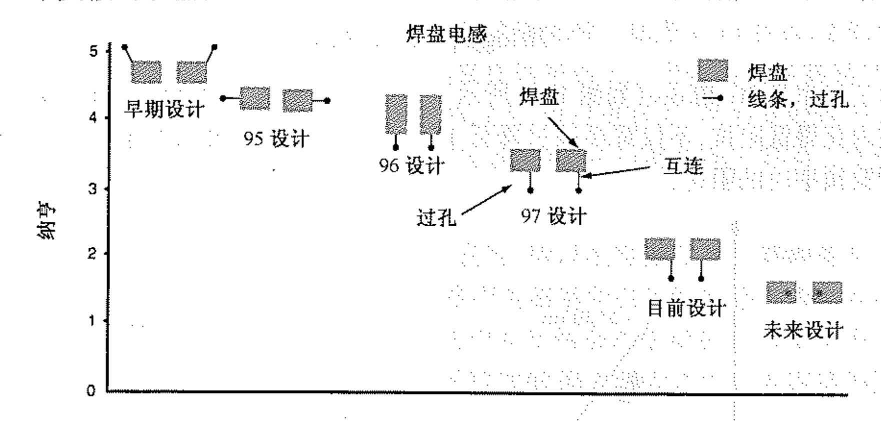


图 1.20 焊盘/过孔布局与电感值的对应关系(内容来自 L.D.Smith, R.E.Anderson, D.W.Forehand, T.J.Pelc, and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol.22, no.3, pp.284-291, Aug.1999, © 1999 IEEE)

举例

考虑一个平面对(电源平面位于地平面的上方),其横向尺寸为 250 mm × 250 mm。中间填充了厚度为 200 μm、相对介电常数为 $\varepsilon_r = 4$ 的介质材料。在电源和地平面之间连有一个 $L = 2.53$ nH(ESL)、$C = 100$ nF 的去耦电容器。由方程(1.19)可知这个电容器的谐振频率为 10 MHz。在此谐振频率附近,电源地平面对表现为一个集总参数的电容器,其电容值 $C_p = 11.07$ nF。将去耦电容器安装到电源地平面之后,此平面对的阻抗变为

$$Z = \frac{1-\omega^2 LC}{j\omega\left(C + C_p\left(1-\omega^2 LC\right)\right)} \tag{1.23}$$

在反谐振频率处,阻抗变为无穷大(高阻)。因此令分母为零,反谐振频率为

$$f = \frac{1}{2\pi\sqrt{L\dfrac{C_p C}{C + C_p}}} = 31.7\ \text{MHz} \tag{1.24}$$

系统中用到的各种电容器的特性将在下面的小节中予以介绍。

1.4.2.2 体去耦电容器

在频率超出了 VRM 的工作频率,并且未进入中频率电容器的有效范围(典型值从几千赫兹到几兆赫兹)时,体(bulk)去耦电容器能够将 PDN 的阻抗维持在所需要的数值。由于体去耦电容器与 VRM 相连,因此必须结合 VRM 的输出阻抗去估计它们的电容值。

举例

体去耦电容的近似值可以用 Smith 及其同事描述的简单例子来估计[7]。假设有 20 A 的电

流跳变,VRM 的响应时间为 15 μs,PDN 必须使 1.8 V 的电压波动维持在 5% 以内。所需体电容的总容量可由下式近似得到:

$$C = I\frac{dt}{dv} = 20 \times \frac{15\times10^{-6}}{1.8\times0.05} = 3333\ \mu\text{F} \tag{1.25}$$

方程(1.25)假设是在所有频率处都能有的电容值,实际上这是不成立的,因为随着频率的增加电容器的寄生效应开始起作用。

典型体去耦电容器的 ESR 为 2 ~ 100 mΩ。下一个例子中表明:大 ESR 的电容器在较大频带范围内的阻抗都比较平滑,而减小 ESR 将导致更尖锐的谐振。

举例

考虑两个体电容器,一个为 $C = 10\,000$ μF, ESR = 50 mΩ, ESL = 10 nH。另一个为 $C = 22$ μF, ESR = 2 mΩ, ESL = 1 nH。两个电容器的对数频率响应曲线如图 1.21 所示。从图中可以看出,小 ESR 的电容器产生的谐振更尖锐。正如预期的那样,由于大电容,10 000 μF 的电容器在低频处的阻抗更小。

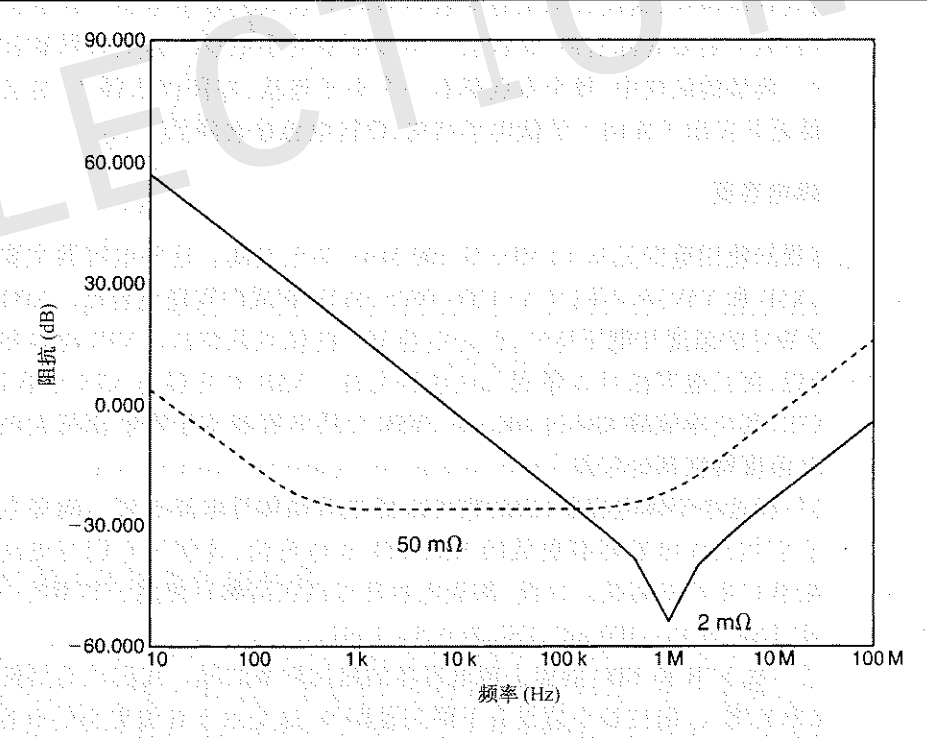


图 1.21 两个体电容器的频率响应

电容器的品质因数 Q 是评估其有用性的重要参数,用电抗与电阻的比值来表示。对一个 RLC 串联电路而言,方程(1.18)表示了它的品质因数,如下式所示:

$$Q = \frac{\omega L - \dfrac{1}{\omega C}}{R} \tag{1.26}$$

在频率响应的感性部分，Q 值可近似为

$$Q = \frac{\omega L}{R} \tag{1.27}$$

对于旁路电容器，必须最小化 Q 因数，不管是通过减小低 ESR 电容器的等效串联电感，还是通过增加高 ESL 电容器的等效串联电阻（此方法不宜选用，因为它提高了谐振阻抗）。

对于宽频带的部分，可能需要比较平滑的目标阻抗，这对应于阻性阻抗。然而大多数可用的去耦电容器都拥有中等或较高的品质因数 Q，这会给平滑阻抗的产生带来困难。研究表明，品质因数 Q 远小于 1 的旁路电容器可以用来帮助产生稳定的阻抗曲线，并且需要的部件最少[12][13]。对于 ESR 和 ESL 恒定的电容器，Q 值与电容量成反比变化。因此，大的体电容器，即使 ESR 较低，也可以很容易产生平滑阻抗曲线。然而，用多个小电容值和小 ESR 的陶瓷电容器以产生平滑阻抗曲线是很困难的，并且具有挑战性。尤其是，要考虑电容、电感和电阻的频变特性时更是如此。为了涵盖宽频范围，参考文献[12]里引入旁路品质因数(BQF)以表征电容器在宽频带范围内的效果，其中 BQF = C/L（C:电容；L:电感）。这表明 C/L 比值越大，电容器越有效。

对于电容值为几百微法或更高的数值，可以使用钽、铌或各种电解电容器来实现。大电容值意味着相对大的电容器体积，这反过来又意味着电容器有较大的寄生电感。标准圆柱形封装的电解电容器在封装上需要底部密封，这将会产生几纳亨的小电感。钽电容器和铌电容器一般是块状式样的。典型的结构中，每个电极都有一个夹子连接，即使体积很小，也会引入超过 1 nH 的电感。最近开发出了面向下的低电感结构，使得电感显著降低[14]。

1.4.2.3 中频去耦电容器

中频表贴电容器的使用范围是从 10 MHz 到 100 MHz，甚至更高。这些电容器主要是用不同介质（NPO、X7R、X5R 和 Y5V）和不同尺寸（1206、0805、0603）制成的陶瓷电容器。NPO 电容器拥有最低的 ESR 及最好的温度和电压特性，但是电容值只能做到几纳法。X7R 电容器的电压和温度参数比较理想，而且电容值可以做到几纳法到几法。X5R 电容器与 X7R 电容器类似，但是可靠性不如 X7R，其电容值最大可达 100 μF。Y5V 介质电容器用于需要获得大电容的场合，但是它的电压和温度特性都比较差[7]。

中频电容器的体积远小于体电容器，因此它可以紧挨着晶体管电路放置。陶瓷电容器因为体积更小，所以它们相比体电容器有更低的 ESR、ESL 和电容值，这使得它们有更高的谐振频率，并且在谐振处获得更小的阻抗。因此，陶瓷电容器可以在高频时使用。典型的中频电容器一般为 1 ~ 100 nF，ESR 为 10 ~ 100 mΩ，ESL 为 0.5 ~ 1 nH。

图 1.22 给出了一些 X7R 和 NPO 陶瓷去耦电容器的阻抗频率曲线。我们注意到随着电容值的减小和谐振频率的增大，阻抗最小值没有下降到预期值，这是由于容值更小的电容器拥有更大的 ESR。如图 1.20 所示，对于一个给定的电容器，使用低电感的焊盘以增大谐振频率，从而优化电容器的有效性[7]。

近来，人们正在研究嵌入式去耦电容器以便在更高频率处实现去耦。这些电容器作为一个额外电容层集成在封装中或者集成在电压平面和地平面之间。我们将在第 5 章中详细讨论这种去耦电容器。

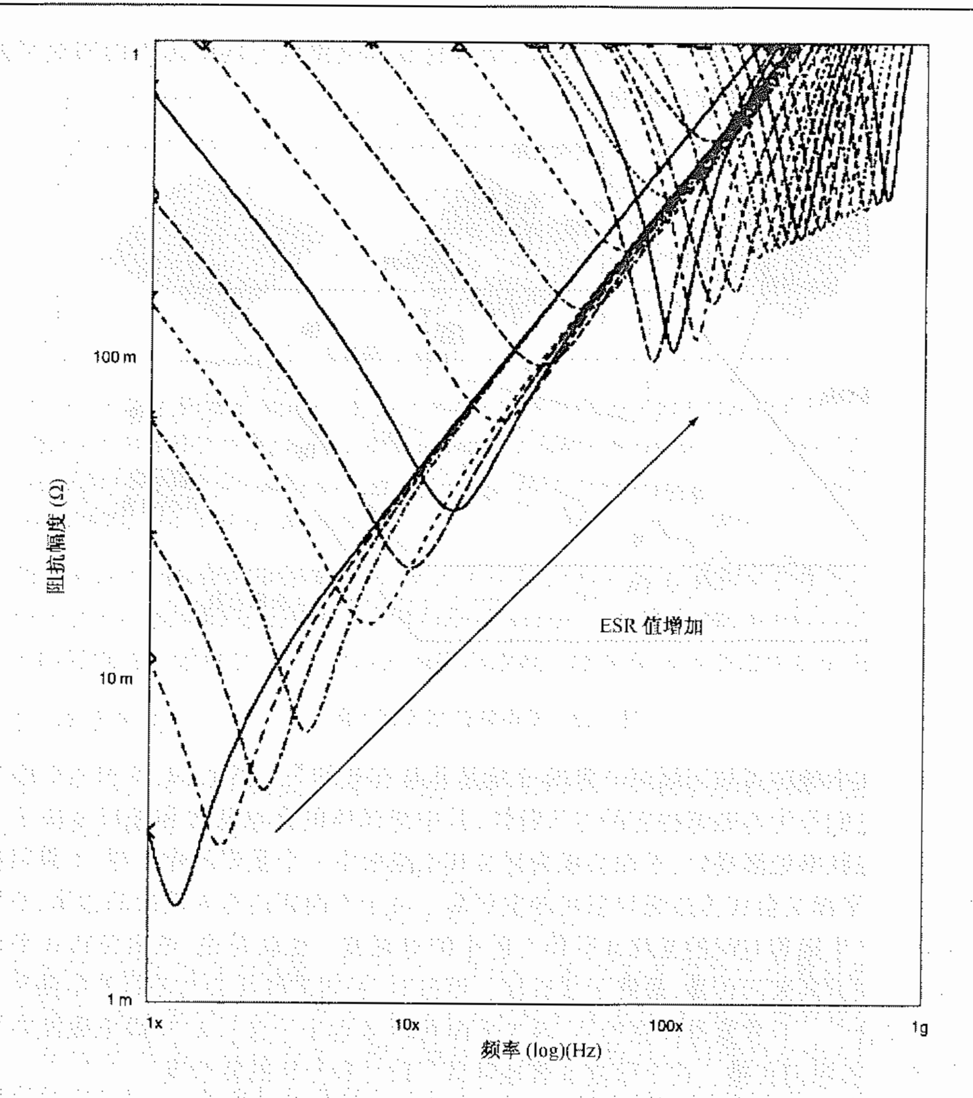


图 1.22 陶瓷电容器的频率响应（内容来自 L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284-291, Aug. 1999, © 1999 IEEE）

1.4.3 封装和电路板中的平面

平面在高频处起着非常重要的作用，它表现为高频电容器，不仅充当传输电流的导体，还支持以其为参考的信号线返回电流。平面是由很薄的介质材料隔开的大金属结构，并且一直用于所有的高频封装和电路板的电源配送与屏蔽。一个平面对如图 1.23 所示，具体描述如下：

- 电源平面和地平面传输从 SMD 电容器流向开关电路的电流。因此，平面控制着从电容器到开关电路的电感和时延。在频率远大于电容器的谐振频率时，平面电感对 PDN 的阻抗起主导作用。
- 电源平面和地平面之间构成的电容可以在高频时用于对电源去耦，因此它变成一个很有用的角色。

● 因为平面承载着信号线上的返回电流，所以封装和电路板上的电源平面和地平面之间的电压波动受平面特性的影响。

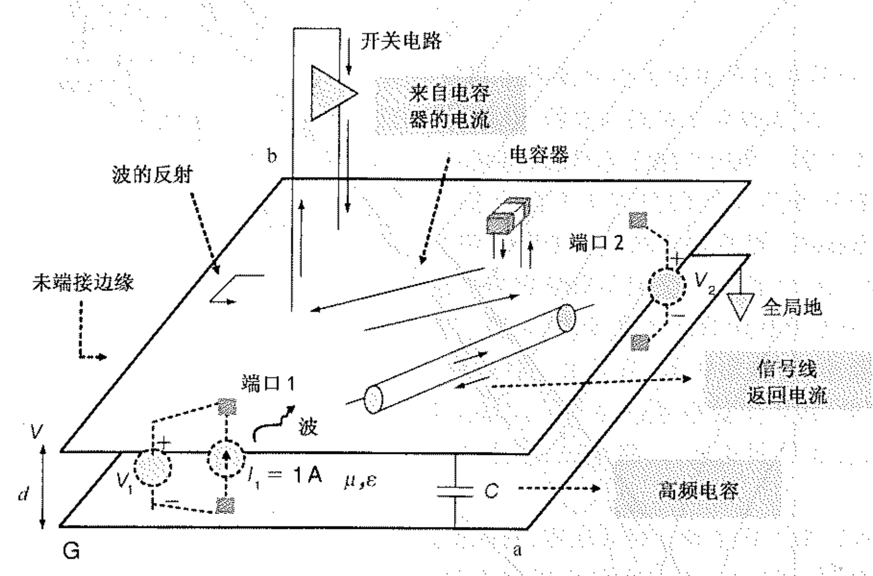


图 1.23　平面的作用及其参数

封装平面在中频和高频区域对电源的分配是非常有效的[8]。然而，电源和地平面的一个主要问题就是它们作为电磁谐振腔的电气特性，其中绝缘体的介电常数和腔尺寸决定了谐振频率。当在谐振频率处激励时，平面会成为封装和电路板中一个重要的噪声源，如果阻抗在这些频率处变大，平面又会成为边缘辐射场的发射源。由于平面四边有未端接的边缘，所以任何平面激励都将产生随着时间的推移而驻留在腔中的电磁波。也就是说，电磁波将在平面间的区域内沿着横向方向来回传播，最终形成驻波。谐振时，腔内的驻波会对临近的电路和信号线产生很大的耦合[8]。非常值得注意的是，因为平面间距 d 远小于波长 λ，所以电磁波在平面间只横向传播，没有纵向传播。这个限制显著地降低了设计和分析的复杂度。

1.4.3.1　电源平面谐振

图 1.24 描述了一个面积为 $a\times b$ 的末端开路电路板上电源平面和地平面间电压波动的分布图。从图上可以看到，平面上的电压分布取决于谐振模式（将在下一节讨论），而谐振频率取决于模数、绝缘体的介电常数和平面的物理尺寸。平面的谐振频率可由下式得到：

$$f_{mn}=\frac{1}{2\pi\sqrt{\mu\varepsilon}}\sqrt{\left(\frac{m\pi}{a}\right)^2+\left(\frac{n\pi}{b}\right)^2}\tag{1.28}$$

在图 1.23 中（假设 $b>a$）中，第一种模式对应的谐振频率是为

$$f_{01}=\frac{1}{2\pi\sqrt{\mu\varepsilon}}\frac{\pi}{b}=\frac{1}{2\sqrt{\mu\varepsilon}b}\tag{1.29}$$

在方程（1.28）和方程（1.29）中的 μ 和 ε 分别表示平面间材料的导磁率和介电常数。平面上的电压分布取决于源的位置。

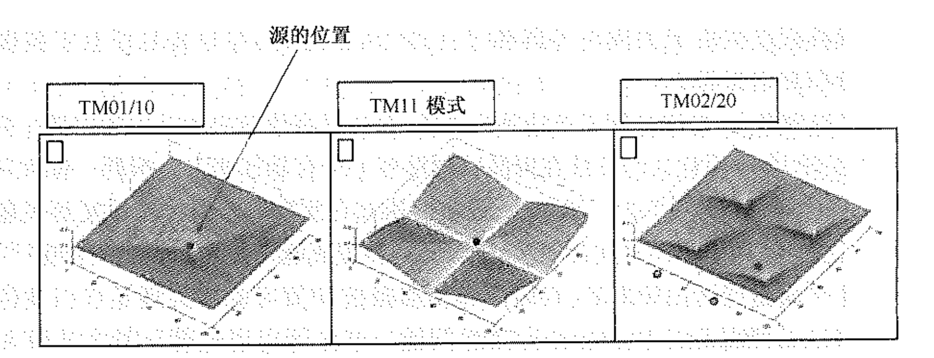


图 1.24　在一个末端开路、面积为 $a\times b$ 的 PCB 上由于电源平面/地平面的腔谐振而产生与谐振模式有关的电压分布和谐振频率（内容来自 M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system on package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286-300, May 2004, © 2004 IEEE）

正如图 1.24 所示，在谐振频率处时，平面上电压分布的最大值和最小值都在平面上特定的点处。平面上电压波动的变化称为平面弹（plane bounce）。平面上大的电压波动可能会引起以它为参考的信号线的大量耦合，这可能传输到静态接收电路并在未端接边缘处引发电磁辐射。

1.4.3.2　平面阻抗

由于平面为无源结构，因此可以用传输函数来表示。常用阻抗来理解平面特性的参数，任意两端口电路的阻抗可表示为

$$\begin{aligned}V_1&=Z_{11}I_1+Z_{12}I_2\\V_2&=Z_{21}I_1+Z_{22}I_2\end{aligned}\tag{1.30}$$

V 和 I 是两端口间的电压和电流，Z 为阻抗，方程（1.30）可以扩展到任意数目的端口。

考虑图 1.23，它包括了两个平面，顶层平面分配直流电压 V，底层平面分配直流电压 0 或者接地。在远端（右角），底层平面与理想地相连，这意味着通过与理想地相连的这个位置的电压一直保持为 0 V。一个端口包含两个点（或节点）。对于每一个端口而言，第一个节点在顶层平面上，第二个节点在底层平面上并位于第一个节点的正下方。底层的节点为每个端口的参考点，这样就可以测出电压节点和地节点之间的电压。假设一个值为 $I_1=1$ A 的电流源与位于电压节点和地节点之间的端口 1 相连，而端口 2 的电流为 0，则端口 1 测得的电压 V_1 为阻抗 Z_{11}，端口 2 测得的电压 V_2 为阻抗 Z_{21}。将 1 A 的电流源加在端口 2 上并且端口 1 开路，重复上面的过程就能求出 Z_{12} 和 Z_{22}。阻抗 Z_{11} 和 Z_{22} 叫做自阻抗，阻抗 Z_{12} 和 Z_{21} 叫做转移阻抗。这些阻抗不仅可以被建模和测量，而且能够用来表示平面的特性。由于阻抗是电路参数，所以可以在一些电路仿真器中使用以获取平面特性。

1.4.3.3　实际考虑

由于封装的尺寸要比电路板小（尺寸 a 或 b），平面的谐振频率低于封装谐振频率。实际上，封装和平面通过焊球和过孔相互连接，并且它们可能含有狭缝（slit）和开槽（cut-out），这会导致复杂的 PDN 特性。此外，当大量去耦电容器通过电源或地过孔连接到电源或地平面腔时，谐振频率和相关的场分布随着平面腔有效电容和电感的变化而变化。场分布的变化程度

和谐振频率的偏移程度取决于去耦电容器和过孔的 ESL。此外,在封装基板上安装裸芯片也会稍微改变场分布和谐振频率。

在平面反谐振频率点,电源分配阻抗达到最高值,并且最高值取决于结构的损耗。损耗包括辐射损耗、导体损耗、介质损耗及与安装在封装或电路板上所有部件相关的损耗。损耗降低了谐振的品质因数从而降低了噪声[15]。一般来说,辐射损耗和介质损耗并不能提供足够的阻尼以完全消除谐振。当在电源和地平面之间使用薄介质时,导体损耗能降低两平面间的谐振[15]。

在电源和地平面达到谐振频率处,自阻抗和转移阻抗的值可能会大到足以引发信号完整性和电磁干扰(Electro Magnetic Interference,EMI)问题。谐振可以通过若干种方法抑制。实验已经表明,当介质厚度小于 10 μm 时,在电源和地平面之间,大部分电磁场在导体中而不是在电介质中传播,从而可以通过导体损耗有效地抑制平面谐振[16]。虽然对信号的潜在影响还未被研究,但是参考文献[17]中还是提到了有损介质层。当电源-地层的介质厚度大于 50 μm 时,必须通过其他方法来抑制平面谐振。如果多个旁路电容器的总等效串联电阻等于平面的特性阻抗,最平滑的阻抗轮廓可以通过最少化元件个数获得。这就需要采用可控 ESR 的陶瓷旁路电容器,或者将低电感的外部电阻器与低 ESR 的旁路电容器相串联使用[18]。

1.4.4　片上电源分配

如图 1.15 所示,高性能的片上 PDN[8] 是由多层栅格构成的。因为片上电源分配非常靠近开关电路,所以它的工作频率在 1 GHz 以上。虽然片上电源分配不是本书的重点,但是因为它是系统级 PDN 的一个组成部分,所以对于理解整个网络的一些特性而言,它是非常重要的。

随着 CMOS 工艺技术的不断发展,高性能微处理器中片上 PDN 的设计成为巨大的挑战[19]。每一代新工艺的出现都会引起电路密度和互连电阻的迅速增加,更快的器件开关速度,以及更低的工作电压。这些趋势导致微处理器设计中电流密度和切换速率的增加,以及噪声容限的降低。大电流和互连电阻导致阻性 IR 压降。而大切换速率在片上 PDN 中产生了大的感性 $L\mathrm{d}I/\mathrm{d}t$ 压降。伴随着大的 $\mathrm{d}I/\mathrm{d}t$ 引起的大压降,电迁移(EM)成为 IC 中重要的互连失效机制[20]。电迁移是在大电流密度的影响下金属原子的流动,会引起电阻增大及片上互连开路,并进一步造成 IR 压降和潜在的可靠性问题。

1.4.4.1　片上电容器

对于高性能 CMOS 微处理器,片上电源分配系统必须能够在大于 1 GHz 的宽频范围内提供一个低阻抗路径。根据 $Z = \mathrm{j}\omega L$,电源分布电感的阻抗随频率增加而增大,其中 $\omega = 2\pi f$,f 是频率,L 是电感。片上去耦电容器作为局部电荷源,能够有效地降低高频状态下的电源分配阻抗。因此,电源分配系统中的高频开关电流从电感中被"去耦"了,开关噪声也因此降低。片上去耦电容包括本征去耦电容(intrinsic decoupling capacitance)(n 阱和静态电路)和外加电容[21]。在高性能微处理器设计中,单靠本征去耦电容不足以把噪声抑制在可接受的范围内。外加电容是必需的,它常以采用 n 阱和多晶硅栅极之间薄氧层的薄氧电容器出现。

1.4.4.2　芯片-封装反谐振

芯片和封装相结合的电源分配一个主要问题是芯片-封装反谐振问题,这将在下一节中

详细说明。封装电感和片上去耦电容形成一个并联 RLC 回路,其谐振频率为 $f = 1/2\pi\sqrt{LC}$,其中 L 是封装的等效电感,C 是电源和地之间的片上总非开关电容。在谐振频率下,从芯片上的电路看过去,电源分配系统的阻抗很高。如果芯片的工作频率接近或正处于芯片封装的谐振频率处,噪声电压将会很大。在谐振频率处得到激励以后,大的电压波动会持续很多个周期。在未来的 CMOS 微处理器中,必须采用大量的片上耦合电容来积极控制开关噪声[22],它可以使芯片-封装谐振频率漂移至低于工作频率。

当电压为 1 V、功率为 150 W 的微处理器工作在 3 GHz 时,一个交流差分噪声的典型特征如图 1.25 所示[8]。该例中使用 210 nF 的片上去耦电容和低电感的倒装芯片。中频阶跃响应发生在芯片电源突然从零上升到最大值时。幅度随着片上去耦电容的增加而降低。振荡频率是芯片-封装 LC 谐振频率。中频噪声不断衰减,达到稳态时,它将产生一个残留的高频交流噪声。这一稳态响应是由于微处理器的周期开关产生的。高频率稳态噪声寄生在直流偏置里,这个直流偏置是由芯片电源分配电阻所造成的 IR 压降。

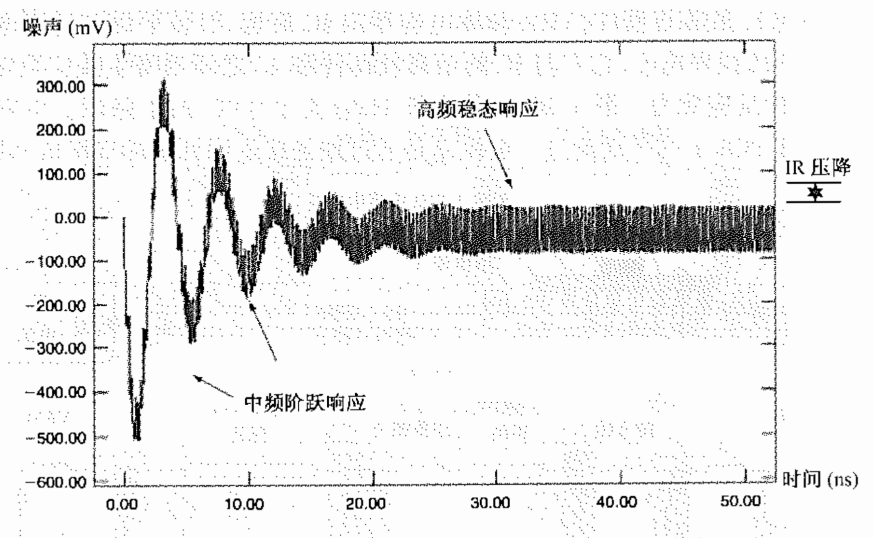


图 1.25　片上交流差分噪声(M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system on package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286-300, May 2004, © 2004 IEEE)

1.4.4.3　设计挑战

过去,人们主要关注 CMOS 有源功耗的电源配送及管控,有源功耗是指做诸如电路开关之类的有用动作的功率。但是,随着 CMOS 工艺达到 90 nm 甚至更低,与工艺相关的器件漏电流表现为一个重要的无源功耗分量。这个无源功耗分量包含许多器件的漏电流,比如结漏电流、栅-漏极泄漏、亚阈值沟道电流、栅-绝缘隧道电流及缺陷带来的漏电流等[23][24][25][26]。其中栅-绝缘隧道电流和亚阈值沟道电流是技术工艺特征尺寸减小的主要问题。超过 90 nm 工艺节点后,泄漏将消耗 50% 以上的总功率,由于器件不做动作,这些功率被白白浪费。

使用高 K(即介电常数 ε_r)介质材料代替二氧化硅作为栅介质可以减小栅极漏电流。接近 65 nm 工艺节点时,亚阈值功耗趋向等于有源功耗,它仍然是最基本的挑战之一。因为无源功耗分量削减 DC IR 的噪声预算并且加剧了电迁移问题,所以它进一步约束了片上电源分配系统设计。

在高性能设计中，片上电压岛（通过分离、绝缘的电源为逻辑和存储单元单独供电）已成为管控有源功耗问题和无源功耗问题的一种设计方法[26]。在设计中，一个岛的电平与其他各岛的电平无关，并由片外电源或片上嵌入稳压器为其供电。设计的目标是划定芯片上的可由较低电压为其充电的电路区域，使得芯片不仅能维持其性能指标，而且能降低有源功耗和无源功耗。制约性能的关键路径是由工艺优化的最大满电压为其供电，而时间比较宽松的路径采用较低级的电源为其供电。因此，必须采用多阈值电压的晶体管库。由于隔离减小了去耦电容对临近电压岛的作用，所以片上电源分配的电压岛设计存在一些挑战。此外，电压岛的启用和释放等切换动作也必须得到管控。多电源供电的分配使片上电源栅格的设计复杂化并可能会降低布线密度。

1.4.5 PDN 中的部件

图 1.26 给出了由 VRM、旁路电容器、平面和集成电路组成的完整 PDN。从图 1.26(a)中可以看出各种部件与 IC 的临近程度，VRM 和体电容器离 IC 最远，封装平面和封装电容器离 IC 则较近。各个部件的频率响应、它们与 IC 的距离及部件和 IC 之间的寄生效应决定了部件对来自 IC 电流需求的反应能力。图 1.26(b)是内核 PDN（无信号线）的电路图。电容器或 VRM 的电流通过封装或 PCB 上的平面流过。电流总是通过地连接返回到源端以形成回路。

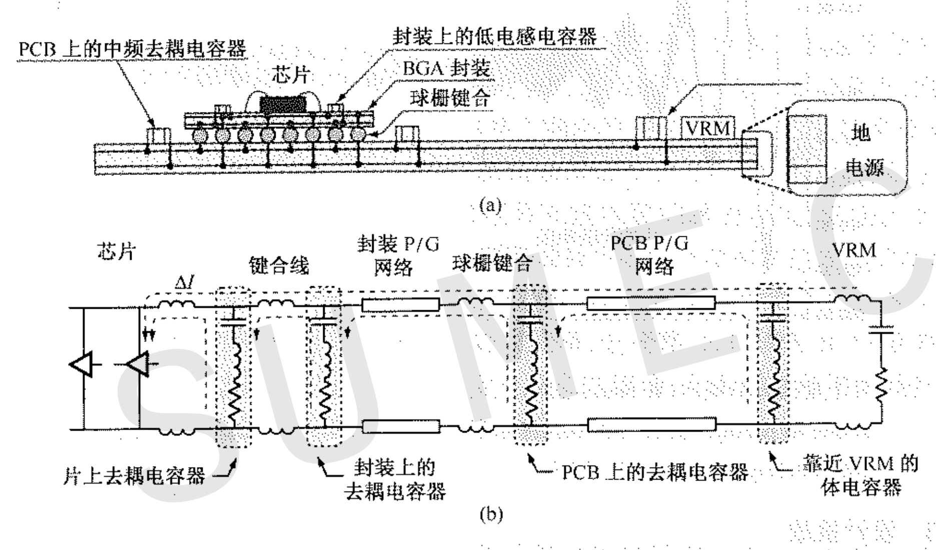


图 1.26 (a) 电源配送网络中的部件；(b) 电路图（内容来自 Professor Joungho Kim，KAIST，South Korea）

1.5 PDN 分析

使用电路仿真器进行 AC 分析，可以在频域中计算出 PDN 的阻抗参数，仿真器中用 1 A 电流源作为激励，算出系统各个节点的电压。所得的电压代表自阻抗（在激励电流源节点处测得的电压）或转移阻抗（不同节点上测得的电压）。正如前面介绍目标阻抗时讨论的那样，PDN 设计是在频域进行的，所以频域分析变得至关重要。然而由于电源噪声是个时域事件，所以在时域中计算 PDN 噪声也很重要。由于频域响应和时域响应是相互关联的，所以可以通过在频域

中管控 PDN 的阻抗来控制时域响应的幅度和特征。由于在时域中电源噪声是压摆率（dI/dt）的函数，或更一般地是电流源激励特征的函数，所以这种方法对于 PDN 的设计是非常重要的。换句话说，不同的电流特征会引起不同程度的电源噪声。因为在时域中激励所有频率是很困难的（需要无穷多电流特征），所以采用频域分析更合适。我们将在本节讨论频域分析。

考虑之前图 1.26 所示的典型 PDN 电路图，其任意节点或是节点之间的阻抗都可以计算出来。图 1.27 给出了两个例子，图 1.27(a)中将 IC 电路移除，1 A 的电流源跨接在 IC 的电压和地端之间，同一节点的电压可以作为频率的函数计算出来。因为使用的是 1 A 电流源，所以算得的电压值就是从 IC 向 VRM 方向看进去的自阻抗值（单位为 Ω）。类似地，在图 1.27(b)中，我们单独分析 PCB 板，将 1 A 电流源跨接在一个板级电容器上（例如在测量中移除其中一个电容器），并且测量该电容器上的电压和 VRM 输入端体电容器两端的电压。所测的 V_1 是自阻抗（单位 Ω），V_2 是转移阻抗（单位 Ω），它们都是频率的函数。因此，只要网络中的节点可以与电流源相连并且可以测量其电压，就可以通过频域分析确定 PDN 各个部分的特性。在实际测量中，我们可以通过矢量网络分析仪（Vector Network Analyzer，VNA）进行测量，其中所测得的 S 参数为频率的函数，可以转化成阻抗（这将在后面进行讨论）。

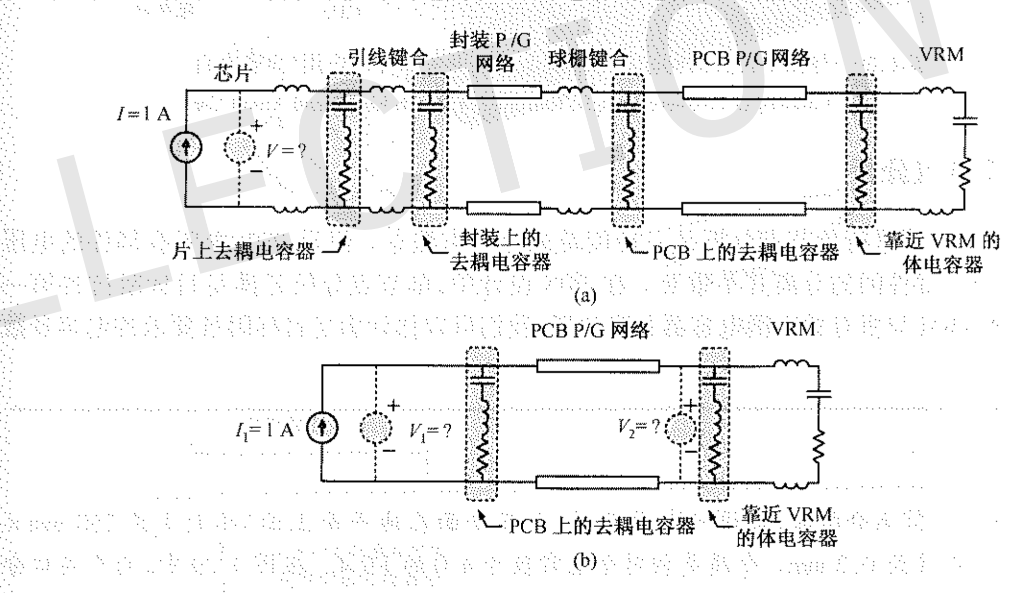


图 1.27 (a) 芯片自阻抗；(b) 电路板的自阻抗和转移阻抗

PDN 中各个部件的作用如图 1.28 所示。y 轴是 IC 上某一节点的自阻抗，x 轴是频率。当频率是几 kHz 时，VRM 和体电容器的阻抗都很低，阻抗随着体电容器 ESL 的正斜率线性增加。在 MHz 区域，由于电路板上去耦电容器的电容使阻抗降低，这产生一个负的斜率，在达到电容器谐振点之后，斜率又变为正的。由于电容器 ESL 形成的正感性斜率被平面电容所补偿，因此又将阻抗下拉到图中的负斜率，直到几百 MHz。在达到平面谐振点之后，平面频率响应呈感性，斜率又变为正的直到 GHz 频段，其后又被片上电容所补偿。由图 1.28 可知，阻抗的幅度随着多个谐振（最小阻抗）和反谐振（最大阻抗）而波动。我们设计的目的就是以目标阻抗为参考，确保在期望的频带范围内（数百 MHz 到数 GHz），阻抗不超过目标阻抗。

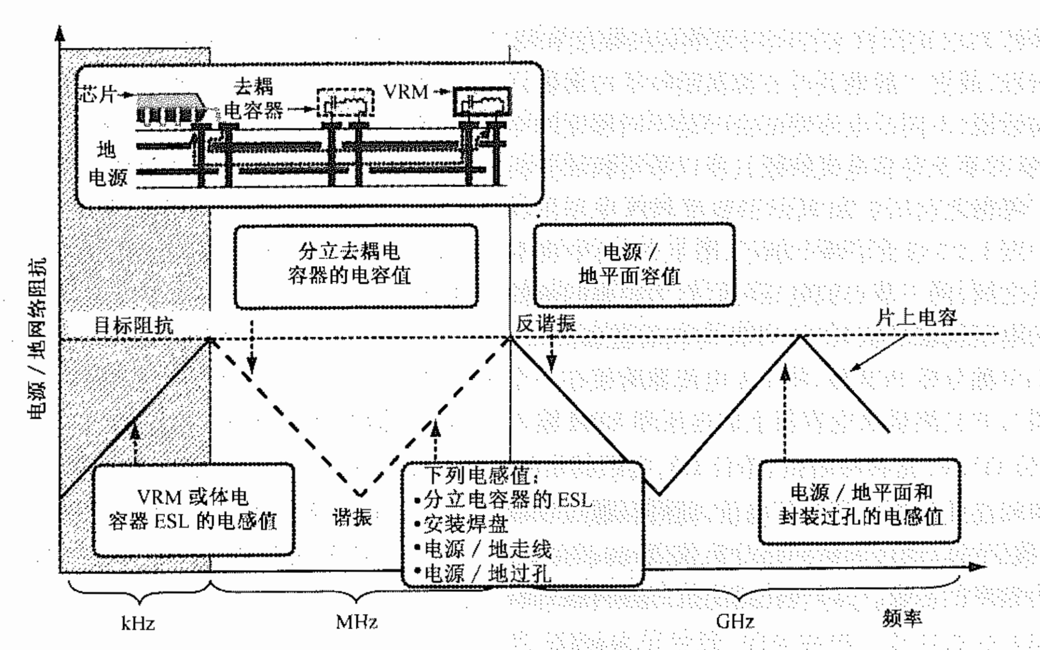


图 1.28 与频率相关的阻抗和电源配送网络中各部件的作用(内容来自 Courtesy of Professor Jiongho Kim, KAIST, South Korea, and Ansoft Corp)

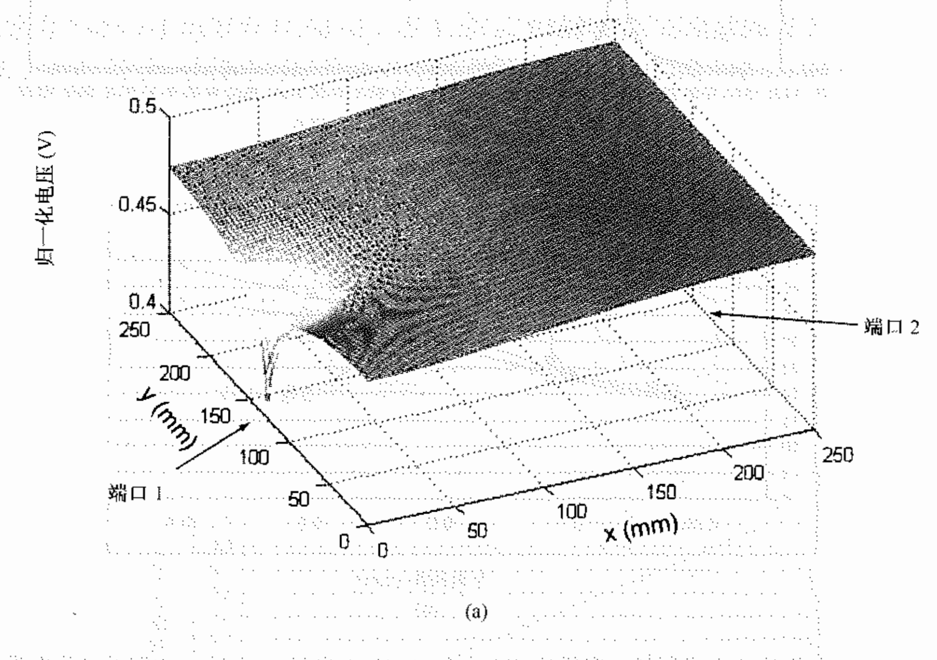
1.5.1 单节点分析

用电路仿真器进行单节点分析是一种简单的分析方法[7]。假设 PDN 中所有部件的电压同时变化,所以部件间的分离并不重要。在 PDN 设计中,单节点分析是满足目标阻抗的第一步。通过把 VRM 与所有的去耦电容器并联放置,我们可以估计满足目标阻抗要求的电容器数目和电容值。

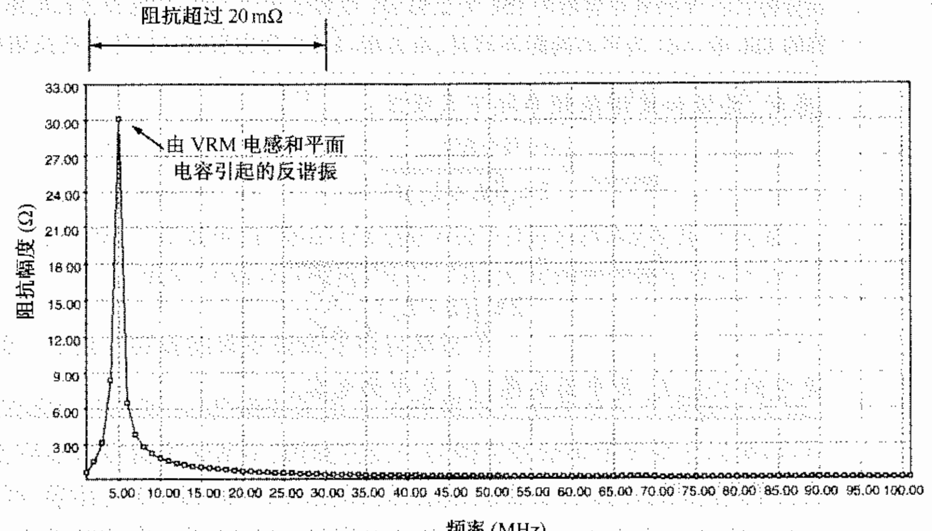
举例

为了说明单节点分析法,假设一个平面对(电压平面在地平面上面)的大小为 250 mm × 250 mm,介质厚度为 0.2 mm。介质是相对介电常数为 4.0 的 FR-4。在图 1.29 中,两个端口分别位于 P1(1.25 mm, 126.25 mm)和 P2(248.75 mm, 126.25 mm)。P1 是输入端口(电流源),P2 是输出端口(电压测量)。平面对上分布着尺寸为 2.5 mm(100 × 100 网格)的单元,并且可以通过第 2 章中详细介绍的多层有限差分法(Multilayered Finite Difference Method, M-FDM)来求解。电压平面和地平面之间归一化差分电压的 30 MHz 电压分布图如图 1.29 所示。如图 1.29(a)所示,除了电源,所有单元格的电压均相同,这表明整个平行板表面的电压都是常量。所以,在 30 MHz 时,平面表现为一个集总电容器,任何连接到平面的去耦电容器电压都相同,而不用考虑电容器的位置。两个平面的电容为 11.067 nF,在 30 MHz 处的阻抗为 0.479 Ω($1/[2\pi \times 30 \times 10^6 \times 11.067 \times 10^{-9}]$)。假设一个电感为 100 nH 的 VRM 接在端口 P1,端口 P2 的阻抗如图 1.29(b)所示。由于电感和平面电容产生的并联谐振,在 4.78 MHz 附近引起了反谐振。

如前所述,当一电容器连接到一裸平面时,会产生谐振和反谐振。根据方程(1.24),如果电容器的 ESL 为 2.53 nH,电容值 C 为 100 nF,会在 10 MHz 处产生谐振,在 31.7 MHz 处产生反谐振。谐振和反谐振如图 1.29(c)所示。从图中可以看出,虽然反谐振频率在 31.7 MHz 附近,但是谐振转移到稍低于 30 MHz 的频率处。这种偏移是由平面电感所引起的。虽然与电容器的等效串联电感相比,平面电感要小得多,但它仍然对谐振频率和反谐振频率有一定影响。随着电压平面和地平面之间距离的增大,平面电感也增大,从而导致谐振频率和反谐振频率都有较大的偏移。这种偏移如图 1.29(d)所示,其中电容器的 ESL 为 2.53 nH,电容值 C 为 100 nF,介质间隔从 0.05 mm 变为 0.4 mm,由方程(1.24)和 M-FDM 分析法可得到反谐振频率。间距为 0.4 mm 时,误差为 16%,间距为 0.05 mm 时,误差降为 3%。在图 1.29(d)中,阻抗值在端口 P2 测得。

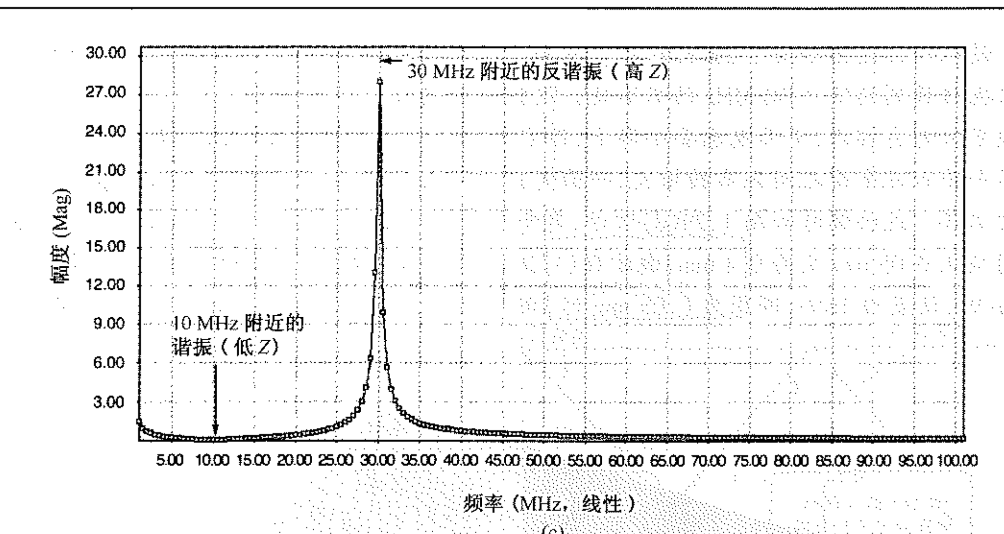


(a)

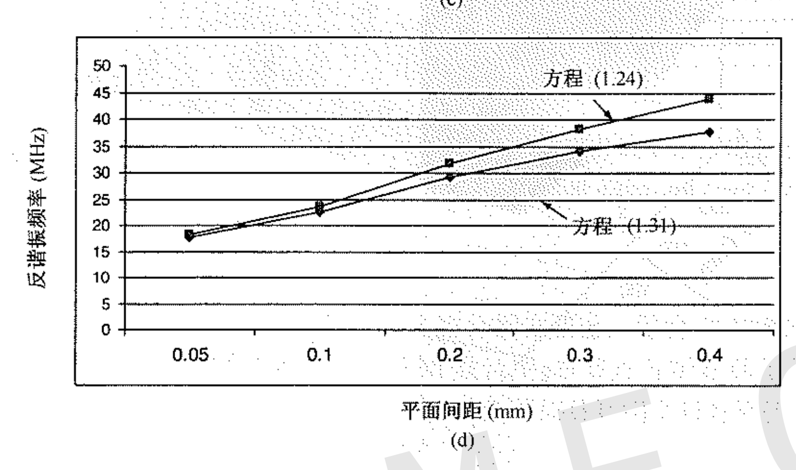


(b)

图 1.29 单节点分析:(a) 平面对在 30 MHz 时的电压分布;(b) VRM + 平面



(c)



(d)

图 1.29(续) 单节点分析:(c) 平行板电容器的 ESL 为 2.53 nH,电容值 C 为 100 nF,假设过孔电感包括在电容器的 ESL 中;(d) 当平面间距不同时,由方程(1.24)和方程(1.31)算得的反谐振频率

当包含平面电感时,谐振和反谐振频率按下式修改:

$$f_{\text{resonance}} = \frac{1}{2\pi\sqrt{(L+L_p)C}}$$

$$f_{\text{antiresonance}} = \frac{1}{2\pi\sqrt{(L+L_p)\dfrac{C_pC}{C+C_p}}} \tag{1.31}$$

其中 C 是电容,L 是它的 ESL,L_p 是平面电感,C_p 是平面电容。

1.5.1.1 低频平面电感的计算

在 1 ~ 50 MHz 的低频范围内,平面可用集总 T 模型来表示,如图 1.30(a)所示,在端口 P1 处接一电容器,从端口 P2 看进去的阻抗可以计算出来。T 模型可用诸如 M-FDM 这样的平面求解程序通过计算低频时端口 P1 和 P2 间的二端口阻抗来得到。例如,在图 1.29(a)中,当频率为 10 MHz 时,二端口 Z 参数为:Z_{11} = - j1.4122,Z_{12} = - j1.44089,Z_{22} = - j1.4122,T 模型的电感和电容可从下式得到:

$$L_1 = \frac{(Z_{11}-Z_{12})}{2\pi f}$$

$$C = \frac{1}{2\pi f Z_{12}} \tag{1.32}$$

$$L_2 = \frac{(Z_{22}-Z_{12})}{2\pi f}$$

求得电感为 0.456 nH,电容为 11.04 nF。图 1.29(a)中结构的平面电感随着平面间距的变化而变化,如图 1.30(b)所示。由图中可以看出,电感随平面间距的增加而线性增加,如方程(1.22)所示。

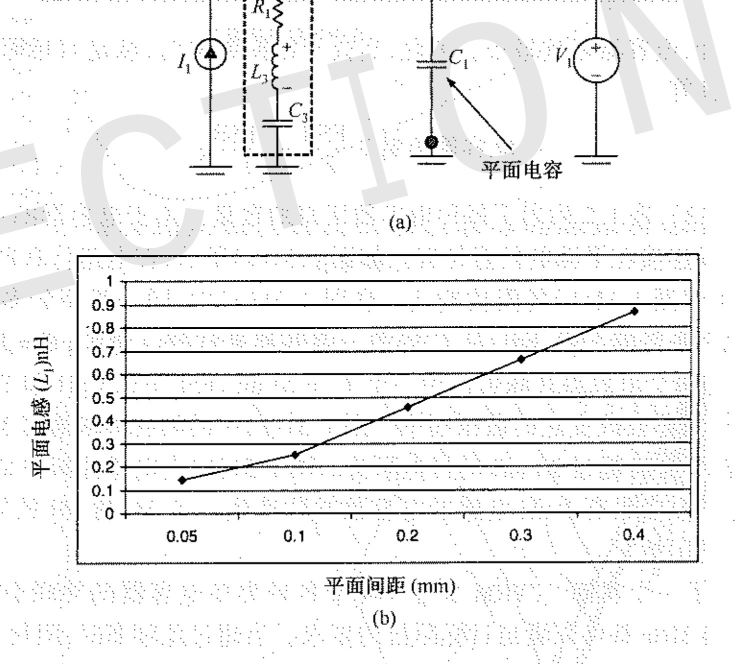


图 1.30 (a) 低频(10 MHz)时安装在平面上的电容器等效电路,平面端口 P1 放置电流源,平面端口 P2 检测电压;(b) 10 MHz时,平面电感和平面间距的关系

1.5.1.2 在低于腔谐振频率处满足目标阻抗

如方程(1.28)所示,腔谐振是指在某些频率上平面发生了谐振。在低于腔谐振的频率范围内,电容器的位置无关紧要,因此它们可以均匀地分布在平面上以满足目标阻抗。

例如,假定从 DC 到 30 MHz 范围内目标阻抗需要为 20 mΩ,而在图 1.29(b)中却不能满足这一点,因为当频率大于 30 kHz 时阻抗会超过 20 mΩ。因此我们的目标就是选择合适的电容器,使谐振频率处阻抗减小到可以满足目标阻抗的要求。当电容器连到平面上时,由方程(1.31)可以得到它产生的反谐振频率,我们称之为 LC 反谐振。因此必须选择合适的电容

器使其在反谐振频率下阻抗最小。表 1.2 列出了可将阻抗减小到 20 mΩ 以满足目标阻抗的电容器及其 ESR、ESL 和谐振频率值。

表 1.2 去耦电容器

容值(F)	ESL(nH)	ESR(mΩ)	电容器数目	谐振频率(Hz)
1.00×10^{-2}	1	23	2	5.03×10^{4}
5.00×10^{-5}	1	5	1	7.11×10^{5}
2.20×10^{-5}	1	2	1	1.07×10^{6}
1.00×10^{-5}	1	3.1	1	1.59×10^{6}
4.70×10^{-6}	1	4.7	1	2.32×10^{6}
2.20×10^{-6}	1	2.2	1	3.39×10^{6}
1.00×10^{-6}	1	15.4	1	5.03×10^{6}
4.70×10^{-7}	1	23.3	2	7.34×10^{6}
2.20×10^{-7}	1	35.3	2	1.07×10^{7}
1.00×10^{-7}	1	67.1	4	1.59×10^{7}
4.70×10^{-8}	1	99.7	5	2.32×10^{7}
2.20×10^{-8}	1	148.5	8	3.39×10^{7}

在谐振频率处,电容器阻抗最小。因此,当处于谐振频率时,满足目标阻抗的每种电容器数量可以用下式计算:

$$电容器数量 = \frac{ESR}{Z_T} = \frac{ESR}{20\ m\Omega} \tag{1.33}$$

利用方程(1.33),表 1.2 列出了每种电容器所需的数量。由于电容器的位置并不重要,所以这些电容器可以连接在平面的任意位置。如图 1.31(a)所示,在电路仿真器中电容器并联起来,就可以得到类似图 1.31(b)的阻抗响应。在图 1.31(a)中,同一类型的多个电容器并联可以用含有某一比例系数的 ESR、ESL 及 C 的单一电容器来代替。例如,$C = 10$ mF、ESL = 1 nH 和 ESR = 23 mΩ 的两个电容器并联可以用一个 $C' = 20$ mF、ESL' = 0.5 nH 和 ESR' = 11.5 mΩ 的单个电容器代替,而不会改变它的谐振频率。图 1.31(b)中的阻抗可以通过 M-FDM 方法获得,直到 95 MHz 它都不会有超过 20 mΩ 的目标阻抗。图 1.31(b)中电感性斜率是由所有电容器的 ESL 并联产生的。29 个具有 1 nH 电感的电容器并联产生一个 34.48 pH 的等效电感,这对应于约 100 MHz 时的阻抗。

图 1.32 显示了一个实例[7]:VRM 加上 144 个各种类型电容器的并联会产生一个频率响应,该响应直到 50 MHz 都可以满足目标阻抗的要求。当超过此频率时,阻抗会变成感性的(正斜率),如图所示。

1.5.2 分布式分析

当频率大于 50 MHz 时,平面上的电压分布将会改变并且会产生驻波。根据方程(1.28),一个尺寸为 250 mm × 250 mm 的平面将在 300 MHz(1,0 模式)、423 MHz(1,1 模式)、600 MHz(2,0 模式)、670 MHz(2,1 模式)、847 MHz(2,2 模式)、900 MHz(3,0 模式)等频率处产生谐振。一种模式代表了一种电压分布。其中一些谐振模式的电压分布如图 1.33 所示;最高电压和最低电压都是平面上位置的函数。可以看出,该平面已不再是一个等势面。在 300 MHz 时,沿长边会出现半波;在 600 MHz,沿长边和宽边都会出现半波;当频率为 670 MHz 时,宽边会出现全波而长边则会出现半波;当频率为 847 MHz 时,长边和宽边都会出现全波。全波代表 360°相移

的驻波,而半波则代表了一个 180°的反相驻波。例如:在 300 MHz 时,最大值(标记出最大)会出现在近端或远端边缘,而极小值出现在平面中心,它代表了 180°相移改变(并未显示相移),表示驻波的一半。在平面产生谐振的频率点上,去耦电容器的位置很重要,因为它们需要放置在电压最大值处以减少平面间的反弹。

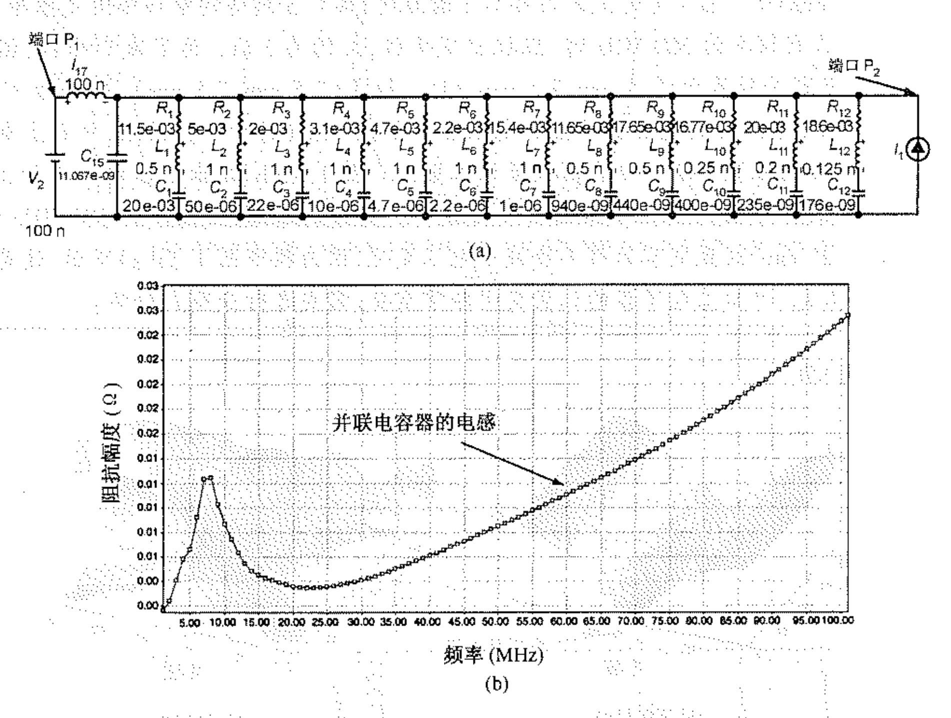


图 1.31 (a) 多电容器连接的简化电路模型(不包括平面电感);(b) VRM + 平面 + 电容器

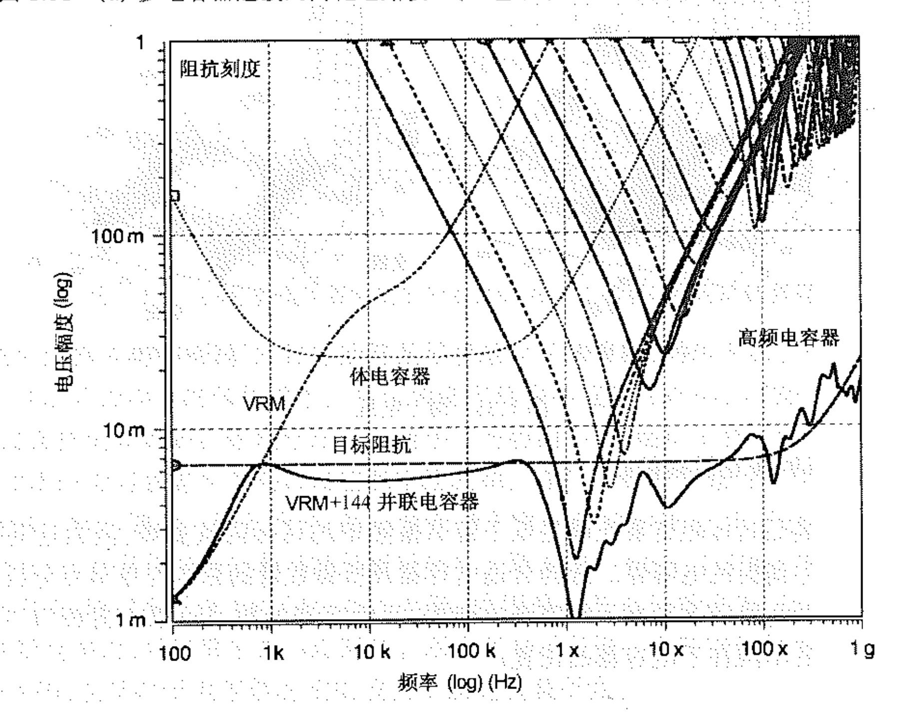


图 1.32 用单节点分析满足目标阻抗的一个实例(内容来自 L.D.Smith, et al.[7],© 1999 IEEE)

举例

如图 1.33(a)所示,在 300 MHz 处电压峰值不得不降低。为了监测电压最大值,端口 3 应该放在(7.5 mm,7.5 mm)处。当 1 A 电流源在端口 1 激励时,端口 3 测得的电压幅度是频率的函数,在图 1.34 中绘出。当频率为 300 MHz 时,阻抗出现峰值,大约为 3 Ω。为了减小峰值,谐振频率为 300 MHz 的电容器必须置于(7.5 mm,7.5 mm)处。位于(7.5 mm,7.5 mm),参数为 C = 1 nF、ESR = 10 mΩ、ESL = 0.28 nH 的电容器产生的电压分布如图 1.35(a)所示。显然,平面上电压分布发生变化,最小电压的位置出现在电容器放置的位置上。图 1.35(b)绘出了在端口 1 加上 1 A 电流源时端口 3 的阻抗。3 Ω 的阻抗峰值已被大大减小。要特别注意,当频率为 300 MHz 时,在平面中心(125 mm,125 mm)放置电容器并不会减小电压变化,因为按照图 1.33(a)所示,这是一个电压的极小值点。因此,平面上电容器的位置变得非常重要,需要进行分布式分析。

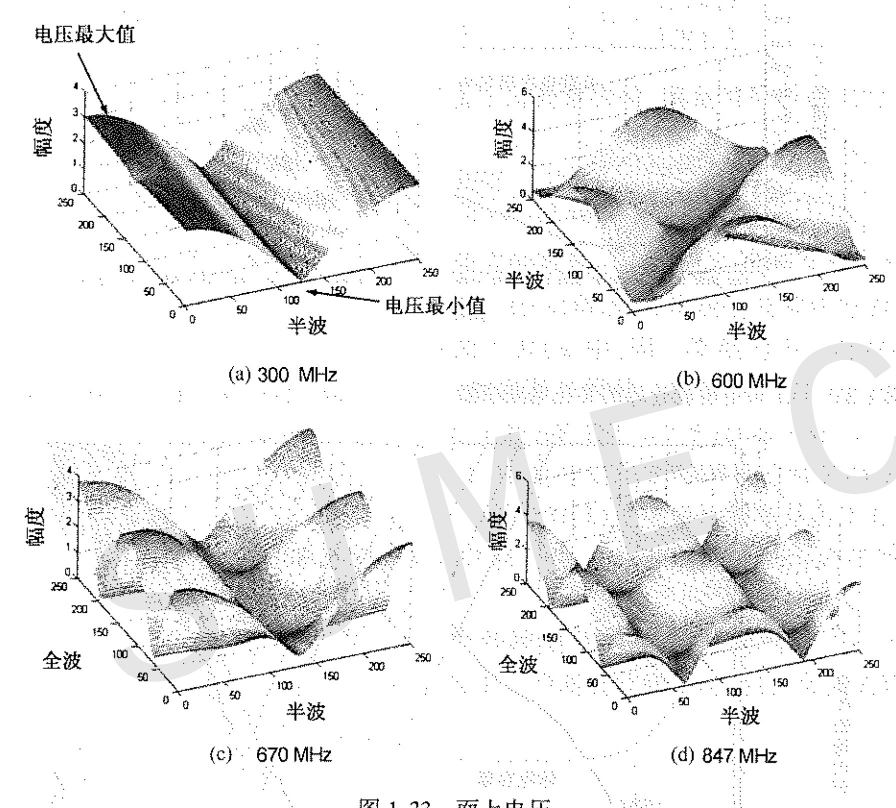


图 1.33 面上电压

1.5.2.1 腔谐振时满足目标阻抗

在腔谐振时满足目标阻抗要比满足低于腔谐振频率的目标阻抗更难,因为这需要有一些在更高频率上产生谐振的电容器。选择合适电容器及所需数量的原则与单节点分析的选择类似。所选的电容器在腔谐振频率下能够产生谐振,而电容器的数目可以由方程(1.33)计算得到。但二者主要的不同在于电容器的位置。

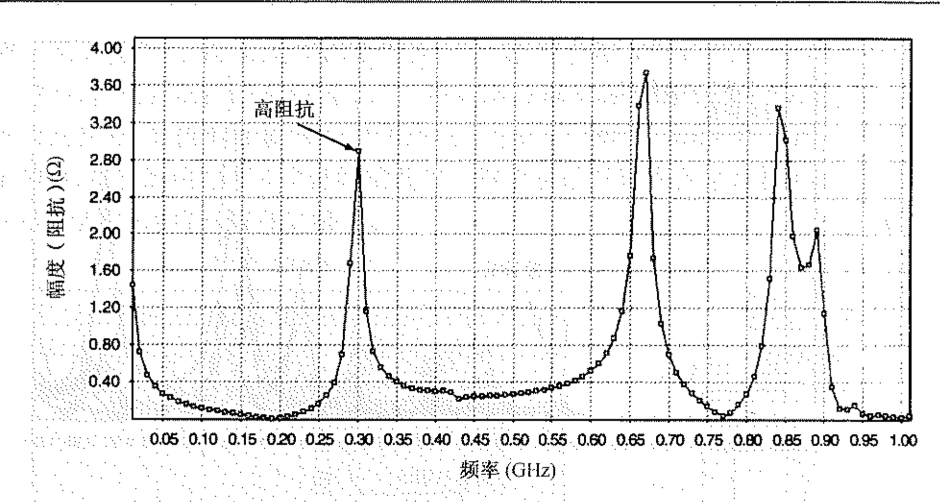


图 1.34 端口 1 和端口 3 间的转移阻抗

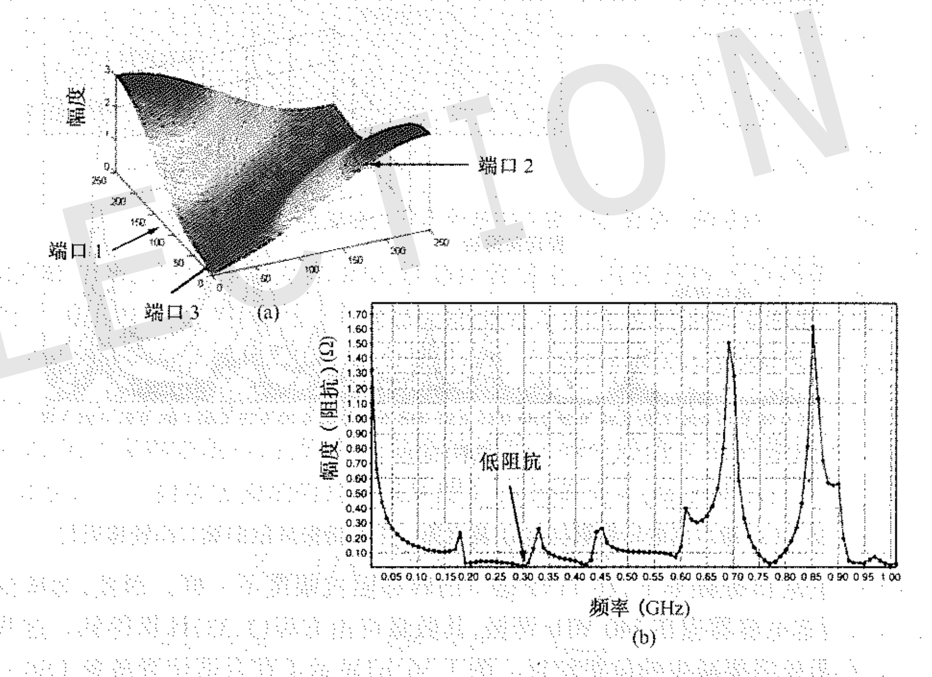


图 1.35 (a) 包括电容器的电压分布;(b) 端口 1 和端口 3 间的转移阻抗

在任何计算系统中,我们的目标始终是尽量减少平面反弹,因为平面上任何电压的变化都可以耦合到以其为参考的信号线上。可以考虑把前面描述的 250 mm × 250 mm 平面作为一个例子,通过选择电容器的位置使电压变化最小。与前面一样,端口 1 和端口 2 的位置不变。此外,在平面表面均匀放置 9 个端口以监测电压波动。端口 1 是信号源,我们的目标是在剩余的端口尽量减少电压波动。如上所述,第一个腔谐振发生在300 MHz。低于这个频率时,运用单节点分析方法,电容器均匀分布可满足目标阻抗。图 1.36(a)显示了源端(端口 1)和其余端口间的转移阻抗,通过在平面上均匀分布电容器,使用单一节点分析可知,从 DC 到 300 MHz 的大部分频带范围内,可以满足 20 mΩ 阻抗。图中还显示了第一个腔谐振频率从初始的300 MHz 变为 340 MHz,这是由于电容器的 ESL 成为平面的负载所致。

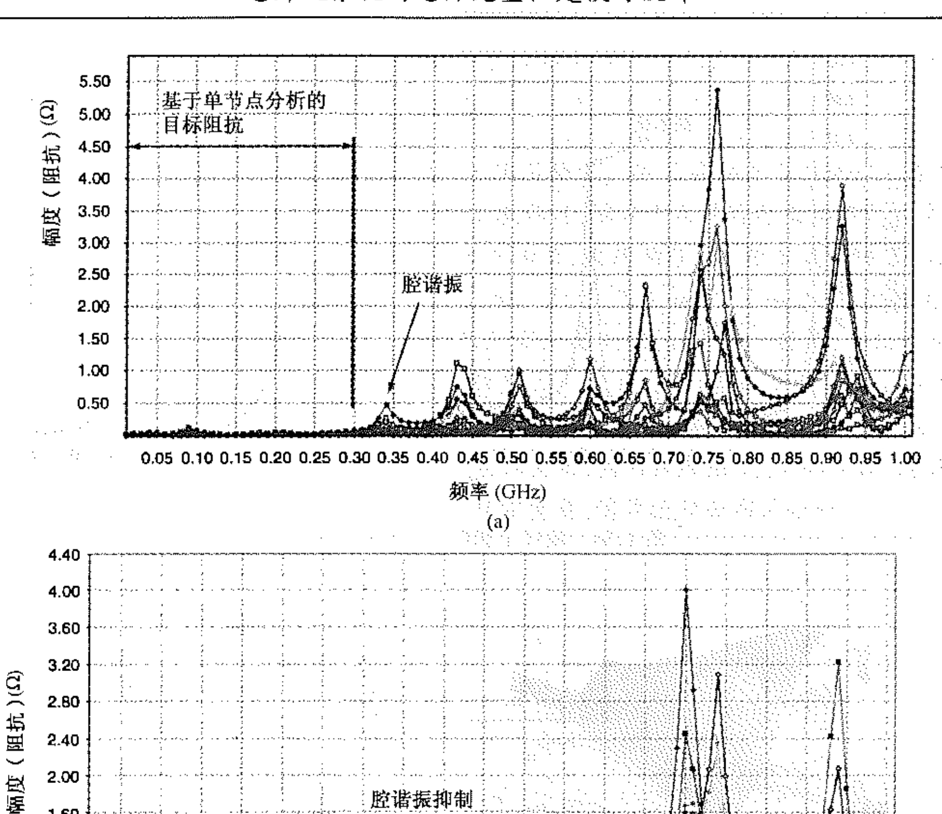


图 1.36 (a) 端口间的转移阻抗;(b) 具有第一个腔谐振抑制的端口间转移阻抗

在 340 MHz 的腔谐振频率下,在 11 个端口的转移阻抗幅度不一样。因此,为减少阻抗以满足目标阻抗,所选电容器应在 340 MHz 谐振,其数量可由方程(1.33)计算得到。这些电容器必须放置在转移阻抗需要减少的位置附近。图 1.36(b)显示了在合适位置放置 ESR = 10 mΩ、ESL = 1 nH、C = 0.219 nF 电容器时的转移阻抗,在 340 MHz 时阻抗已经减少。然而,在 280 MHz 附近,由于并联谐振产生了新的反谐振,那么现在就必须使用谐振频率为 280 MHz 的电容器以减少并联谐振。

因此,电容器布局的分析方法学应包括初始的单节点分析及其后的分布式分析,并反复迭代使平面表面的阻抗最小以最小化平面反弹。这种方法学可扩展到包含多个平面层的封装和电路板。

1.6 芯片-封装反谐振:实例

前面已经简单地描述过,芯片和封装之间的相互作用可以在芯片的阻抗轮廓中产生很大的反谐振。如果芯片的工作频率与反谐振频率一致,那么就会产生很大的电压波动。通过下

面一个例子可以很好地说明这种作用效果。考虑尺寸为 30 cm × 25 cm 的多层电路板,如图 1.37(a)所示。电路板的一角包含了一个有许多去耦电容器的 VRM。装配在电路板上的封装是一种层压封装,其横截面如图 1.37(b)所示,它的尺寸是 40 mm × 40 mm。该封装包含一个 800 μm 的内核,在核的两边有 4 个连续的叠层。封装通过焊球焊在电路板上。尺寸为 15 mm × 15 mm 的芯片通过 C4 焊料焊在封装中。

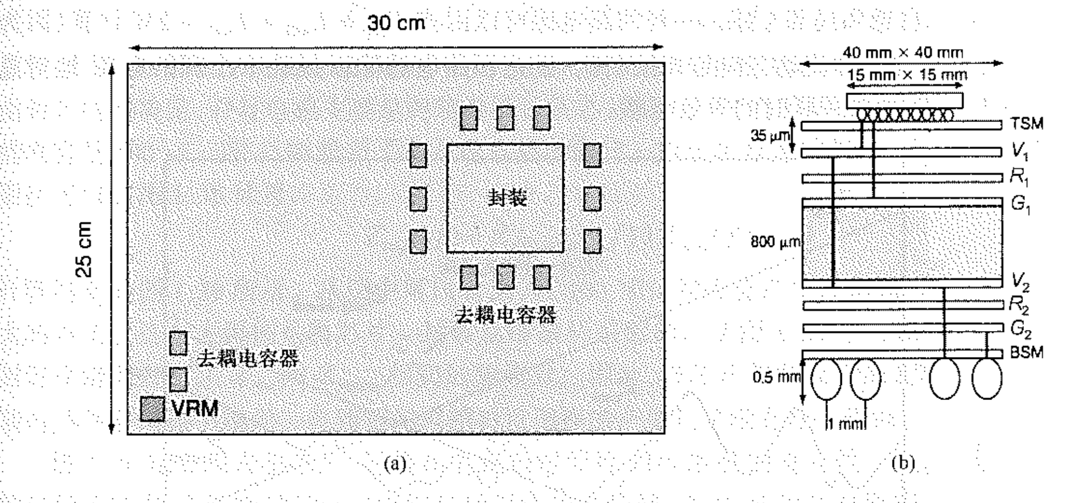


图 1.37 (a) 电路板及其上封装的位置;(b) 封装上的芯片

考虑内核 PDN,其中 VRM 为 IC 的内核晶体管供电。内核 PDN 可以用等效电路表示,如图 1.38 所示,假设 1 V 的 VRM 用一个理想电源表示。VRM 和封装底面间的二端口阻抗是一个元素为 Z_{11}、Z_{12}和 Z_{22}的 2 × 2 矩阵,它分别代表了 VRM 的自阻抗、转移阻抗、封装(假定封装中心为一个单节点)底面的自阻抗。如图 1.38 所示,这个 2 × 2 的矩阵可由一个元素为 $Z_{11} - Z_{12}$、Z_{12}、$Z_{22} - Z_{12}$的 T 型网络表示,它们都是频率的函数。该电路表示法只是许多可以表示二端口网络的方法之一。封装底面的阻抗可以从图 1.38 计算出来,如下所示:

$$Z_{\text{board}}(f) = \frac{Z_{11}(f)Z_{22}(f) - Z_{12}(f)^2}{Z_{11}(f)} \tag{1.34}$$

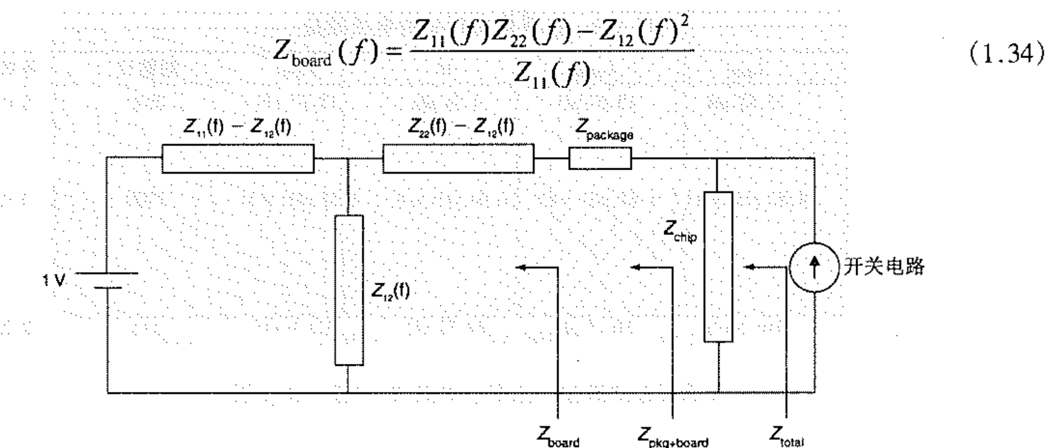


图 1.38 内核 PDN 的等效电路

图 1.39 绘制了向 VRM 看进去封装底部的阻抗。频率响应是假定在电路板上不同位置放置一定数量的去耦电容器而得到的。正如预期的那样,由于电容器的谐振频率,阻抗将会产生

谐振和反谐振，并且当频率超过 100 MHz 时阻抗会呈感性。为简单起见，封装用一个等效电感表示，其阻抗可以由图 1.38 中的 $Z_{package}$ 表示。这样，一个封装的电感可以近似地通过将封装分成包含焊块的层、顺序组合层、核和焊球，然后对焊块、过孔及焊球的电感建模而计算得到。这是一个很好的近似，因为电流可以垂直流过这种多层球栅阵列封装。在这里使用一种称为 FastHenry[27] 的公开软件工具来生成表 1.3。在表中，每个电源/地焊块/过孔/焊球对用圆柱体建模以提取局部自感和局部互感。一对回路电感可以由式 $L_{loop} = L_{self1} + L_{self2} - 2M$ 计算（因为电流在电源/地回路中的流动方向是相反的）。根据回路电感除以封装中出现的电源/地对总数，计算这些电源/地对并联时的等效电感。

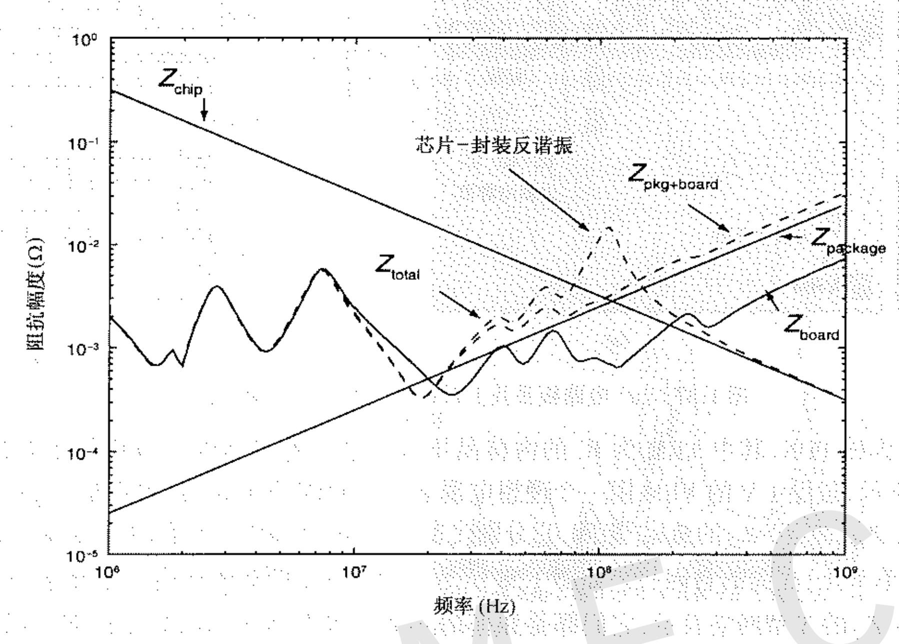


图 1.39 芯片 - 封装反谐振

表 1.3 多层叠层封装的电感效应

物理尺寸	L_{self1}	L_{self2}	M	L_{loop}	对数目	等效电感
C4 焊块 直径 90 μm 间距 192 μm	15.67 pH	15.67 pH	4.24 pH	22.87 pH	2000	0.01 pH
通过组件的过孔 直径 50 μm 长度 35 μm(8 层) 间距 192 μm	4.82 pH(×8)	4.82 pH(×8)	0.64 pH(×8)	8.35 pH(×8)	2000	0.03 pH
通过内核的过孔 直径 300 μm 长度 800 μm 间距 707 μm	246.5 pH	246.5 pH	84.57 pH	323.8 pH	145	2.23 pH
焊球 直径 500 μm 长度 500 μm 间距 1000 μm	86.67 pH	86.67 pH	25.17 pH	122.98 pH	112	1.09 pH

从表 1.3 中可以看出，对封装电感影响最大的是内核和焊球。将等效回路电感（串联）加起来可以计算从焊球到 C4 焊块的封装电感大约为 3.37 pH。因为表 1.3 是一种近似计算回路电感的方法，所以我们可以假设封装电感是约为 4 pH。图 1.39 绘出了 4 pH 电感器的阻抗，在对数 - 对数图表中它是一条正斜率的直线。从封装顶部看向 VRM 的总阻抗现在可以由图 1.38 计算：

$$Z_{pkg+board}(f) = Z_{board}(f) + Z_{package}(f) \tag{1.35}$$

方程(1.35)如图 1.39 所示。低频时（< 10 MHz），阻抗由电路板决定；而超过 50 MHz 时，阻抗由封装电感决定，并且电感主要是封装电感。该芯片可由一个电容器表示。假定该集成电路的电容是 500 nF。图 1.39 绘出了芯片电容器的阻抗。由于阻抗是并联的，从 IC 看向 VRM 的阻抗可以由图 1.38 计算：

$$Z_{total}(f) = Z_{pkg+board}(f) \parallel Z_{chip}(f) \tag{1.36}$$

计算结果如图 1.39 所示。从图中可以看出，在 100 MHz 附近会产生反谐振，同时产生一个很大的阻抗。这个大阻抗是由芯片 - 封装反谐振所引起的。从图 1.39 中可以看出，该芯片 - 封装反谐振发生在 Z_{chip} 和 $Z_{package}$ 相交的频率处。因此，该芯片封装反谐振是由芯片电容和封装电感并联谐振引起的。电路板的电感对反谐振的产生几乎没有什么影响。

图 1.40 定量地表明芯片、封装和电路板对管控 PDN 阻抗的重要性。在从 DC 至 10 MHz 的频带范围内，电路板的设计对管控目标阻抗非常关键，而 IC 或封装对管控目标阻抗几乎没有影响。在 10～100 MHz 频率间，封装和电路板的相互作用很重要。它会引起谐振点的改变，并增加总电感。从 100 MHz～1 GHz，芯片和封装的相互作用会产生一个阻抗峰值，该峰值取决于封装电感和 IC 电容间的反谐振。在这个频带范围内芯片 - 封装的联合设计非常重要。超过 1 GHz 时，PDN 阻抗仅由 IC 的电容决定，封装和电路板不会产生任何影响。

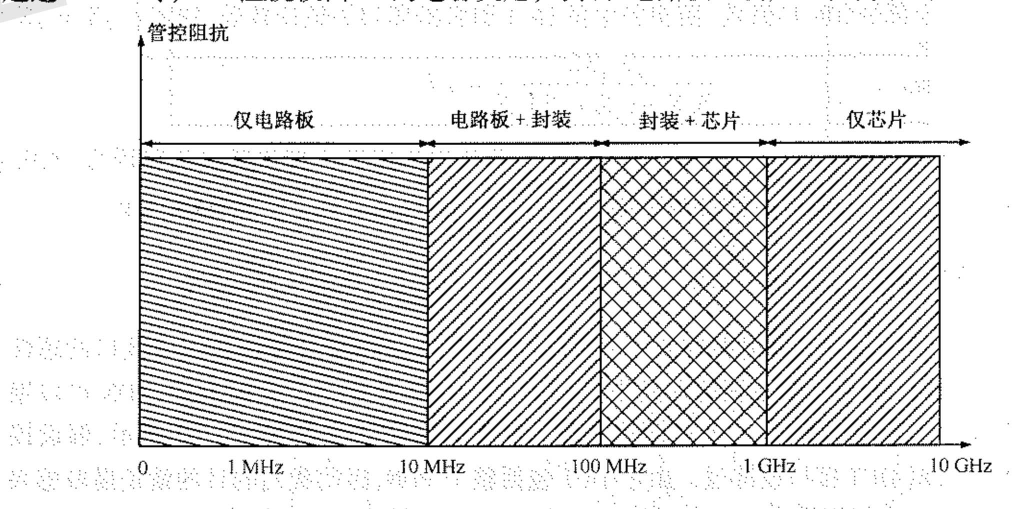


图 1.40 芯片、封装和电路板对电源配送的影响

1.7 高频测量

高频测量是评估去耦电容器、平面和有表贴元件的 PDN 有效性的一个重要内容。频率高于自谐振频率（SRF）时，电阻和电感变化的幅度和斜率取决于电容器、焊盘、过孔及紧邻平面

对的尺寸。因为 ESR(f)和 ESL(f)取决于几何形状，所以，测量与实际环境具有相同几何尺寸的焊盘、过孔和平面的测试装置就显得很重要。这样，不仅可以保证测得的复阻抗能够反映实际的待测器件(DUT)，必要时也包括测试装置。通过双端口连接，使用矢量网络分析仪(VNA)可以很方便测得当今旁路电容器的低阻抗值[28]。

VNA 由一个可调正弦电源和一个跟踪接收器组成。接收器可以测量来自或者前往 DUT 的入射波(a_1)、反射波(b_1)及穿过 DUT 的传输波(b_2)，这些波以电压的形式被测量。VNA 测量和显示各种入射波和反射波的组合，通常称为 S 参数[29]。在 VNA 测量中，等效电路如图 1.41 所示。图中，Z_0 是仪器的相连阻抗，通常为 50 Ω。最新的 VNA 可能有大约 0.1 分贝的重复定位精度，在 S_{11} 的测量中有零点几分贝的绝对误差，这要求所测量阻抗的精确值不能比 50 Ω 小或大太多。根据电压反射系数(S_{11})，由方程(1.37)可以计算出单端口 DUT 的阻抗：

$$Z_{\mathrm{DUT}}=\left(\frac{1+S_{11}}{1-S_{11}}\right)Z_0 \tag{1.37}$$

PDN 的阻抗一般比较低，远远小于 50 Ω。当阻抗比较低时，方程(1.37)的值接近 0，因此它的精确度逐渐降低。如参考文献[30]所述，二端口阻抗的测量装置将单端口 VNA 的测量能力扩展了好几个数量级，它能够测量低于几 mΩ 的 PDN 阻抗值。因此，当分析 PDN 特性时，双端口测量更可取。

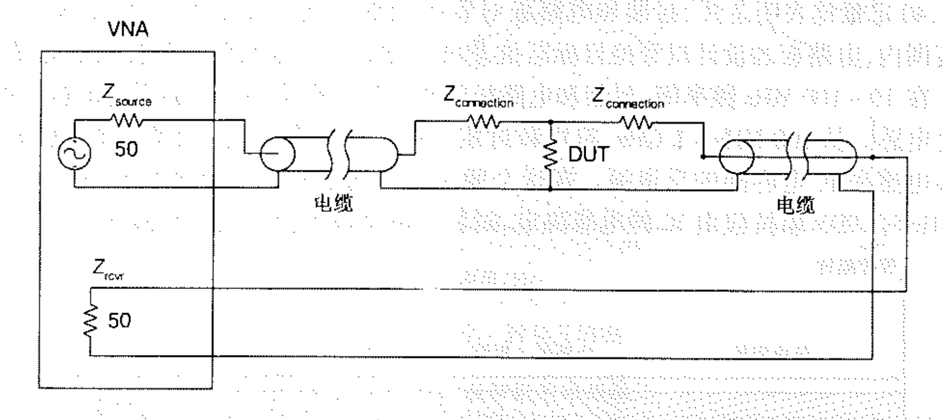


图 1.41　矢量网络分析仪的测量原理图(内容来自 M. Swaminathan, et al.[28]，© 2004 IEEE)

1.7.1　阻抗测量

PDN 阻抗测量装置的等效电路如图 1.42 所示。图中，L_{p1} 和 L_{p2} 代表电缆 DUT 接口的感性突变，它包括从探针信号端到地端的回路电流所形成的回路电感[31]。如前所述，PDN 可以用一个阻抗为 Z_{11}、Z_{12}、Z_{21}、Z_{22} 的二端口网络来表示。参考平面的设置如图 1.42 所示，假设接插件(或探针)都对 DUT 接口校准过。由于 DUT 包括整个 PDN，因此我们的目的就是提取感兴趣端口间的阻抗。我们假设进行一次双端口测量，那么通过转化可以将测得的 S 参数与 PDN 的 Z 参数联系起来：

$$\begin{bmatrix}S_{11} & S_{12}\\ S_{21} & S_{22}\end{bmatrix}=\begin{bmatrix}Z_{11}+\mathrm{j}\omega L_{p1}+Z_0 & Z_{12}\\ Z_{21} & Z_{22}+\mathrm{j}\omega L_{p2}+Z_0\end{bmatrix}^{-1}\begin{bmatrix}Z_{11}+\mathrm{j}\omega L_{p1}-Z_0 & Z_{12}\\ Z_{21} & Z_{22}+\mathrm{j}\omega L_{p2}-Z_0\end{bmatrix} \tag{1.38}$$

其中，$Z_0=50\ \Omega$，令 $Z_1=50+\mathrm{j}\omega L_{p1}$，$Z_2=50+\mathrm{j}\omega L_{p2}$，则上式可写为

$$\begin{bmatrix}S_{11} & S_{12}\\ S_{21} & S_{22}\end{bmatrix}=\frac{1}{(Z_{11}+Z_1)(Z_{22}+Z_2)-Z_{12}Z_{21}}\begin{bmatrix}Z_{22}+Z_2 & -Z_{12}\\ -Z_{21} & Z_{11}+Z_1\end{bmatrix}\begin{bmatrix}Z_{11}+\mathrm{j}\omega L_{p1}-Z_0 & Z_{12}\\ Z_{21} & Z_{22}+\mathrm{j}\omega L_{p2}-Z_0\end{bmatrix} \tag{1.39}$$

由于 S_{12} 的测量更适合于低阻抗测量，由方程(1.39)可知测得的 S_{12} 与阻抗间的关系为

$$S_{12}=\frac{2Z_{12}Z_0}{(Z_{11}+Z_1)(Z_{22}+Z_2)-Z_{12}Z_{21}} \tag{1.40}$$

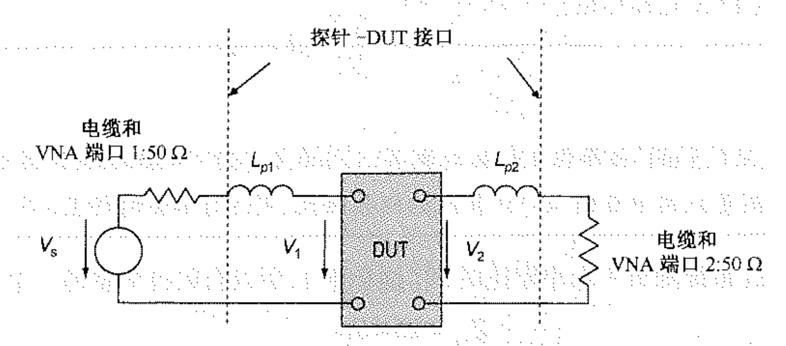


图 1.42　测量转移阻抗的等效电路(内容来自 M. Swaminathan, W. Kim, and I. Novak, "Measurement problems in high speed networks," *IEEE Instrumentation and Measurement Technology Conference*, pp. 1339-1346, Budapest, Hungary, 2001)

1.7.2　自阻抗测量

假设我们要测量 PDN 的自阻抗，两个接插件(或探针)可以相邻放置，从而使 $Z_{11}=Z_{12}=Z_{21}=Z_{22}$。这时，等效电路可以简化为图 1.43 所示的电路，方程(1.40)可简化为

$$S_{12}=\frac{2Z_{11}Z_0}{Z_{11}(Z_1+Z_2)+Z_1Z_2} \tag{1.41}$$

由此，自阻抗可从测得的 S 参数提取出来：

$$Z_{11}=S_{12}\frac{Z_1Z_2}{2Z_0}\frac{1}{1-S_{12}\dfrac{(Z_1+Z_2)}{2Z_0}} \tag{1.42}$$

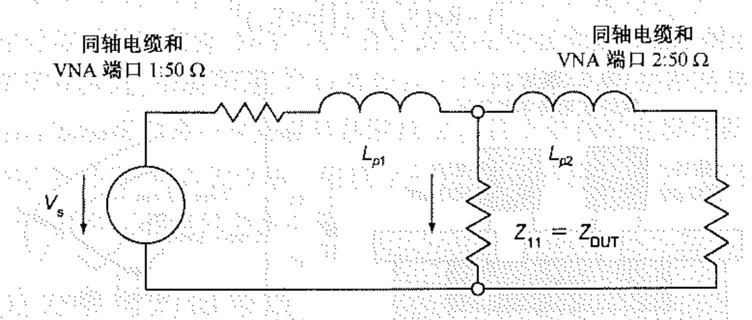


图 1.43　测量自阻抗的等效电路(内容来自 M. Swaminathan, W. Kim, and I. Novak, "Measurement problems in high speed networks," *IEEE Instrumentation and Measurement Technology Conference*, pp. 1339-1346, Budapest, Hungary, 2001)

假设感性突变可以忽略，在测量中引入一个近似为 0 dB 的值，则自阻抗可简化为

$$Z_{11}=S_{12}\times\frac{50\times50}{2\times50}\times\frac{1}{1-S_{12}\left(\frac{100}{2\times50}\right)}=25\times\frac{S_{12}}{1-S_{12}} \tag{1.43}$$

虽然方程(1.42)是一个精确的表达式，但是电感 L_{p1} 和 L_{p2} 会使方程(1.43)中 Z_{11} 的幅度产生很小的扰动，这将在下面的例子中说明。由于对 S_{11} 的测量不是非常可靠，所以方程(1.43)对于阻抗非常小的 PDN 尤其有用。

举例

假设 $L_{p1}=L_{p2}=0.5$ nH，频率在 1 GHz 时测得 $S_{12}=0.1\angle60°(-20$ dB)，用方程(1.42)计算 Z_{11} 的幅度与通过测量采用方程(1.43)计算所的阻值相比，引入了 4% 的误差。

当用一个 50 Ω 系统测量一个小阻抗时，S_{12} 远小于 1，所以自阻抗测量的一个近似为

$$Z_{11}\approx25\times S_{12} \tag{1.44}$$

由于插入损耗 S_{12} 通常以分贝为单位测量，所以必须转化成合适的尺度。方程(1.42)、方程(1.43)和方程(1.44)，假设测量装置对探针精确校准过，可以精确测量很小的 PDN 阻抗。一种简单的校准方法就是短路－开路－负载－通路(SOLT)校准。

举例

我们现在考虑嵌入在封装中的电容器，这种电容器将在第 5 章中详细讨论。电容器由两个被介质层隔离开的、尺寸为 2 mm 到 10 mm 的方形电极组成。对于这样的结构，可以使用二端口测量装置来提取阻抗，如图 1.44(a)所示。运用方程(1.43)，通过分离实部和虚部，得到电容器的阻抗为

$$\begin{aligned}\mathrm{Re}(Z_{11})&=25\times\frac{\mathrm{Re}(S_{21})\times[1-\mathrm{Re}(S_{21})]-[\mathrm{Im}(S_{21})]^2}{[1-\mathrm{Re}(S_{21})]^2+[\mathrm{Im}(S_{21})]^2}\\ \mathrm{Im}(Z_{11})&=25\times\frac{\mathrm{Im}(S_{21})}{[1-\mathrm{Re}(S_{21})]^2+[\mathrm{Im}(S_{21})]^2}\end{aligned} \tag{1.45}$$

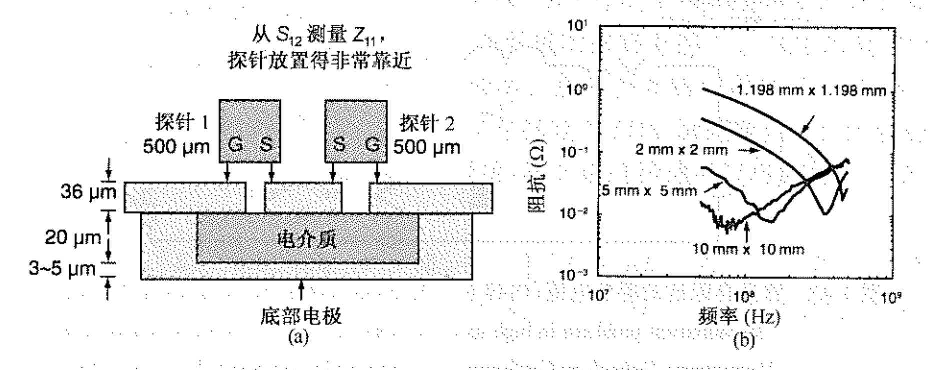


图 1.44 (a) 双端口阻抗测量；(b) 嵌入式电容器的阻抗测量

如图 1.44(b)所示，为测得的 4 个不同电容器尺寸的阻抗值。在该测量中可以得到低频电容、ESR 和 ESL。

1.7.3 转移阻抗测量

两个相距很远端口间的转移阻抗 Z_{12}，可由方程(1.40)提取：

$$Z_{12}=S_{12}\frac{Z_1Z_2}{2Z_0}\frac{\left(1+\frac{Z_{11}}{Z_1}\right)\left(1+\frac{Z_{22}}{Z_2}\right)}{1+\frac{S_{12}Z_{21}}{2Z_0}} \tag{1.46}$$

其中，Z_1 和 Z_2 与自阻抗测量中的定义相同，Z_{11}、Z_{12}、Z_{22} 是结构的双端口阻抗参数。假设 $L_{p1}=L_{p2}=0$，那么方程(1.46)可以简化为

$$Z_{12}=S_{12}\times\frac{50\times50}{2\times50}\frac{\left(1+\frac{Z_{11}}{50}\right)\left(1+\frac{Z_{22}}{50}\right)}{1+\frac{Z_{21}S_{12}}{2\times50}} \tag{1.47}$$

对于低阻抗测量，$S_{12}Z_{21}/100\ll1$，$Z_{11}/50\ll1$，$Z_{22}/50\ll1$，因此转移阻抗的测量可以简化到与方程(1.44)相类似。本书中有很多转移阻抗的测量，都是使用方程(1.44)中的简化方程求解的。

1.7.4 完全消除探针电感的阻抗测量

对于中等阻抗的 PDN 及探针具有大电感的测量情况，我们可以使用另外一种方法学。我们再次假设一个包括探针寄生参数的 2×2 阻抗矩阵可以近似为

$$\overline{\overline{Z}}=\begin{bmatrix}Z_{11}+\mathrm{j}\omega L_{p1} & Z_{12}\\ Z_{21} & Z_{22}+\mathrm{j}\omega L_{p2}\end{bmatrix} \tag{1.48}$$

这个方程表明转移阻抗并不受探针电感的影响。因此，假设 VNA 直到探针端都已经校准过，那么不管 L_{p1} 和 L_{p2} 是何值，Z_{12} 都可以非常精确地提取。第 5 章中应用了这个性质，由 Z_{12} 提取材料特性。方程(1.48)中的 2×2 阻抗矩阵可由测得的 S 参数得到。

为了精确测量输入阻抗 Z_{11}，必须知道探针的寄生电感。然而，有一种简单的方法可以避免这种问题。这时需要分开测量，其中，两个探针放置在离这个输入端口很近的地方。由于这两个端口彼此离得非常近，如前所述，可以假设这个网络的输入阻抗和转移阻抗相等($Z_{11}=Z_{12}=Z_{21}=Z_{22}$)。因此，可以再一次测得转移阻抗 Z_{12}，且不受探针电感的影响。由于 DUT 的输入阻抗和转移阻抗相等，可以发现输入阻抗 Z_{11} 与测得的转移阻抗 Z_{12} 相等。此过程为存在高探针电感的 PDN 提供了精确的测量结果。

1.8 以平面为参考的信号线

在高频封装和 PCB 中，信号线常会布在平面上或平面间。平面通过最小化同一层或不同层上信号线间的耦合来为信号线提供防护。另外，平面通过承载信号线的返回电流而起着重

要作用。信号线的任何返回电流突变都将会引起同时开关噪声。因此，为了建模 I/O 驱动器同时开关噪声的上升边，必须对返回路径的不连续性有一个很好的认识。在返回路径突变处放置电容器可以降低同时开关噪声。下面，我们推导传输线方程，并讨论两个有关返回电流重要性的举例。

1.8.1　作为传输线的信号线

信号的传播速度不可能超过光速。在空气中 3×10^8 m/s 的速度大约等于 1 ns/ft 的时延。在 FR-4（一种用于制造 PCB 的普通介电材料）中，信号传输 10 英寸需要花费 1.66 ns。这种时延可能占据整个时钟周期，因此可能会降低系统速度。忽略时间延迟，利用基尔霍夫（Kirchhoff）电压电流定律来分析信号线会得到一个错误结果。早期 IC 使用晶体管 – 晶体管逻辑（TTL）器件，其内部时延为 15 ns 甚至更大，把时钟速率限制到一个更低的水平，相比之下可以忽略信号的跳变时间。现代器件已经提高到信号时延成为数字电路设计中的限制因素的阶段。在传输线理论中，把信号线作为明确包括时间延迟的分布式电路来分析，因此传输线理论适合于这些情况。

为了更好地解释传输线理论，考虑如图 1.45(a)所示的同轴电缆，它由两个被电介质材料分开的导体组成。当电流在同轴电缆上流动时，电荷载体（电子）流向一个导体并从另一个导体流回。如果有一个电流流进内部导体，那么返回电流将以相反的方向从外部导体流出。因为这种移动，电荷具有一定动量，因此电流一旦开始流动就会保持移动。这种效应等价于电缆中的一些串联电感。

因为金属不是“理想的”电导体，所以存在一些串联电阻，随着电流流动电子的一些能量会转化成热能。同时，贮存在两个导体上的等量异性电荷会产生并联电容。如果隔离导体的材料不是理想的绝缘体，将有一些漏电流从一个导体流向另一个导体，这就是并联电导[32]。

同轴电缆返回的电流总是紧挨着前向电流，所以它是极好的传输线。但因为它们的三维结构，以至于很难在 IC、封装和电路板中使用同轴电缆。因此，使用如微带线和带状线这样的平面结构，它们以导体平面为参考。因为平面传输返回电流，所以使参考平面与信号导体临近放置是非常重要的。一个微带线例子如图 1.45(b)所示。

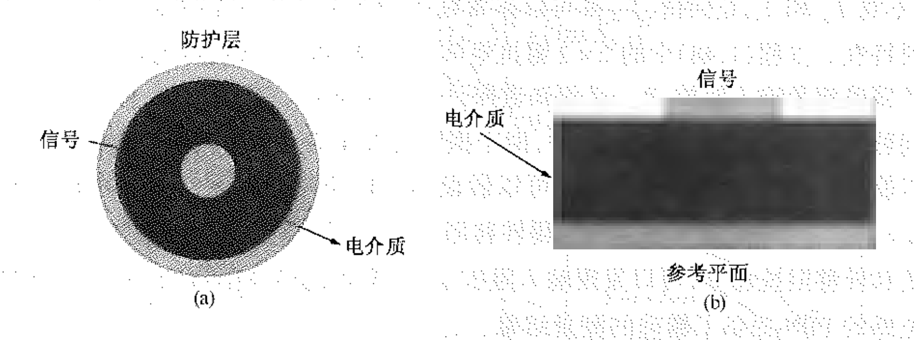


图 1.45　(a) 同轴电缆；(b) 微带线

由于传输线横截面是均匀的，并且其长度远远大于它的横截面，所以它可以用单位长度电阻（R）、电感（L）、电导（G）和电容（C）等参数来描述。传输线的一小段可用图 1.46 所示的等效电路表示，其中单位长度参数 R、L、G 和 C 均乘以长度 Δz。单位长度电感 L 是信号线和参考平面间的回路电感，其中信号线上的前向电流以相反的方向经参考平面返回。图 1.46 中的单位长度电阻 R 是信号和参考平面的总电阻。单位长度电容 C 和单位长度电导 G 在信号导体和参考导体之间测量得到。

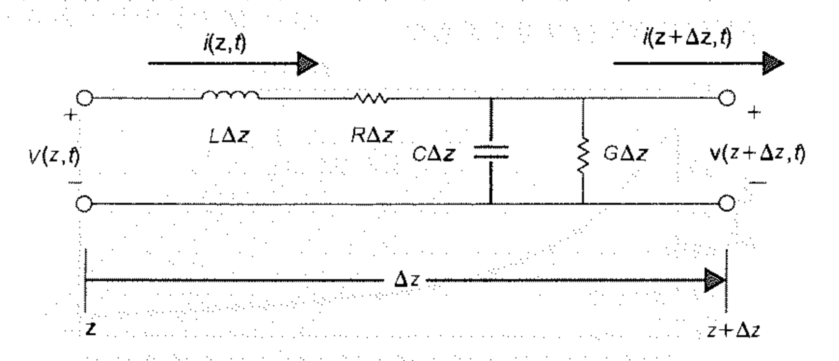


图 1.46　传输线等效电路

对图 1.46 中的电路应用基尔霍夫电压和电流定律，可以得到下面两个等式：

$$v(z+\Delta z,t)+L\Delta z\frac{\partial}{\partial t}i(z,t)+R\Delta z i(z,t)=v(z,t)$$
$$i(z+\Delta z,t)-i(z,t)=-G\Delta z v(z+\Delta z,t)-C\Delta z\frac{\partial v(z+\Delta z,t)}{\partial t} \tag{1.49}$$

当 $\Delta z\to0$ 时，传输线方程可写为

$$\frac{\partial v}{z}=-Ri-L\frac{\partial i}{\partial t}$$
$$\frac{\partial i}{\partial z}=-Gv-C\frac{\partial v}{\partial t} \tag{1.50}$$

方程(1.50)可以推广到多耦合线，从而建立多导体传输线方程。

1.8.2　传输线参数与 SSN 的关系

描述传输线的两个重要参数是特性阻抗（Z_0）和时延（T）。对于无损传输线（$R=0$，$G=0$），这些参数为

$$Z_0=\sqrt{\frac{L}{C}}\quad(\Omega)$$
$$T=\sqrt{LC}l\quad(\mathrm{s}) \tag{1.51}$$

其中，l 是传输线的长度。如方程(1.10)所述，SSN 和 Z_0 之间为反比关系。高特性阻抗的传输线往往需要较小的电流为其充电，因此具有更小的 $\mathrm{d}I/\mathrm{d}t$，降低了 SSN。低 Z_0 的传输线呈容性，因此需要较大的电流，导致 SSN 较大。图 1.47(a)给出了 SSN 的变化，它是基于方程(1.9)的 $t_r/(L/Z_0)$ 的函数。由图可知，当 $t_r=0.1$ ns、$L=1$ nH 时，50 Ω 的传输线将引入 0.2 V 的 SSN 电压。作为比较，100 Ω 的传输线引入 0.1 V 的 SSN 电压。

除了传输线时延之外，电源噪声也会引起使信号上升到所需电压的额外时延，如方程(1.12)和方程(1.13)所示。一般，当 SSN 较大时会产生时序错误，这反过来又与传输线的 Z_0 有关。

当 t_r 大于 L/Z_0 时，由方程(1.12)得到的某一总线 50%时延的变化情况如图 1.47(b)所示，它是 $t_r/(L/Z_0)$ 的函数。由图可知，当 $t_r=0.1$ ns、$L=1$ nH 时，一个阻抗为 50 Ω 的十位总线会产生 0.191 ns 的时延。作为比较，阻抗为 100 Ω 的时延为 0.1235 ns。因此，为了减小 SSN 和时序错误，选择合适的信号线特性阻抗显得非常重要。

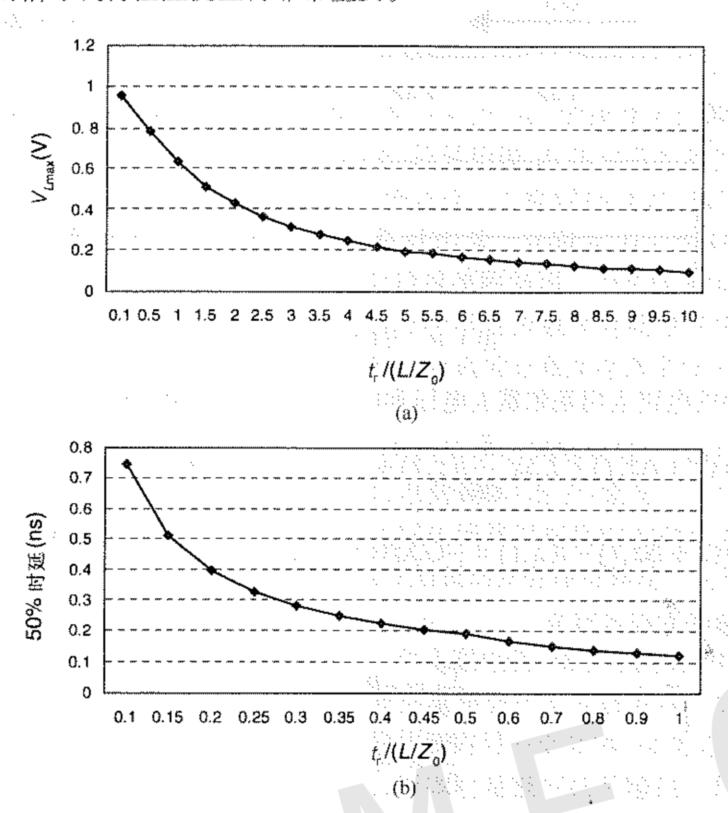


图 1.47　(a) SSN 的变化；(b) 50%时延的变化

1.8.3　SSN 与返回路径突变的关系

为了说明 SSN 和信号线返回路径突变间的关系，这里给出两个例子进行讨论。图 1.48(a)是一个位于电压和地平面之上的微带线。信号线以电压平面为参考，并且平面是连续的。如图所示，在信号线的输入端和电压平面间接一个 1 A 的电流源，信号线上将产生一前向电流。返回电流在电压平面上位于信号线正下方的地方流过(高频时)，所以信号线和电压平面间的电流回路是完整的。返回电流在电压平面和地平面之间不会产生任何电压扰动，如图 1.49(a)所示，其中两平面间电压波动的二维图是位置的函数，这表明整个平面上的电压没有变化。如图 1.48(a)所示，两平面间所测得的任何电压均表明在信号线和电压/地平面之间没有耦合。

现在考虑平面上位于信号线正下方有一开槽的情况，如图 1.48(b)所示。1 A 电流源在信号线和电压平面之间激励，信号线上的前向电流会在电压平面上引起一个返回电流，在开槽处，返回电流流到地平面(由于电压平面上开槽处的金属被切掉)。因此，如图 1.48(b)所示，图中的垂直电流(称为位移电流)使这个电流形成完整回路，但这个电流回路的返回路径是不连续的，它会在电压(地)平面引起电压扰动。对于平面尺寸为 250 mm × 250 mm、中央有一个 50 mm 开槽的电路板，二维的电压扰动如图 1.49(b)所示。根据方程(1.29)，当频率为 750 MHz、平面间的介质材料的相对介电常数为 4 时，电压(地)平面的激励会产生 f_{01} 模式。如图 1.48(b)所示，测得的两平面间的任意电压说明信号线和电压/地平面间存在明显的耦合。关于返回路径突变效应将在第 3 章中详细加以讨论。

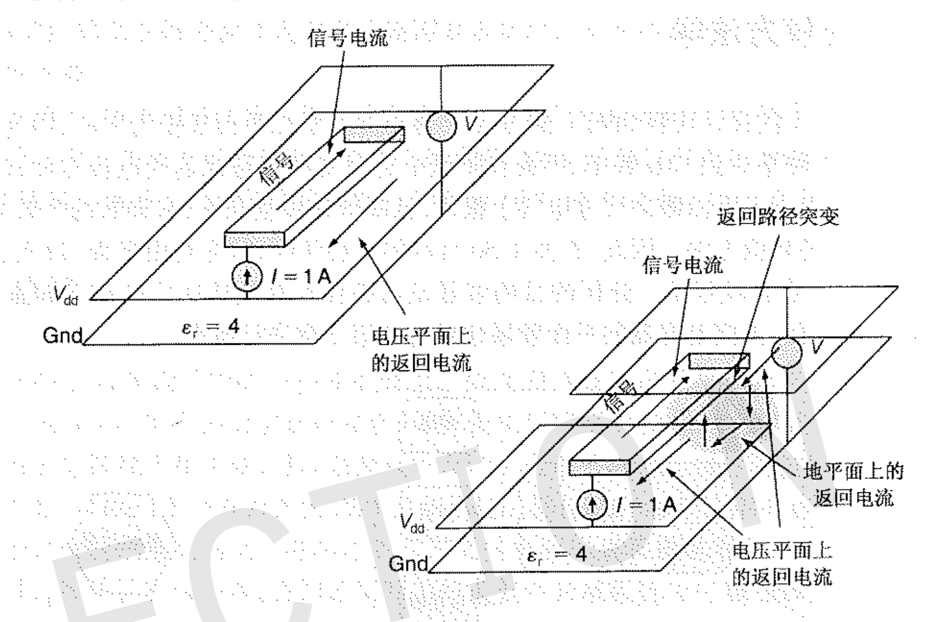


图 1.48　(a) 电压平面和地平面上的微带线；(b) 电压平面狭缝上的微带线

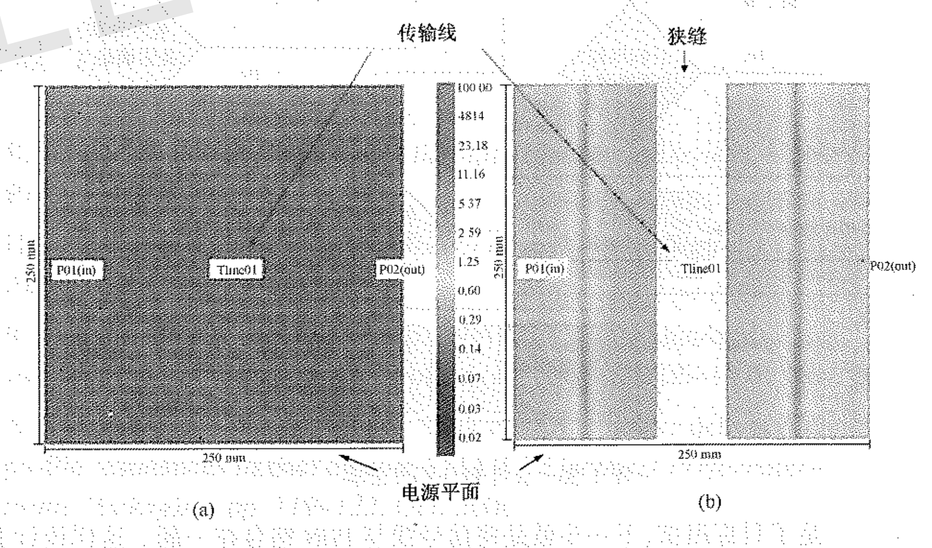


图 1.49　(a) 理想微带线电源平面/地平面上的电压扰动；(b) 微带线位于狭缝之上的电源平面和地平面上的电压扰动

把一个谐振频率为 750 MHz 的电容器放置在电压平面和地平面间且靠近开槽处，它将为平面上的返回电流提供一个低阻抗路径，这会减小平面上的电压扰动。

总之，由封装和电路板上信号线开关引起的同时开关噪声是由返回路径突变造成的。对于高频系统而言，信号线的参考平面是很重要的。信号线返回路径的不连续性可以通过研究

平面上的返回电流路径来评估。任何不连续性都会以电压和地平面之间电压波动的形式表现出来。值得注意的是，如在第 3 章中所述，驱动器的连接和信号线的端接方式会改变电流回路在输入/输出端的情况，因此它们可能会改变电源噪声。

1.9 PDN 建模方法学

本书建模方法学的设计流程如图 1.50 所示。整个方法学以平面建模为中心，因为随着封装和电路板的工作频率达到 GHz 频率，平面在降低电感及支持信号线返回电流方面起着非常大的作用。此外，由于平面沿侧向尺寸电气上很大，从降低建模复杂度（未知数的个数）的观点出发，还需要有效的数值方法。因此，在图 1.50 所示的方法学中，首先对由平面、过孔、电容器和焊球组成的 PDN 在频域建模。分析的目的就是设法确保在系统所决定的相关频率上满足目标阻抗。包含过孔、去耦电容器的平面频域建模将在第 2 章进行研究。

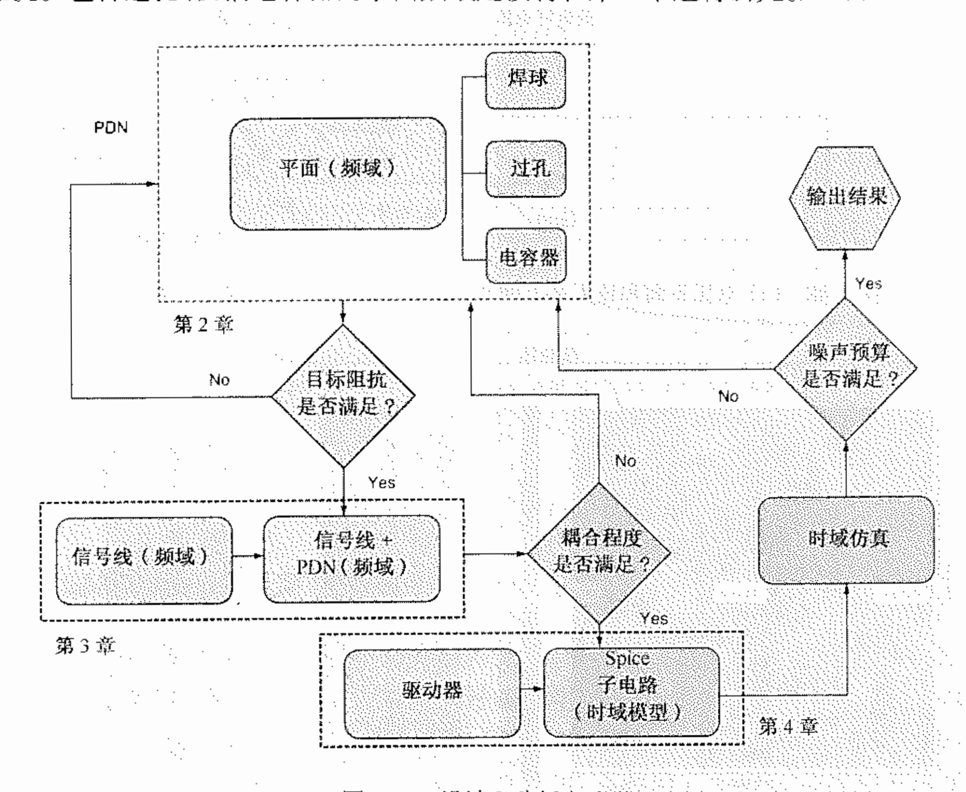


图 1.50 设计和分析方法学

假设在频域满足了目标阻抗，下一步就是将信号线与 PDN 整合在一起。这样设计者可以估计诸信号线之间经由 PDN 的耦合；以及信号线与 PDN 之间由于返回电流而形成的耦合。第 3 章将详细介绍把信号线整合到 PDN 中及在频域进行耦合分析的内容。

假设耦合满足频域中的技术要求，下一步就是将频率信息转变成时域信号以计算 SSN。假设没有非线性电路与信号线相连，由于可以采用快速傅里叶逆变换（IFFT），这一过程将变得很直接。然而，因为通常的非线性电路是有记忆和反馈效应的，而此时的过量 SSN 会降低驱动器的速度，从而使电源噪声降低或饱和[33]，导致给出的并不是 SSN 真实表征。非线性驱动器、信号线和 PDN 的相互作用只能通过时域仿真来获取。第 4 章介绍了时域仿真方法，它将信号线和 PDN 的频域响应转变成改进节点分析（MNA）公式，通过 Spice 一类的多种电路仿真器进行仿真。这样，可以将频率响应转变成 Spice 子电路，然后与非线性晶体管电路相连。进行时域仿真时，可以仿真不同的 PRBS 模板以确保 SSN 满足技术条件。如果有某种比特流不满足技术指标，那么在最终设计定案之前就需要重新优化与比特流相对应频率处 PDN 的阻抗或传输线的布线。

在第 5 章中，将采用第 2 章～第 4 章介绍的方法去分析频域阻抗和散射系数及时域 SSN。第 5 章中还讨论了像嵌入式去耦电容器和电磁带隙（EBG）结构这些抑制 SSN 的先进技术。另外，每章都提供了很多专门的实例介绍特定的效应，它们还可以用于评估商业工具。

1.10 总结

本章介绍了 PDN 设计中的一些基本概念。微处理器及许多其他的集成电路都对电源波动很敏感。电源电压的升高会引起可靠性问题，而电压降低会使最大工作频率下降。通过将 PDN 的阻抗和电源噪声相关联，可以在频域中设计出合适的 PDN。目标阻抗作为衡量 PDN 性能优劣的参数，可以用于分析和优化 PDN 各种不同的部件（如 VRM、去耦电容器、过孔、平面和焊球），直至目标阻抗得到满足。将芯片表示为无损电容器或有损电容器，可以将芯片的影响体现到设计过程中。在这一章，我们还用简单的模型将频域阻抗和时域 SSN 之间的关系进行了量化表征。

参考文献

1. B. Streetman and S. Banerjee, *Solid State Electronic Devices*. Upper Saddle River, NJ: Prentice Hall, 2005.
2. H. B. Bakoglu, *Circuits, Interconnections and Packaging for VLSI*. Boston: Addison-Wesley, 1990.
3. R. Heald et al., "A third-generation SPARC V9 64-b microprocessor," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 11, pp. 1526–1538, Nov. 2000.
4. A. Waizman, O. Vikinski, and G. Sizikov, "CPU power delivery impedance profile resonances impact on core FMAX," *Electrical Performance of Electronic Packaging*, pp. 119–122, Oct. 2006.
5. D. Herrell and B. Beker, "Modeling of power distribution systems in PCs," in *Proceedings of the EPEP '98 Conference*, pp. 159–162.
6. A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi, "On-die droop detector for analog sensing of power supply noise," *IEEE Journal of Solid-State Circuit*, vol. 39, no. 4, pp. 651–660, Apr. 2004.

7. L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284–291, Aug. 1999.

8. M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system on package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286–300, May 2004.

9. Linear Technology LTC6902 data sheet, Linear Technology, 2003.

10. Application Note 1007—X2Z Solution for Decoupling Printed Circuit Boards, Dec. 2003. X2Y.

11. http://www.avxcorp.com.

12. I. Novak et al., "Distributed matched bypassing for board-level power distribution networks," *IEEE Transactions on Advanced Packaging*, vol. 25, pp. 230–243, May 2000.

13. A. Waizman and C. Y. Chung, "Extended adaptive voltage positioning (EAVP)," in *Proceedings of the EPEP Conference*, Scottsdale, AZ, Oct. 23–25, 2002.

14. *Sanyo 4TPL220M Data Sheet*, Sanyo, 2003.

15. S. Pannala, J. Bandyopadhyay, and M. Swaminathan, "Contribution of resonance to ground bounce in lossy thin film planes," *IEEE Transactions on Advanced Packaging*, vol. 22, pp. 249–258, Aug. 1999.

16. I. Novak, L. Smith, R. Anderson, and T. Roy, "Lossy power distribution networks with thin dielectric layers and/or thin conductive layers," *IEEE Transactions on Components Packaging and Manufacturing Technology*, vol. 23, Aug. 2000.

17. S.-J. Kim, H.-Y. Lee, and T. Itoh, "Rejection of SSN coupling in multilayer PCB using a conductive layer," in *Proceedings of the 7th Topical Meeting on Electrical Performance of Electronic Packaging*, West Point, NY, Oct. 26–28, 1998, pp. 199–202.

18. I. Novak, "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination," in *Proceedings of the 7th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 26–28, 1998, pp. 181–184.

19. H. Chen and J. Neely, "Interconnect and circuit modeling techniques for full-chip power supply noise analysis," *IEEE Transactions on Components Packaging and Manufacturing Technology*, pt. B, vol. 21, pp. 209–215, Aug. 1998.

20. J. P. Libous, "High performance ASIC chip power distribution design and analysis, short course," in *IEEE Proceedings of the 11th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 20, 2002.

21. H. Chen and J. Neely, "Interconnect and circuit modeling techniques for full-chip power supply noise analysis," *IEEE Transactions on Components Packaging and Manufacturing Technology*, pt. B, vol. 21, pp. 209–215, Aug. 1998.

22. B. Garben, R. Frech, J. Supper, and M. McAllister, "Frequency dependencies of power noise," *IEEE Transactions on Advanced Packaging*, vol. 25, pp. 166–173, May 2002.

23. E. J. Nowak, "Maintaining the benefits of CMOS scaling when scaling bogs down," in *IBM Journal of Research and Development*, vol. 46, Mar./May 2000, pp.169–180.

24. D. J. Frank, "Power-constrained CMOS scaling limits," in *IBM Journal of Research and Development*, vol. 46, Mar./May 2000, pp. 235–244.

25. Y. Taur, "CMOS design near the limit of scaling," in *IBM Journal of Research and Development*, vol. 46, Mar./May 2000, pp. 213–222.

26. T. Correale, "Watts the matter: Power reduction issues," in *IEEE Proceedings of the 10th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2001.

27. M. Kamon, M. J. Tsuk, and J. K. White, "FASTHENRY: A multipole-accelerated 3-D inductance extraction program," *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 9, pp. 1750–1758, Sept. 1994.

28. M. Swaminathan, J. Kim, I. Novak, and J. Libous, "Power Distribution for Seminconductor Systems—Status and Challenges." Short Course at the Topical Meeting on Electrical Performance of Electronic Packaging, Oct. 2004.

29. Understanding the Fundamental Principles of Vector Network Analysis. Agilent, Application Note 1287-1, 1997.

30. I. Novak, "Measuring milliohms and picohenrys in power distribution networks," *DesignCon*, Santa Clara, CA, Feb. 2000.

31. M. Swaminathan, W. Kim, and I. Novak, "Measurement problems in high speed networks," *IEEE Instrumentation and Measurement Technology Conference*, pp. 1339–1346, Budapest, Hungary, 2001.

32. A. Peterson, Georgia Institute of Technology, Private Communication.

33. R. Senthinathan and J. L. Prince, *Simultaneous Switching Noise of CMOS Devices and Systems*. Norwell, MA: Kluwer Academic Publishers, 1994.

第2章　平面建模

2.1　引言

平面是电源配送网络(PDN)的一个组成部件。平面为高频开关电路供电,并为信号线提供电流返回路径。工作频率很高并且要求电源噪声尽量小的封装和电路板,需要电源平面供电才能可靠工作。

平面为集成电路(IC)提供电压和电流,而且总是成对出现(称为平面对)。平面对由大片金属组成,中间由薄片介质隔离,如图2.1所示。平面的横向尺寸($a \times b$)可以为λ(介质中的波长)的数倍,而介质厚度d则远小于λ。这种尺寸为平面同时提供了好的和差的性质。在图2.1中,顶层平面接一个电压源,底层平面接地。图中端口代表用来测量阻抗的节点。阻抗的测量始终在顶层平面的一个节点和底层平面的一个相应的参考节点之间进行。阻抗反映了电压和电流之间的关系;由于平面是无源结构,因此测量得出的阻抗或导纳就代表了传递函数。

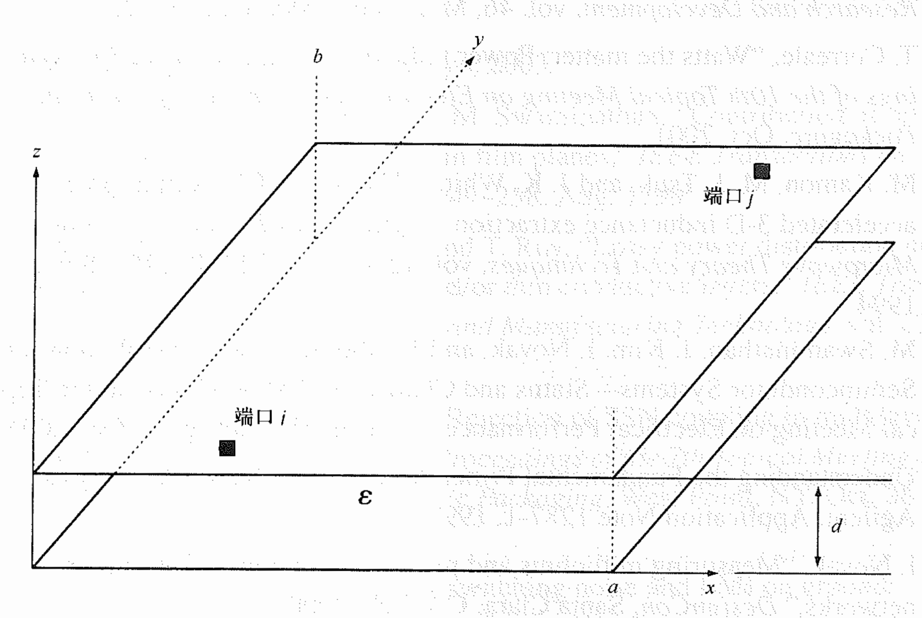


图2.1　包含电压平面和地平面的平面对

平面在低频呈容性而在高频则呈感性。平面电感比封装中任何其他结构的电感都小得多,因此,平面常常用于从所装接的去耦电容器上把电荷供应给开关电路。因为平面的横向尺寸是波长λ的数倍,所以它们在空间上表现出分布系统特性。由于开放边界的反射,平面在更高的频率产生谐振。这些谐振通常称为驻波谐振,如果在谐振点的阻抗变大了,那么就可能产生信号和电源完整性的问题。

本章的目标是讨论平面频率响应的计算方法并探讨它们的瞬态特性。本章介绍了适合平面建模的高效计算方法。在一些实例中会使用到全波仿真的结果以表明所用方法的准确性。但是全波仿真的一般方法并不是这一章所讨论的主题。本章所讨论的计算方法如下:(1)局部元件等效电路(Partial Element Equivalent Circuit,PEEC)集总元件建模方法;(2)基于模型的方法;(3)多种频域及时域的离散化方法;(4)解析方法。本章首先讨论这些方法在单平面对中的应用,然后推广到多平面对。此外,还探讨了多平面对的耦合模式。

2.2　平面的特性

2.2.1　频域

本节,我们考虑以下尺寸的单一平面对:$a = 100$ cm,$b = 2$ cm,$d = 0.02$ cm。由于a远大于b,因此平面对是一维的并且其特性类似于一条传输线。假定介电常数$\varepsilon = \varepsilon_0$,其中真空中介电常数为$\varepsilon_0 = 8.854 \times 10^{-14}$ F/cm。平面的单位长度(pul)电感和电容可计算为

$$C = \frac{\varepsilon_0 b}{d} = \frac{8.854\times10^{-14}\times2}{0.02} = 8.854\ \text{pF/cm} \tag{2.1}$$

$$L = \frac{\mu d}{b} = \frac{4\times\pi\times10^{-9}\times0.02}{2} = 0.125\ \text{nH/cm} \tag{2.2}$$

其中真空中的导磁率为$\mu = 4\pi \times 10^{-9}$ H/cm。此时,传输线的阻抗(Z_0)和时延(TD)可以由下式计算:

$$Z_0 = \sqrt{\frac{L}{C}} = 3.757\ \Omega \tag{2.3}$$

$$\text{TOF} = \sqrt{LC} = 33.33\ \text{ps/cm} \tag{2.4}$$

$$\text{TD} = \text{TOF} \times a = 3.333\ \text{ns/cm} \tag{2.5}$$

在方程(2.4)中,TOF是传输时间或单位长度时延。假定端口1位于坐标($x = 0$ cm,$y = 1$ cm),端口2位于($x = 100$ cm,$y = 1$ cm),则传输线在端口1的频域输入阻抗为

$$Z_{in} = Z_0\left[\frac{Z_L + jZ_0\tan\beta a}{Z_0 + jZ_L\tan\beta a}\right](\Omega) \tag{2.6}$$

由于远端是开路的,负载阻抗$Z_L = \infty$。在方程(2.6)中,相位常量$\beta = 2\pi/\lambda$,其中$\lambda = c/f$,$c = 3\times10^{10}$ cm/s是光速,f是频率。方程(2.1)~方程(2.6)可用来讨论平面的基本特性。在方程(2.3)中,由于阻抗很小,因此平面实质上是寄生电感很小的电容器。由方程(2.6)可知,当长度a为$\lambda/4$和$\lambda/2$的倍数时,平面就会在离散化的频率点上产生谐振。例如,将$a = \lambda/4$代入方程(2.6),则在$f = 75$ MHz时$Z_{in} = 0$。因为输入阻抗减至0,所以这个频率就是所谓的谐振频率。类似地,将$a = \lambda/2$代入方程(2.6),则当$f = 150$ MHz时Z_{in}为无穷大。因为输入阻抗变为无穷大,所以这个频率就是所谓的反谐振频率。如图2.2所示,当$f = 75$ MHz时,平面上有四分之一波长,然而当$f = 150$ MHz时,在平面上将会有半波长。图2.3给出平面的频率响应,它是由谐振和反谐振频率交替组成的。

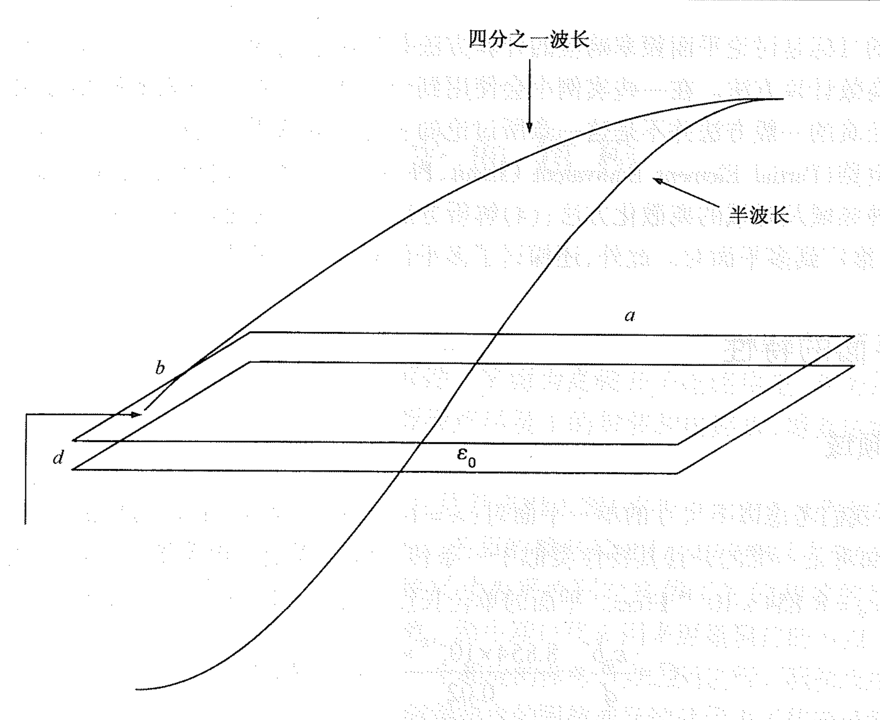


图 2.2 一维平面上的电压驻波模式

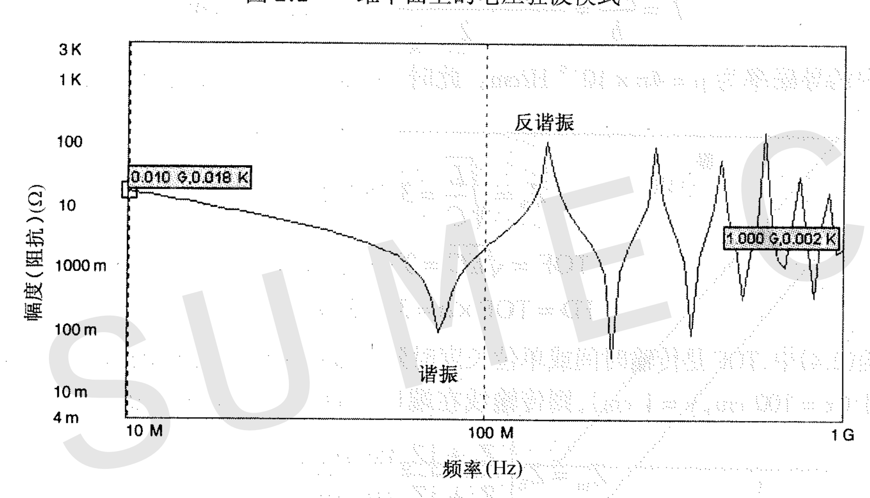


图 2.3 一维平面的频率响应

正如第 1 章中讨论的,PDN 中的高阻抗会导致过大的电源噪声。因此,应避免平面中的反谐振与 IC 的工作频谱重叠。

2.2.2 时域

在数字系统中,开关电路在时域工作而不是在频域。因此,一个重要的问题就是在时域上确定平面谐振和反谐振的影响。让我们考虑图 2.2 所示平面的时域特性。为此,我们用图 2.4 所示的电路进行仿真以获得结果。其中开关电路是由与时间相关的电流源表示的,且在远端连接一个理想电源。电源如同一个理想的交流短路。但实际上,电源有串联电感,因此在所有频率下电源都串联了一个阻值有限的阻抗。在图 2.4 中,传输线参数就是方程(2.3)~方程(2.5)中出现的那些参数。由于电源如同一条理想短路线,那么在方程(2.6)中 $Z_L=0$。所以,谐振和反谐振频率就颠倒了,如图 2.5 所示,$f=75$ MHz 成为反谐振频率(最高阻抗),而 $f=150$ MHz 则成为谐振频率(最小阻抗)。

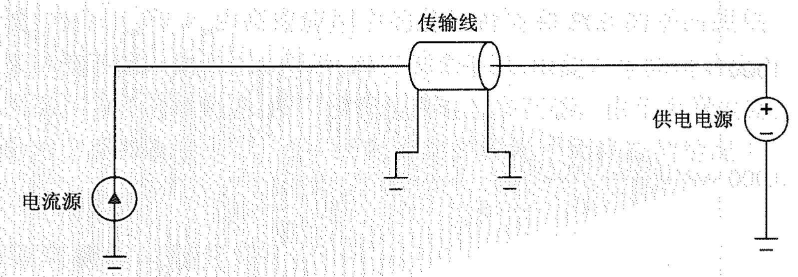


图 2.4 一维平面的时域模型

图 2.4 所示的电路是在周期为 13.33 ns、幅度为 1 A 的周期性电流源的激励下工作的,即频率为 75 MHz,使用的电源为 $V=2.5$ V。由此产生的开关电路时域电压波形如图 2.6 所示。这个波形就是开关电路的供电噪声。从图 2.6 中可以看到,噪声电压随着时间的推移而增加,在 1 μs 处噪声能达到正的或负的 500 V。虽然在典型的封装或 PCB 中如此大的电压是不现实的,但是它们却说明了平面的重要性。

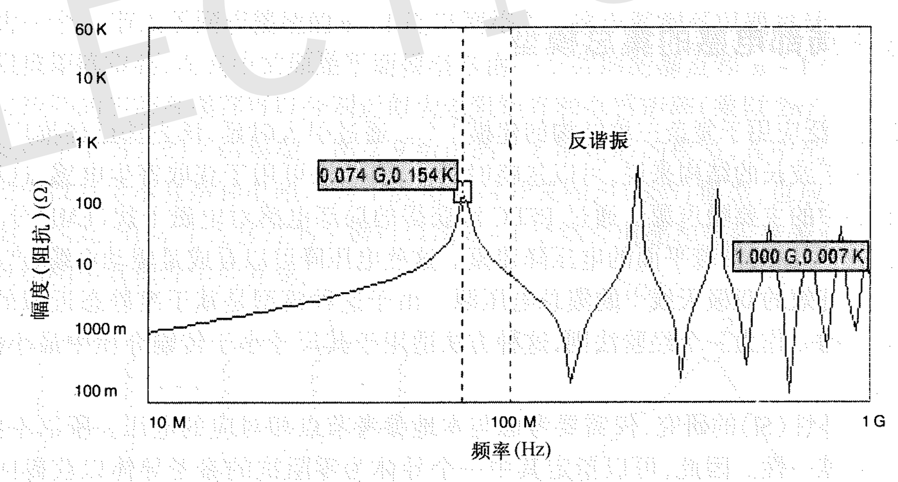


图 2.5 一维平面电源的输入阻抗

可以将平面看成是一个有着高品质因数(Q)的微波腔。无源电路中的 Q 因素是衡量电路中损耗的一种方法。由于平面通常是低损耗的,腔中的任何周期性电流激励都可能产生噪声电压。噪声电压能随时间逐渐积累起来,并在腔中持续更长的时间。如果在平面的反谐振频率点上加入激励,那么由此产生的噪声电压可能会非常大。

2.2.3 二维平面

如图 2.1 所示,平面通常是二维的,因此沿 x 和沿 y 方向都会产生驻波。描述一维平面的简单模型不能用来描述二维平面。由于平面可能是任意形状和电气尺寸的,所以需要研究如何计算提取平面特性的方法。本章的其余部分将讨论平面频率响应的计算方法。

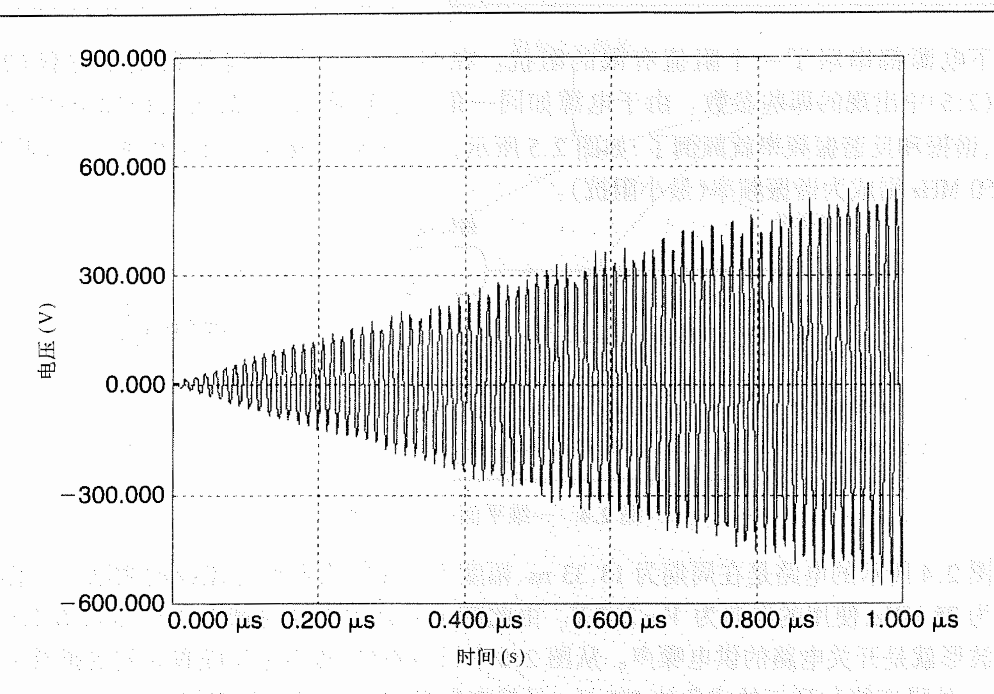


图 2.6 电流源周期为 13.33 ns 的时域波形

2.3 采用局部电感的集总模型

PEEC 法广泛应用于复杂三维结构的建模[1][2]。通过引入时延，该方法已经推广至全波求解。对尺寸小于波长的结构来说，可以忽略时延。PEEC 法可用于获取寄生电感，这种寄生电感是芯片封装中的主要噪声源。通过 PEEC 法获得的局部电感对电磁干扰(EMI)分析是很重要的，因为它们可以对沿着平面的电压降建模。这些电压降可以看成是驱动电缆、产生共模电流并形成一个有效的双极天线[3]的集总电压源。由于这种模型是基于准静态近似的，因此它的带宽是有限的。作为一个经验法则，这种方法适用于其尺寸小于传输介质中最小波长十分之一的问题。

对信号完整性(SI)的研究，仅需要考虑与本地参考节点相对应的电压。所以不要求局部电感矩阵具有唯一性。因此，可以指定其中一个导体为零阻抗的参考导体以获得回路电感。局部电感矩阵和与其等价的回路电感矩阵对本地电压给出了相同的终端特性。图 2.7 给出一个使用局部电感和回路电感建模的互连段。注意回路电感可以任意地分配给信号路径或返回路径。如图所示，局部电感和回路电感是彼此相关的。

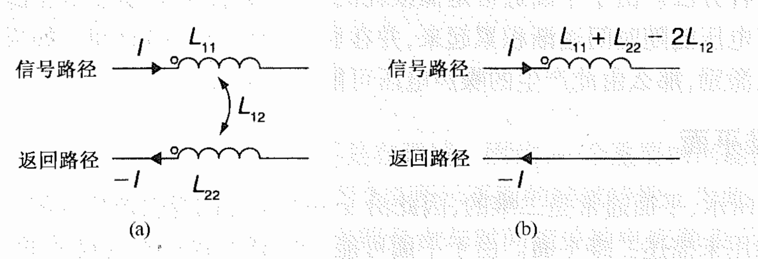


图 2.7 局部电感与回路电感互连表征

在 PEEC 法中，通过将互连线离散化为一束矩形棒来获得局部电感和电阻。由于矩形棒间存在互感，我们可以准确获取由趋肤效应和临近效应产生的电感及电阻的频率相关特性。可以在特定频率上归纳出由此产生的网络，以便获得互连的局部电感和电阻。只有当电感具有弱频率相关性，这种方法才适用。

一般来说，电位 V_{dd} 和 V_{ss} 由高速应用中的芯片封装和 PCB 的平面提供。PEEC 法可通过二维离散化来建模平面。如图 2.8 所示，对于每个平面，由此产生的电路是由局部电感和电阻组成的栅格网络。为了清晰起见，图中没有给出电阻和互感。由于大量电路元件的存在，对整个电路进行电路仿真的效率不高。下一节将介绍在给定平面终端的情况下，减小电路大小的一种方法。

2.3.1 提取电感和电阻矩阵

一般来说，我们只关心平面上的少数节点。因此，为了提高仿真效率，可以将整个 PEEC 网络简化为一个较小的网络。将平面上所有的输入节点(例如，键合线接合处的节点)都短接到一起就可能实现网络简化。类似地，也可以将平面上所有的输出节点[例如，球栅阵列(BGA)球的连接处]短接到一起。此时，整个平面可以仅由输入端和输出端之间的一个电感来表示。在这个简化模型中，平面上的电位变化只有输入端与输出端之间是可测的。

在更一般的方法中，应该很容易接触到模型中平面上所有的 n 个连接点。因此，平面应该建模为一个 n 节点子网或接地的 $n-1$ 端口网络[4]。这个模型可以通过计算原始平面模型的有效阻抗矩阵得到，而其中的原始平面模型是由一个共同的漏点和 $n-1$ 个源点[5]定义的。有效阻抗矩阵的实部和虚部可以分别近似为电阻矩阵和电感矩阵(乘以 $2\pi f$，其中 f 为提取频率)，这就产生了简化的平面模型。图 2.9 给出图 2.8 简化后的模型，其中把第二个节点选为漏点。图中没有显示互感和电阻。为了获得同时开关噪声(SSN)模型，也应该考虑信号线和其他平面。因此，有 n 个连接点的平面可以用 $n-1$ 个耦合电感和电阻来表示，其中包括到信号线或到结构中其他导体的互感。

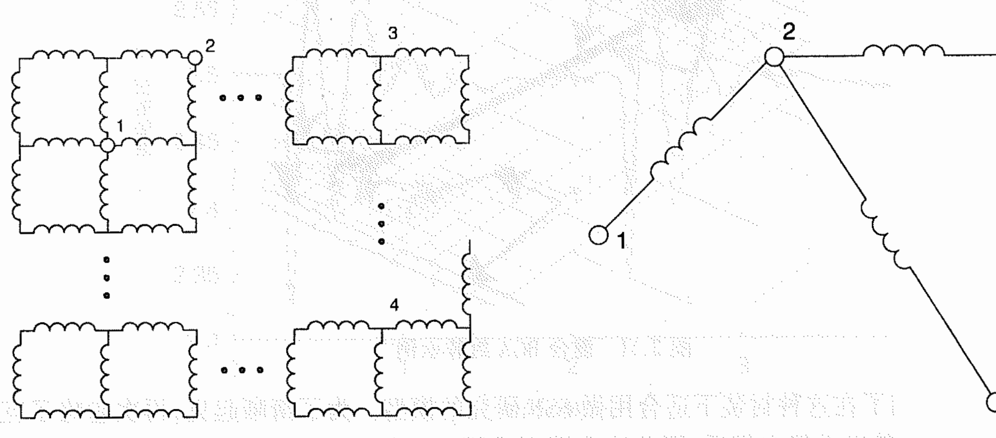


图 2.8 利用 PEEC 法进行平面建模[4]

图 2.9 图 2.8 简化后的平面模型[4]

例如，采用简化的平面模型来仿真图 2.10 所示的键合 BGA 封装。仿真的三维模型如图 2.11 所示。BGA 封装球用矩形棒来简单建模。信号线条大约有 1 cm 长。仅仅考虑那些最近的电源键合线和 BGA 封装球，因为它们代表了返回电流的主要路径。通过 FastHenry[2] 计算

互连的局部电感和电阻及简化的平面模型。如图 2.11 所示，为了准确地对比较集中的返回电流建模，在接触点附近和线条下方对该平面进行了更密集的离散化。V_{dd} 键合线和 V_{dd} BGA 焊球都是短接到 V_{dd} 电源平面上，而且忽略了过孔的影响。

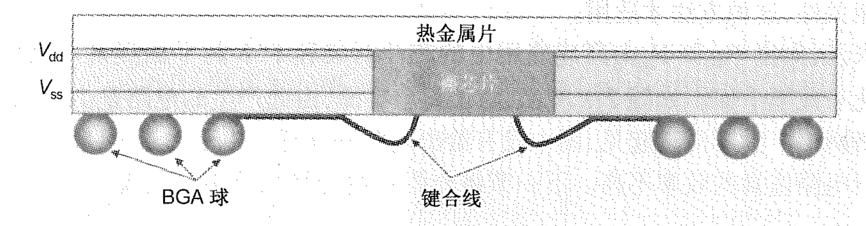


图 2.10 正面向下 BGA 封装的示例剖面

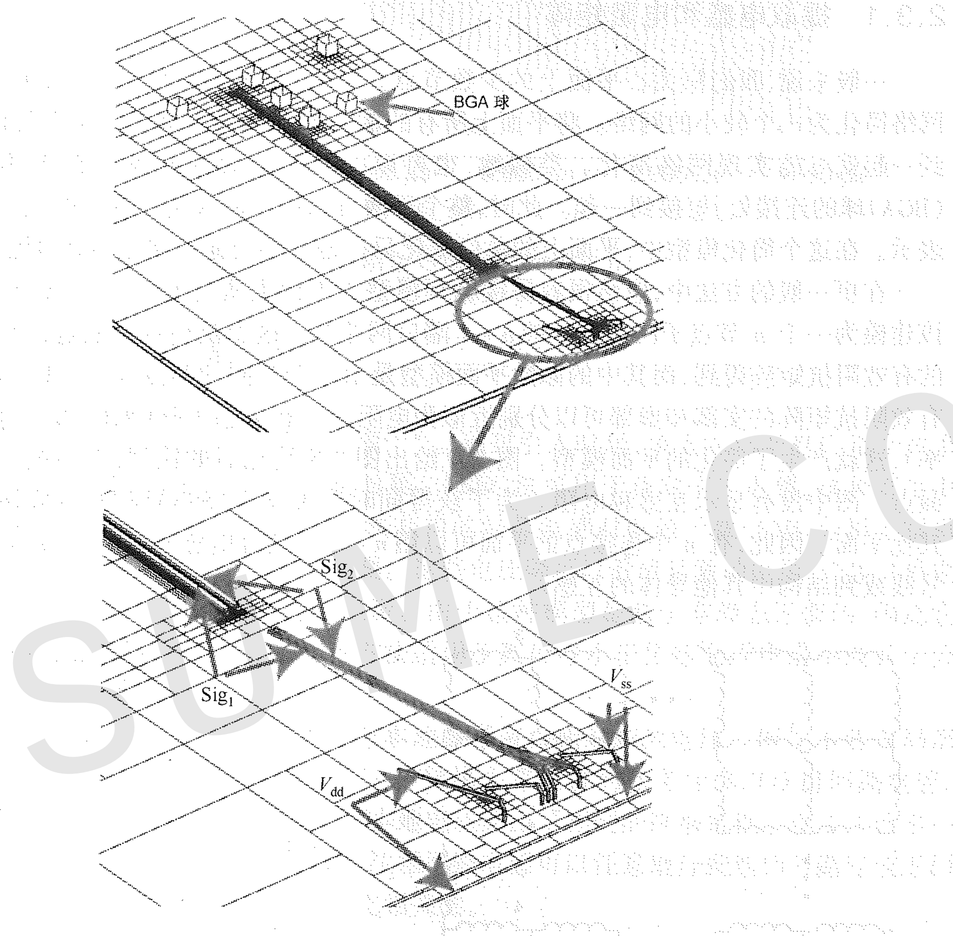


图 2.11 键合 BGA 封装示例[4]

图 2.12 给出了在这种封装下适合用做 SSN 研究的模型。为了清晰起见，再次忽略了互感和电阻。由于它基于准静态假设，因此这个模型适用于电气尺寸很小的封装。对于所考虑的这个例子，图 2.12 中忽略了芯片供电线和 PCB 平面的寄生效应。因此，仅仅对封装进行了建模。从图 2.11 中的仿真得到的局部电感和电阻作为该模型的输入，采用如 Spice 等电路求解程序就可以对模型进行时域仿真。

在时域仿真中，将两条信号线中的一条设置为低电平，而另一条以 500 Mb/s 的比特率及

以 300 ps 的上升/下降边进行开关切换。图 2.13 给出了分布在 V_{dd} 和 V_{ss} 平面间静态线的近端(例如，在键合线附近)和远端(例如，在 BGA 封装球附近)的供电电压，它表明了平面上不同点的噪声可能有很大不同。图 2.13 所示供电电压的波动在同步开关驱动的情况下将变得更加严重。这种分析需要在仿真中考虑所有开关的 I/O。

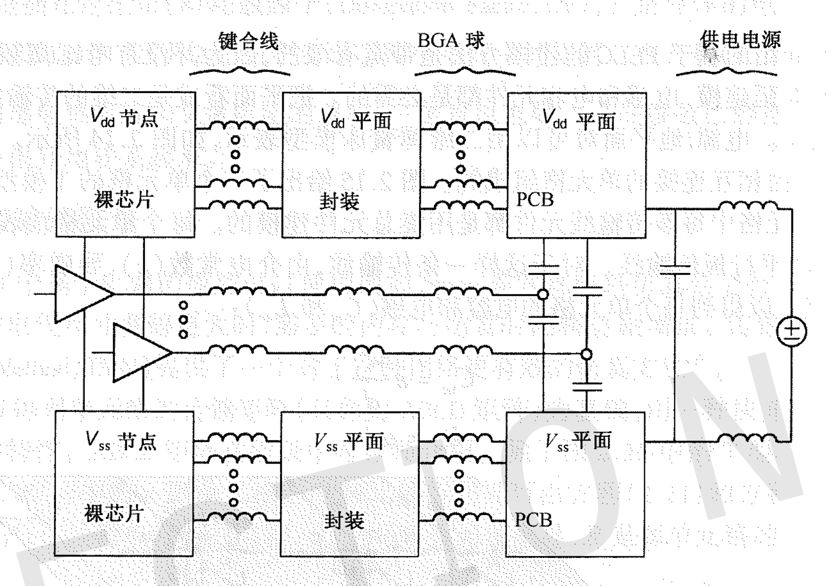


图 2.12 电小尺寸封装的同时开关噪声模型(为了清晰起见，图中并没有画出互感和阻抗)

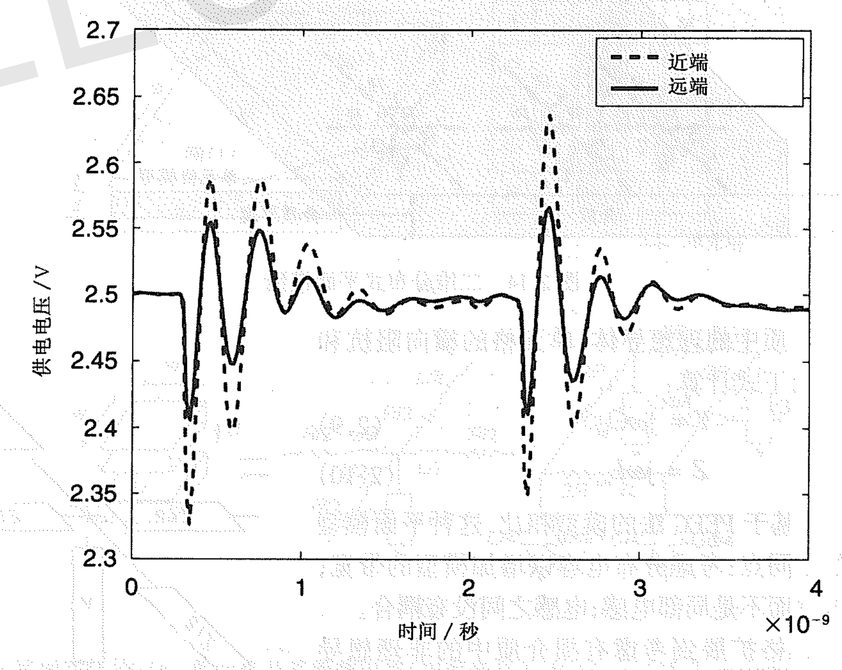


图 2.13 平面上不同位置的电压波动[4]

在本章的其余部分，提出的所有方法都是基于回路电感的。但为了简化起见，在叙述时用电感表示回路电感。

2.4 基于分布式电路的方法

2.4.1 传输线建模

前一节所介绍的基于 PEEC 的建模方法是带宽有限的，因为并没有考虑高频时电容的分布性。为了对时延建模，电感和电容元件都是必需的。把平面看成是二维的传输线，则可以获得更精确的模型。电源/地平面对可以用二维弹簧床模型表示，如图 2.14 所示。对于矩形平面对，该模型是由相互连接的单元格组成的。图 2.15 给出了一个单元格的 T 模型[6]。在这种表示方式下，单元格中每条传输线元件都是用集总元件建模的。每个单元格代表一个长度与宽度(w)相等的平行板传输线。对于这样一条传输线，由介电常数(ε)、导磁率(μ)及平面间的距离(d)，就可以得到每个单元格的电容和电感(C_{uc}和 L_{uc})：

$$C_{uc} = \varepsilon \frac{w^2}{d} \tag{2.7}$$

$$L_{uc} = \mu d \tag{2.8}$$

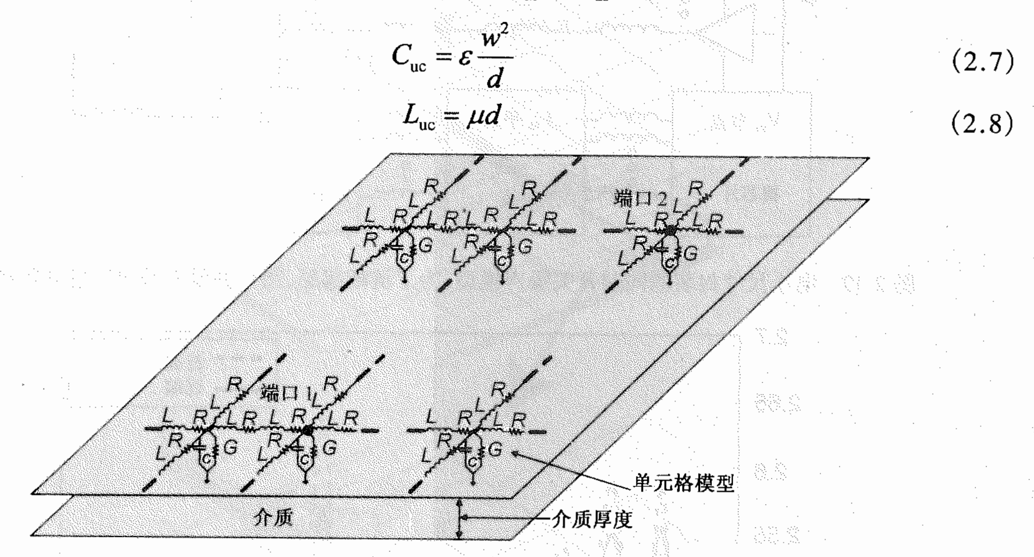


图 2.14 二维分布式平面模型

对于无损介质中的理想导体，单元格的横向阻抗和纵向导纳可以由下式计算：

$$Y = j\omega C_{uc} \tag{2.9}$$

$$Z = j\omega L_{uc} \tag{2.10}$$

与图 2.8 所示的基于 PEEC 法的模型相比，这种平面模型有三个主要的不同点：考虑分布电容以增加模型的带宽；电感是回路电感而不是局部电感；电感之间没有耦合。

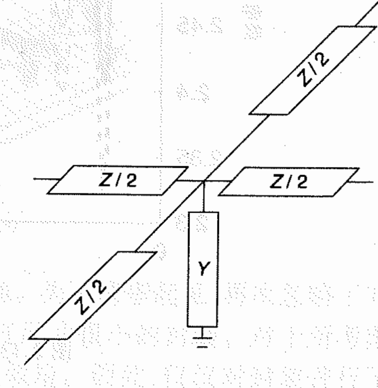


图 2.15 二维平面模型中单元格的T模型表示

可以将单元格扩展到考虑有损介质中的非理想导体。相应地，可以修正方程(2.10)中的 Z 以包括由导体内部的磁场产生的内部电感。此外，也可以包括由直流电阻和趋肤效应引起的导体损耗。类似地，基板损耗可以用一个复介电常数表示。因此，修正后包括损耗的单元格参数为

$$Y = j\omega C_{uc} + \omega C_{uc} \tan\delta \tag{2.11}$$

$$Z = j\omega L_{uc} + 2\sqrt{\frac{j\omega\mu}{\sigma}} + \frac{2}{\sigma t} \tag{2.12}$$

其中，$\tan\delta$ 是损耗角正切(即耗散因子；Dissipation Factor，DF)，σ 是导体的电导率，t 是平面厚度。在方程(2.12)中，因子 2 是由于考虑了两个平面中的损耗。在方程(2.12)中，$2\sqrt{\frac{j\omega\mu}{\sigma}}$是趋肤效应时内部电感电抗和交流电阻的总和，$\frac{2}{\sigma t}$是直流电阻。这些参数已经把实际结构的测量和仿真结果很好地联系起来。

2.4.2 传输矩阵法

图 2.14 中基于电路的模型可以使用诸如 Spice 等常规电路仿真器进行仿真。然而，特别是当平面的电气尺寸变得更大时，需要的内存与仿真时间将急剧增加。传输矩阵法(Transmission Matrix Method，TMM)提供了一个对于这种网络更有效的仿真方法[6]。

TMM 以每列单元格的传输矩阵(又称为 ABCD 矩阵)为基础，用一种快速方法计算平面端口到端口的特性。ABCD 矩阵在附录中有详细介绍。除了图 2.15 中的 T 型单元格之外，也可以使用图 2.16(b)中的 π 型单元格。电路元件值同样可由方程(2.11)和方程(2.12)得到。在图 2.16(b)中，C 是每单元格的电容，G_d 是每单元格的电导，R 是每单元格的电阻，L 是每单元格的电感。

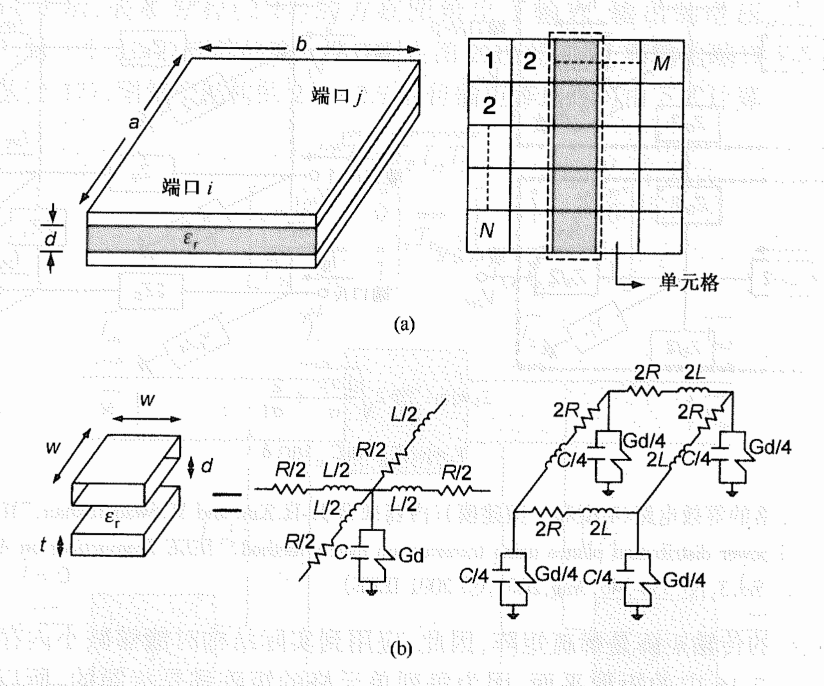


图 2.16 (a) 平面对结构；(b) 单元格及其等效电路(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 334-346, Aug. 2001, © 2001 IEEE)

如图 2.16(a)所示，使用 RLCG 元件的分布式网络，该矩形平面可以划分成 $N \times M$ 个单元格。取一列单元格($N \times 1$ 个单元格)，如图 2.16 中的虚线框所示。这 $N \times 1$ 个单元格可以表

示成由 N 输入端口和 N 输出端口组成的一个 $2N\times 2N$ 矩阵。单元格的 T 型等效电路和 π 型等效电路如图 2.17 所示。在图 2.17 中,输入和输出端口的排序分别为 1 至 N 和 $N+1$ 至 $2N$。串联阻抗和并联导纳元件分别以 s 和 p 为下标。$2N$ 个端口网络的传输矩阵可以由节点电压和端口电流得到:

$$\begin{bmatrix}\overline{V}_{\text{in}}\\ \overline{I}_{\text{in}}\end{bmatrix}=\begin{bmatrix}\overline{\overline{T}}_{\text{A}} & \overline{\overline{T}}_{\text{B}}\\ \overline{\overline{T}}_{\text{C}} & \overline{\overline{T}}_{\text{D}}\end{bmatrix}\begin{bmatrix}\overline{V}_{\text{out}}\\ \overline{I}_{\text{out}}\end{bmatrix}\tag{2.13}$$

其中:

$$\overline{V}_{\text{in}}=\begin{bmatrix}V_1\\ V_2\\ \vdots\\ V_N\end{bmatrix},\ \overline{I}_{\text{in}}=\begin{bmatrix}I_1\\ I_2\\ \vdots\\ I_N\end{bmatrix},\ \overline{V}_{\text{out}}=\begin{bmatrix}V_{N+1}\\ V_{N+2}\\ \vdots\\ V_{2N}\end{bmatrix},\ \overline{I}_{\text{out}}=\begin{bmatrix}I_{N+1}\\ I_{N+2}\\ \vdots\\ I_{2N}\end{bmatrix}\tag{2.14}$$

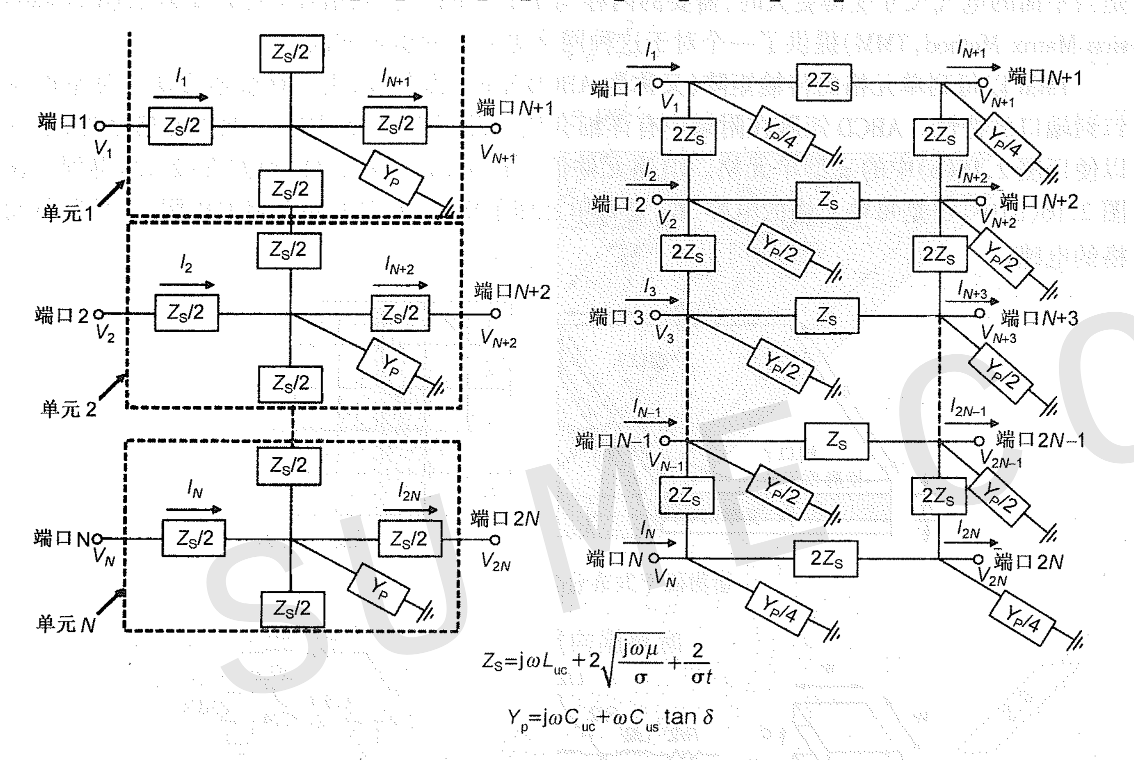


图 2.17 一列单元格的等效电路(T 型和 π 型建模)(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.24, no.3, pp.334-346, Aug.2001, © 2001 IEEE)

一列单元格的传输矩阵是稀疏矩阵,因此,应用到实际结构时能够减小内存和 CPU 的运行时间。对于图 2.16 中的矩形平面,因为每列单元格的矩阵都是相同的,所以可以应用方程(2.13)通过一列单元格的单列矩阵来获得整个几何结构的响应。$2N$ 端口网络的级联结构如图 2.18 所示。对于 M 个$\overline{\overline{T}}$矩阵的级联结构,其中$\overline{\overline{T}}_l$、$\overline{\overline{T}}_m$和$\overline{\overline{T}}_n$将输入和输出端口隔开,如图 2.19 所示,总的电压和电流方程为

$$\overline{I}_1=\overline{I}_{\text{in}}-\overline{I}_2,\ 其中\ \overline{I}_2=\overline{\overline{Y}}_l\overline{V}_{\text{in}}\tag{2.15}$$

$$\overline{I}_3=\overline{I}_{\text{out}}+\overline{I}_4,\ 其中\ \overline{I}_4=\overline{\overline{Y}}_n\overline{V}_{\text{out}}\tag{2.16}$$

$$\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ -\overline{\overline{Y}}_l & \overline{\overline{1}}\end{bmatrix}\begin{bmatrix}\overline{V}_{\text{in}}\\ \overline{I}_{\text{in}}\end{bmatrix}=\begin{bmatrix}\overline{\overline{T}}_{\text{Am}} & \overline{\overline{T}}_{\text{Bm}}\\ \overline{\overline{T}}_{\text{Cm}} & \overline{\overline{T}}_{\text{Dm}}\end{bmatrix}\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ \overline{\overline{Y}}_n & \overline{\overline{1}}\end{bmatrix}\begin{bmatrix}\overline{V}_{\text{out}}\\ \overline{I}_{\text{out}}\end{bmatrix},\ 其中\ \begin{matrix}\overline{\overline{Y}}_l=\overline{\overline{T}}_{Dl}^{-1}\overline{\overline{T}}_{Cl}\\ \overline{\overline{Y}}_n=\overline{\overline{T}}_{Cn}\overline{\overline{T}}_{An}^{-1}\end{matrix}\tag{2.17}$$

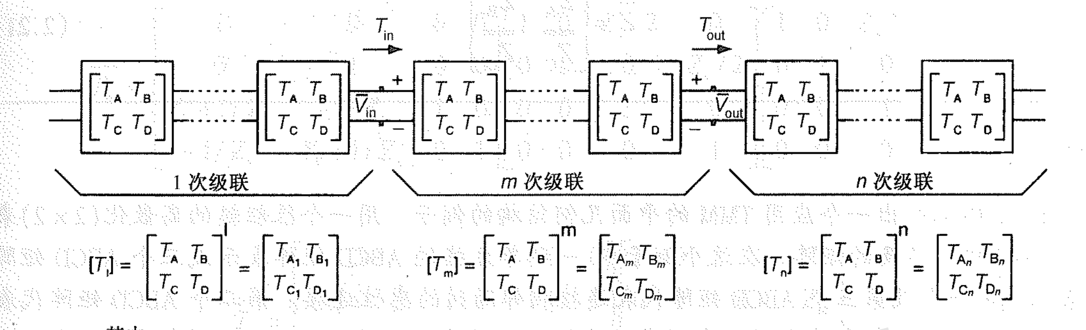


图 2.18 级联结构(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.24, no.3, pp.334-346, Aug.2001, © 2001 IEEE)

$\overline{\overline{1}}$表示单位矩阵,$\overline{\overline{0}}$中所有的元素都为 0。矩阵和分别代表连接在输入$\overline{\overline{T}}_l$和$\overline{\overline{T}}_n$输出端口的元件。如图 2.19 所示,表示方程(2.17)的方框图给出了输入、输出的电压和电流变量。在方程(2.17)中,每一个 ABCD 矩阵的输入端口列在图 2.19 的左侧,而输出端口列在图 2.19 的右侧。利用方程(2.17),则整个结构的 $2N\times 2N$ 的传输矩阵最终可由下式计算:

$$\overline{\overline{T}}=\overline{\overline{T}}_{Yl}\overline{\overline{T}}_m\overline{\overline{T}}_{Yn}\tag{2.18}$$

$$\overline{\overline{T}}_{Yl}=\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ \overline{\overline{T}}_{Dl}^{-1}\overline{\overline{T}}_{Cl} & \overline{\overline{1}}\end{bmatrix},\ \overline{\overline{T}}_{Yn}=\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ \overline{\overline{T}}_{Cn}\overline{\overline{T}}_{An}^{-1} & \overline{\overline{1}}\end{bmatrix}\tag{2.19}$$

图 2.19 整个系统的方框图(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.24, no.3, pp.334-346, Aug.2001, © 2001 IEEE)

阻抗矩阵的子矩阵可以利用下式由方程(2.18)得到：

$$\overline{\overline{Z}}_{\mathrm{B}}=\overline{\overline{Z}}_{\mathrm{C}}=\overline{\overline{T}}_{\mathrm{C}}^{-1},\quad \overline{\overline{Z}}_{\mathrm{A}}=\overline{\overline{T}}_{\mathrm{A}}\overline{\overline{Z}}_{\mathrm{C}},\quad \overline{\overline{Z}}_{\mathrm{D}}=\overline{\overline{Z}}_{\mathrm{C}}\overline{\overline{T}}_{\mathrm{D}} \tag{2.20}$$

其中

$$\overline{\overline{Z}}=\begin{bmatrix}\overline{\overline{Z}}_{\mathrm{A}} & \overline{\overline{Z}}_{\mathrm{B}}\\ \overline{\overline{Z}}_{\mathrm{C}} & \overline{\overline{Z}}_{\mathrm{D}}\end{bmatrix} \tag{2.21}$$

举例

图2.20(a)给出一个应用TMM的平面几何结构的例子。用一个很粗糙的离散化(2×2)来说明TMM中所涉及的矩阵。在这个例子中，一列单元格的ABCD矩阵表示成三个ABCD矩阵的乘积。第一个及第三个ABCD矩阵代表连接相邻两列的感性连接。第二个ABCD矩阵代表接地电容和该列内部各节点间的串联感性连接。利用这种方法，也可以在该单元格的中心定义一个端口。

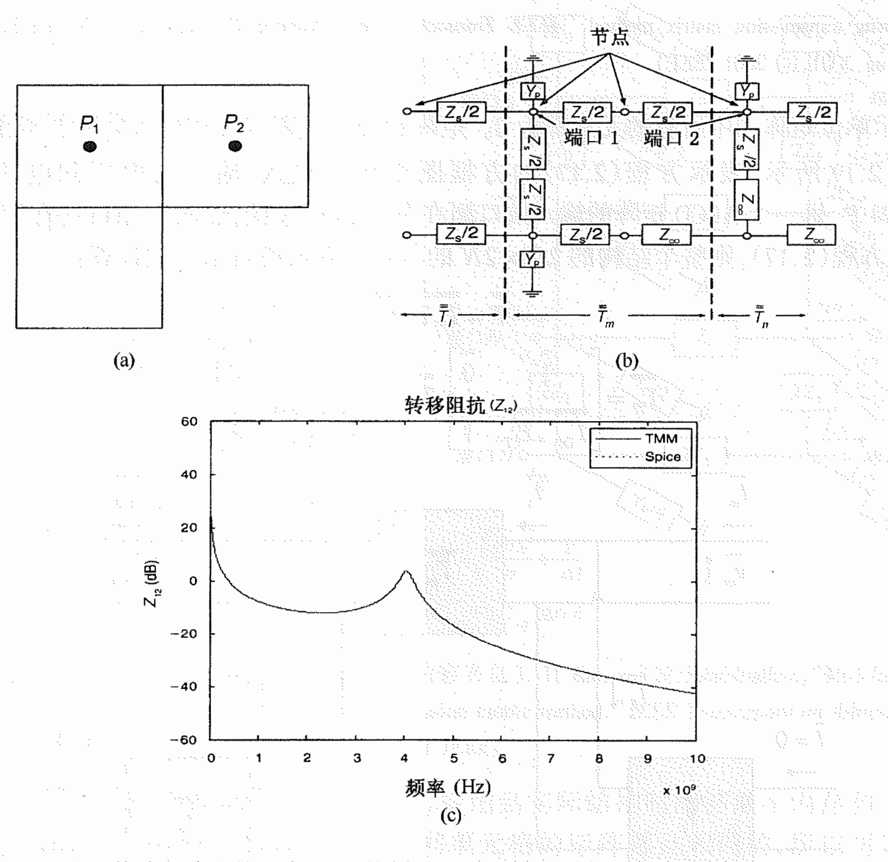


图2.20 (a)应用传输矩阵法的一个2×2的例子；(b) ABCD矩阵的一段；(c) TMM与Spice的比较

在图2.20(a)中，在平面右下角的相应位置剪去了一个单元格，两个端口分别定义在左上单元格和右上单元格。这种结构可分为三个部分，如图2.20(b)所示，其中各部分可用ABCD矩阵$\overline{\overline{T}}_l$、$\overline{\overline{T}}_m$和$\overline{\overline{T}}_n$表示为

$$\overline{\overline{T}}_l=\begin{bmatrix}1&0&Z_s/2&0\\0&1&0&Z_s/2\\0&0&1&0\\0&0&0&1\end{bmatrix} \tag{2.22}$$

$$\overline{\overline{T}}_m=\begin{bmatrix}1&0&0&0\\0&1&0&0\\Y_p+1/Z_s&-1/Z_s&1&0\\-1/Z_s&Y_p+1/Z_s&0&1\end{bmatrix}\begin{bmatrix}1&0&Z_s/2&0\\0&1&0&Z_s/2\\0&0&1&0\\0&0&0&1\end{bmatrix}\begin{bmatrix}1&0&Z_s/2&0\\0&1&0&Z_\infty\\0&0&1&0\\0&0&0&1\end{bmatrix} \tag{2.23}$$

和

$$\overline{\overline{T}}_n=\begin{bmatrix}1&0&0&0\\0&1&0&0\\Y_p+1/Z_\infty&-1/Z_\infty&1&0\\-1/Z_\infty&1/Z_\infty&0&1\end{bmatrix}\begin{bmatrix}1&0&Z_s/2&0\\0&1&0&Z_\infty\\0&0&1&0\\0&0&0&1\end{bmatrix} \tag{2.24}$$

ABCD总矩阵$\overline{\overline{T}}$可由方程(2.18)得到。使用值为50 kΩ的高阻抗Z_∞来表示开路。注意$\overline{\overline{T}}_{Dl}$和$\overline{\overline{T}}_{Cl}$是$\overline{\overline{T}}_l$的子矩阵，$\overline{\overline{T}}_{Cn}$和$\overline{\overline{T}}_{An}$是$\overline{\overline{T}}_n$的子矩阵。最后，$Z$参数可以由矩阵$\overline{\overline{T}}$和方程(2.20)得到。图2.20(c)比较了TMM和由Spice对相同的电路模型进行仿真的结果。其结果表明二者没有差别。

对于更复杂的几何形状，由于有孔的存在，可以将其简单地考虑成每列上使用了不同的传输矩阵。图2.21中的L型平面就是一个例子，其上几个位置放有去耦电容器。电容器(和过孔)可作为附加的传输矩阵直接包含在TMM公式中[6]。图2.22给出分别位于(3.19 in, 2.68 in)和(3.63 in, 2.33 in)的端口1和端口2的自阻抗和转移阻抗幅度。此结构分别使用T模型和π模型进行仿真，其结果与Spice仿真结果一致。图2.22也给出了测量结果。如图所示，在更高的频率下，热过孔(thermal via)的存在增加了电感。

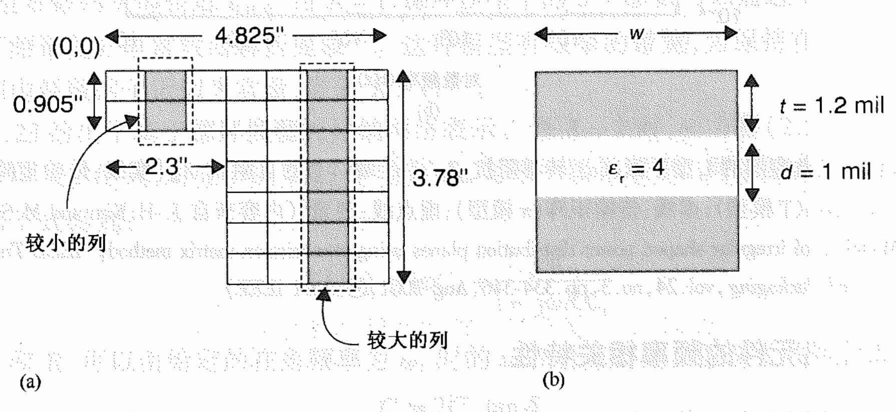


图2.21 (a) L型平面的俯视图；(b)单元格的侧视图(内容来自J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.24, no.3, pp.334-346, Aug.2001, © 2001 IEEE)

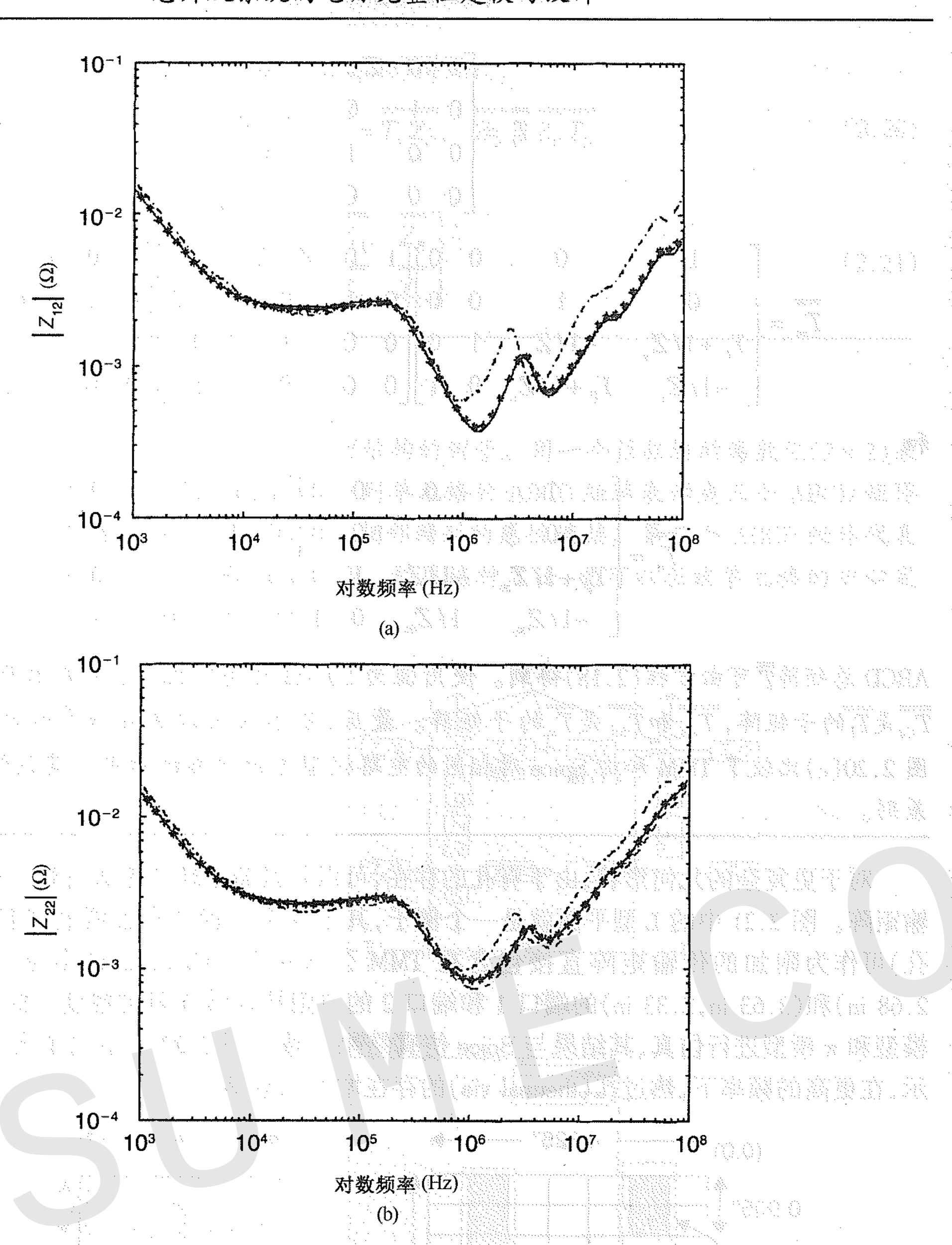


图 2.22 包含去耦电容器的 L 型平面:(a) 转移阻抗 Z_{12};(b) 端口 2 的自阻抗 Z_{22}[实线:传输矩阵(T 模型);星线:Spice(T 模型);虚线:传输矩阵(π 模型);虚点线:测量](内容来自 J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 334-346, Aug. 2001, © 2001 IEEE)

2.4.3 单元格元件的频率相关特性

封装和电路板的常用模型都是假定耗散因子及与频率相关的介电常数为常数。就具有高耗散因子的基板而言,因为由此产生的模型违背了因果性,这些假设对较宽频带范围内的信号仿真会有较大影响。因果关系意味着结果不能先于原因发生;换句话说,系统响应不能发生在激励之前。在第 4 章中,我们将讨论如何处理分布系统的传递函数,其中响应总是发生在一定

的时延后。在本章,我们只关心驱动点的阻抗或导纳,因此输入和输出信号间没有时延。

一个可能违反因果关系的例子,就是趋肤效应的阻抗常常使用频率平方根($\sqrt{f}$)近似。实部随$\sqrt{f}$而增加,虚部也必须相应地随着$\sqrt{f}$增加。虚部在物理上与内部电感的电抗相对应。

总的来说,对任何可实现的网络函数,实部和虚部之间存在着一种关系,由波特(Bode)积分关系给出[7]。这种关系可以确保网络函数的因果性。例如,考虑这样一个网络,其输入电导和电纳分别为 $G(\omega)$ 和 $B(\omega)$。根据波特积分关系,电导和电纳间的关系为

$$B(\omega) = \frac{2\omega}{\pi} PV \int_0^{\infty} \frac{G(x)}{x^2 - \omega^2} dx \tag{2.25}$$

$$G(\omega) = G(\infty) - \frac{2}{\pi} PV \int_0^{\infty} \frac{xB(x)}{x^2 - \omega^2} dx \tag{2.26}$$

其中,PV 指定了积分的主值。

一个确保因果性的好方法就是用电路模型来描述频率响应。由正的 RLC 元件组成网络的输入阻抗或导纳是一个最小相位函数,因此它也满足因果性。等效电路模型也可以容易地整合到电路求解程序中,从而进行如非线性驱动模型等系统级的分析。以下各节将为有损基板和导体提供一些有效的方法以产生等效电路模型。

2.4.3.1 基板损耗

复介电常数的实部和虚部用 Kramers-Kronig 等式关联起来,类似于波特积分关系。

德拜(Debye)模型满足 Kramers-Kronig 关系,并且为频率相关的复介电常数产生一个高效的模型,可由下式给出:

$$\varepsilon(\omega) = \varepsilon_{\infty} + \sum_{i=1}^{K} \frac{a_i}{1 + s\tau_i} \tag{2.27}$$

其中,a_i 和 τ_i 代表了各种松弛过程中的强度和时间常数,s 是拉普拉斯(Laplace)变量。在高频,复介电常数的实部接近 ε_{∞}。当 $K = 1$,德拜模型中的 3 个参数可以通过在几个频率点及直流情况下测量复介电常数而解析提取[8]。这种模型有很窄的带宽,为保持在几个十倍频程的带宽范围内耗散因子近似为常量,需要 $K > 1$。

图 2.23 给出了基于德拜模型的导纳网络表示。当 $K = 1$ 时,由方程(2.27)可得到有损基板的最简单表示形式,对应于图 2.23 中电容 C_{∞} 与第一级串联 RC 网络的并联。在这里输入导纳可由下式得到:

$$Y(j\omega) = j\omega C_{\infty} + \frac{j\omega C_1}{1 + j\omega R_1 C_1} \tag{2.28}$$

其中,C_1 和 R_1 可以由给定的在角频率为 ω_1 时的 $\tan\delta$ 计算得到。假设常数 C_1 和 R_1 表示成

$$C_1 = 2C_{\infty} \tan\delta \tag{2.29}$$

$$R_1 = \frac{1}{\omega_1 C_1} \tag{2.30}$$

将方程(2.29)及方程(2.30)代入方程(2.28)得

$$Y(j\omega_1) = j\omega_1 C_\infty + \frac{j\omega_1 2C_\infty \tan\delta}{1+j}$$
$$= j\omega_1 C_\infty + \frac{j\omega_1 2C_\infty \tan\delta + \omega_1 2C_\infty \tan\delta}{2} \tag{2.31}$$
$$= j\omega_1 C_\infty (1+\tan\delta) + \omega_1 C_\infty \tan\delta$$

耗散因子可以由导纳函数的实部除以虚部计算得到，如方程(2.11)所示。在方程(2.31)中，$Y(j\omega)$的耗散因子大约等于角频率为 ω_1 时的 $\tan\delta$，并且在 ω_1 的一个很窄的频带范围内可以假定为一个常数。这个因果模型将产生一个与方程(2.11)相反的频率相关性电容（由 $\mathrm{Im}\{Y(j\omega)\}/\omega$ 的虚部得到）。

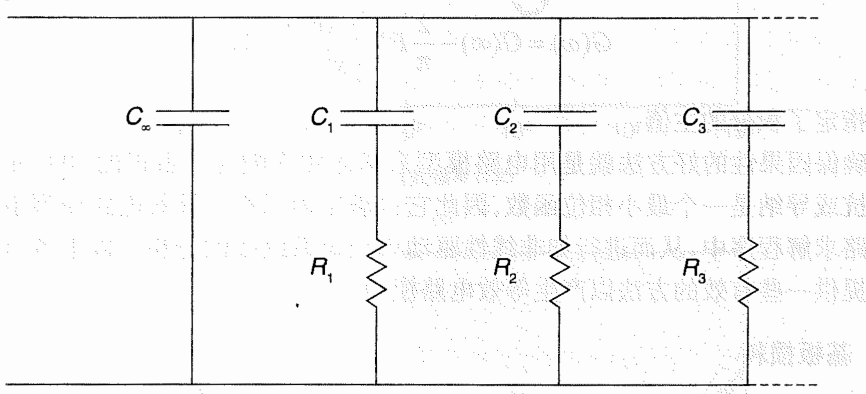


图 2.23 有耗基板的德拜模型（内容来自 A. E. Engin, W. Mathis, W. John, G. Sommer, and H. Reichl, "Closed-form network representations of frequency dependent RLGC parameters," *International Journal of Circuit Theory and Applications*, vol. 33, pp. 463-485, Nov. 2005, © John Wiley & Sons Limited. Reproduced with permission）

举例

在方程(2.28)中，假设 $R_1 = 1$ 和 $C_1 = 1$，那么 RC 串联电路的输入电导和电纳为

$$G(\omega) = \frac{\omega^2}{1+\omega^2} \tag{2.32}$$

$$B(\omega) = \frac{\omega}{1+\omega^2} \tag{2.33}$$

这满足了方程(2.25)及方程(2.26)中的波特积分关系。

举例

一个常量耗散因子的假设，其中隐含一个随频率降低的电容。这一点可以用下面的函数来解释：

$$\varepsilon(\omega) = as^{-2\delta/\pi} \tag{2.34}$$

它代表了一个 $\tan\delta$ 为常量的复介电常数[9][10]。这是一个最小相位函数（因此是因果的）并可以由波特积分关系得到，其中 a 是一个任意的正常数。注意最小相位函数的幅度可以由它的相位得到，所以耗散因子为常量的假设定义了值为常数的总函数。代入 $s = j\omega$ 得到

$$\varepsilon(\omega) = a(j\omega)^{-2\delta/\pi}$$
$$= a\omega^{-2\delta/\pi}(\cos\delta - j\sin\delta) \tag{2.35}$$

该式表明了介电常数的实部是如何随频率升高而减少的。也可以看出，由这个函数给出的复介电常数在非常低的频率下接近无限大，这在物理上是不可实现的。因此，仅仅在有限的频带范围内材料才可能有一个恒定的耗散因子。在平面模型中垂直导纳的一个更好近似为

$$Y = sC_{dc}\left(1+\frac{s}{\omega_1}\right)^{-2\delta/\pi} \tag{2.36}$$

其中 C_{dc}是电容的低频下限，且当超过角频率 ω_1 时将会有一个几乎是常量的耗散因子。这个导纳可以用基于$(1+x)^\lambda$ 函数的连分式展开式（Continued Fraction Expansion, CFE）的正值电阻器和电容器表示；因此，它也是最小相位，从而满足了 Kramers-Kronig 方程[11]。可以用此函数来代替方程(2.11)以获得有损基板的因果模型，该模型在很宽的频带范围内有一个近似常量的耗散因子。图 2.24 给出了一个与 FR-4 相似的、耗散因子为 0.025 的示例介质应用这个函数得到的耗散因子和电容的变化情况。由于这个损耗项，介电常数的实部（相应的电容）在 3 个十倍频程内可以减少多达 10%。

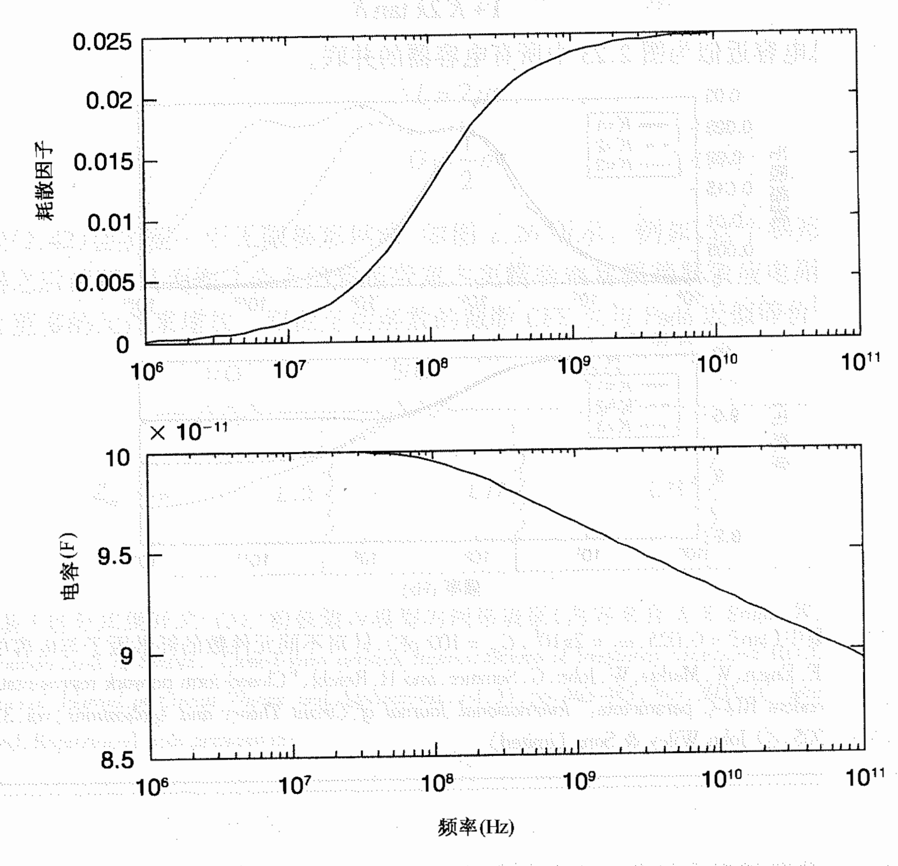


图 2.24 基于最小相位函数的电介质耗散因子与电容的变化（$\tan\delta = 0.025$, $\omega_1 = 2\pi 10^8$, $C_{dc} = 100$ pF）

根据德拜模型，为了在几个十倍频程内取得不变的耗散因子，图 2.23 所示网络的其他并联分支就必须包括在内。各元件值可以在不同抽样角频率 ω_i 下由方程(2.29)和方程(2.30)

得到。注意，根据方程(2.28)的导纳及方程(2.29)、方程(2.30)中定义的 C_1 和 R_1 而计算出的耗散因子 $\tan\delta$，在 ω_1 处获得峰值，对于更高或更低的频率则趋于0，如图2.25所示。两个采样频率间的距离要足够远以使邻近的支路不要过分相互影响，但还要足够近以使中间频率上也获得足够多的耗散因子。各种采样方案的仿真表明了每十倍频程用一个采样频率会取得良好的效果。在这种情况下，$10\omega_i$ 和 $\omega_i/10$ 支路处的额外电导大约为角频率 ω_i 处预期电导的10%。所以，当 $K>1$ 时，给 $\tan\delta$ 乘以约0.9的系数会提供更好的结果。总之，图2.23中网络的元件可定义为

$$C_i = C = 2kC_\infty \tan\delta,\quad i=1,2,\cdots,K \tag{2.37}$$

$$R_i = \frac{1}{\omega_i C},\quad \omega_{i+1} = 10\omega_i,\quad i=1,2,\cdots,K \tag{2.38}$$

其中的 k 是比例因子，当 $K=1$ 时，它等于1；当 $K>1$ 时，应设置为0.9。角频率 ω_1 决定了模型的初始频率，模型的带宽是 $(K-1)$ 个十倍频程。最后，由德拜模型给出的高频电容 C_∞ 也可由渐近直流电容 C_{dc} 使用下式计算得出：

$$C_\infty = \frac{C_{dc}}{1+K2k\tan\delta} \tag{2.39}$$

因为在低频时，总电容近似为图2.23中所有电容器的并联。

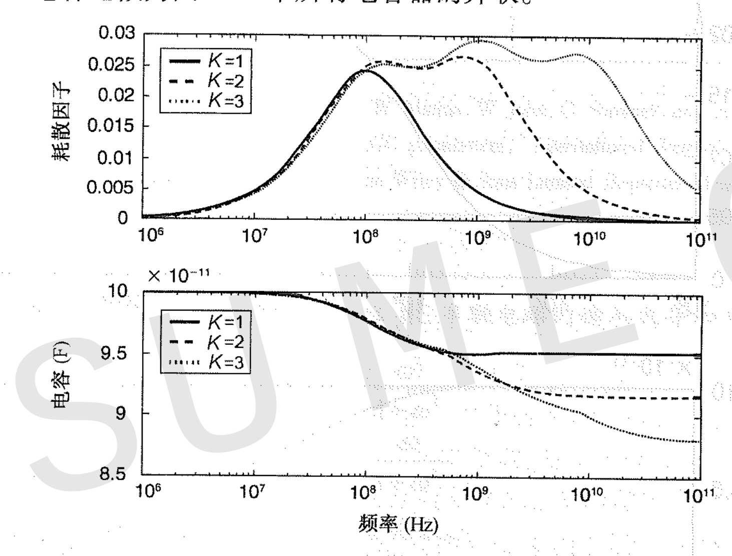


图2.25 在德拜模型中($\tan\delta=0.025$，$\omega_1=2\pi10^8$，$C_{dc}=100$ pF)，针对不同元件数的耗散因子与电容的变化(内容来自 A.E.Engin, W.Mathis, W.John, G.Sommer, and H.Reichl, "Closed-form network representations of frequency-dependent RLGC parameters," *International Journal of Circuit Theory and Applications*, vol.33, pp.463-485, Nov.2005, © John Wiley & Sons Limited)

举例

图2.25给出德拜模型中耗散因子和电容随 K 变化的情况。在这个例子中，当 $K=3$、带宽为2个十倍频程时，可以得到精度在±20%以内的常量耗散因子。虽然图中没有显示，但是通过包括额外的支路可以在8个十倍频程的带宽内维持这个精度。

2.4.3.2 导体损耗

本节将介绍趋肤效应的等效电路模型。在方程(2.12)中，当 $s=j\omega$ 时，内阻抗可表示为

$$Z_{int} = 2\sqrt{\frac{s\mu}{\sigma}} + \frac{2}{\sigma t} \tag{2.40}$$

其中，和式的第一项表示电导性半空间内阻抗的2倍(对应两个平面的情况)，第二项表示直流电阻。考虑有限厚度的平面，下式给出了平行板结构的一个更合适的方程：

$$Z_{int} = 2\sqrt{\frac{s\mu}{\sigma}}\coth(t\sqrt{s\mu\sigma}) \tag{2.41}$$

使用双曲正切函数的 CFE[11][12]，可实现非有理输入阻抗：

$$Z_{int} = \sqrt{\frac{sL}{G}}\coth(\sqrt{sLG}) = \frac{1}{G} + \cfrac{1}{\cfrac{3}{sL} + \cfrac{1}{\cfrac{5}{G} + \cfrac{1}{\cfrac{7}{sL} + \cdots}}} \tag{2.42}$$

其中

$$L = 2\mu t \tag{2.43}$$

$$G = \frac{1}{2}\sigma t \tag{2.44}$$

方程(2.42)会实现一个无限梯形网络，如图2.26所示。例如，这个梯形网络可以在第5个电阻器之后截断，从而在2个十倍频程带宽内更精确地建模趋肤效应电阻。模型的带宽可通过包含更多的元件来增加。双曲正切函数的截断 CFE 也与 Padé 近似等价[13]。

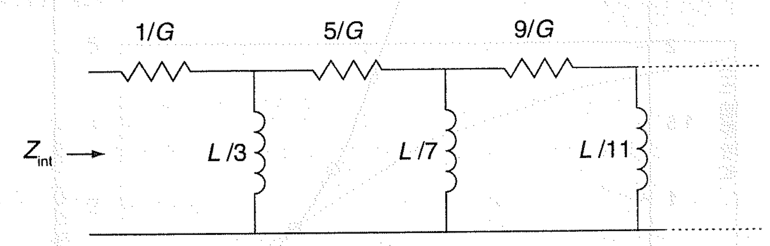


图2.26 基于连分式展开式(CFE)趋肤效应模型的网络表征(内容来自 A.E.Engin, W.Mathis, W.John, G.Sommer, and H.Reichl, "Closed-form network representations of frequency dependent RLGC parameters," *International Journal of Circuit Theory and Applications*, vol.33, pp.463-485, Nov.2005, © John Wiley & Sons Limited. Reproduced with permission)

举例

用图2.26所示的等效电路模型对一对平面进行仿真，其中每个平面都是由35 μm厚的铜($\sigma=5.8\times10^7$ S/m)制成的，假定其导磁率与真空中的导磁率相等。图2.27给出了与频率相关的每单元格阻抗，图中将解析方程(2.41)与 CFE 进行比较。由于趋肤效应的存在，阻抗将在

10 MHz 附近开始增加。在更高的频率处，趋肤效应就更加明显，阻抗继续与频率平方根成正比地增加。CFE 在第 5 个电阻器之后截断，并且约至 1 GHz 时可以非常准确地逼近这个频率相关特性。如果需要，可以通过增加若干元件来增加模型带宽。图 2.28 画出了内部电感。由于趋肤效应，平面内的磁场开始随频率下降。因此，由磁场产生的内部电感也随之减小。

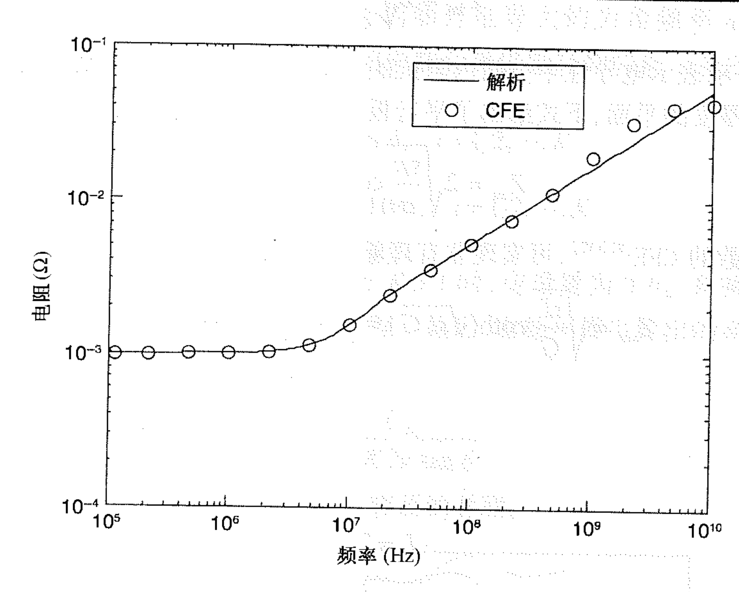


图 2.27　由厚 35 μm 平面构成平面对的每单元格阻抗

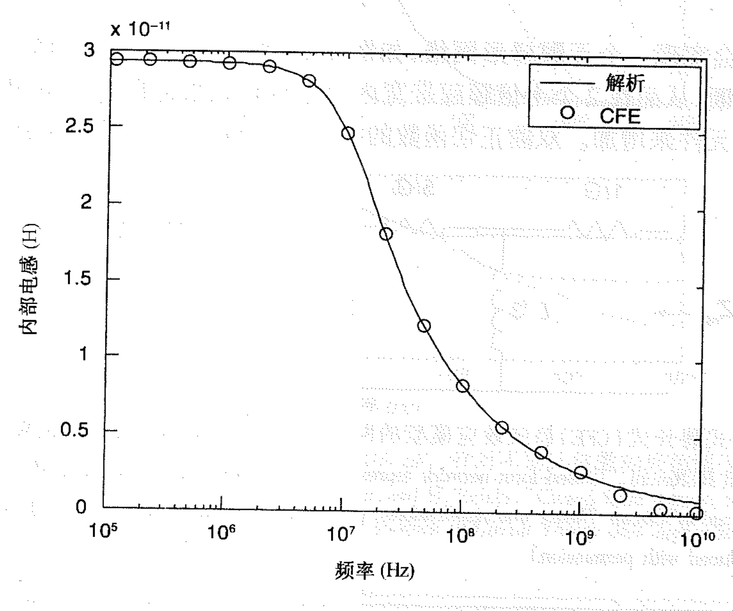


图 2.28　由厚 35 μm 平面构成平面对的每单元格内部电感

2.4.4　平面间隙建模

当 PDN 由若干连接到不同电压源的电压平面组成时，它们也可以共用同一个层，但需用间隙(gap)隔开以提供直流隔离。不过，在更高的频率时仍会有耦合。两个孤立平面间耦合的

简单模型可以用间隙两边缘间的电容阵列获得[14]，如图 2.29 所示。第 5 章将利用互感提供一个更详细的间隙模型。

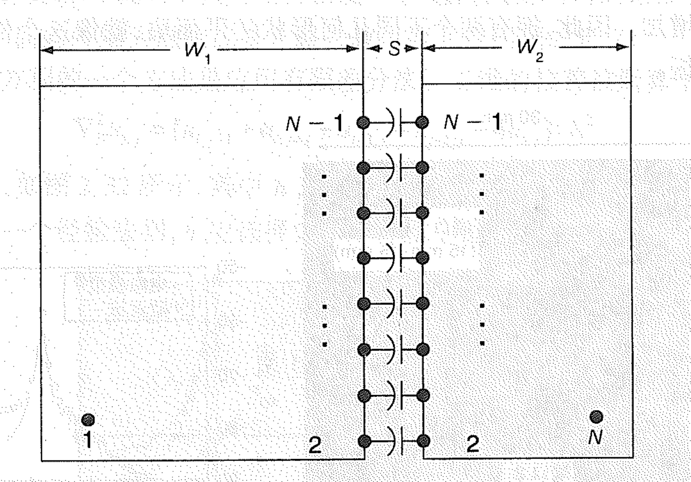


图 2.29　间隙间的容性耦合(内容来自 Z. L. Wang, O. Wada, Y. Toyota, and R. Koga, "Modeling of gapped power bus structures for isolation using cavity modes and segmentation," *IEEE Transactions on Electromagnetic Compatibility*, vol. 47, no. 2, pp. 210-218, May 2005, © 2005 IEEE)

因此，要估计的一个重要参数就是间隙电容，如图 2.29 所示。获得间隙电容的一种方法就是把孤立平面看成是耦合微带线，并从每单位长度电容矩阵中提取间隙电容。传输线可以方便地用二维求解程序进行分析，假设传输线在波的传播方向上是均匀的，则用求解程序就可以算出每单位长度的 RLGC 参数。例如，图 2.30 给出介质厚度为 100 μm 时，针对各种宽度的平面，由二维求解程序提取的间隙电容。另一个重要的参数是两平面的间隙距离。在一个平面仿真之前，可以将各种平面宽度和间隙距离的间隙电容存到查找表里，以便在平面建模中使用合适的间隙电容值。

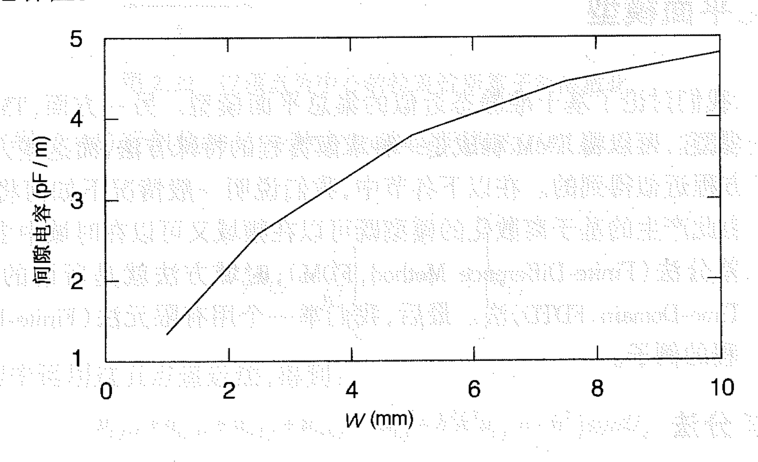


图 2.30　各种平面宽度的间隙电容

图 2.31 给出了一个电源岛，中间的电压平面与周围的电压环没有导电接触。这个结构是由全波仿真器动量法仿真的[15]，该图还给出端口位置及由动量法产生的网络。端口 1 位于电源岛内部，端口 2 则位于周围的电压环上。在图的右侧画出了传输系数 S_{12}。动量法和电路模

型的结果非常一致,其中电路模型是扩展的包括间隙电容的弹簧床模型。几乎在整个频带范围内,隔离超过了 60 dB,因此在这个例子中,间隙为大多数的应用提供了足够的隔离。在谐振频率上耦合有所增加。因此,拥有两个不同几何形状的平面块,就像这个例子,能够更好地避免平面的同时谐振。

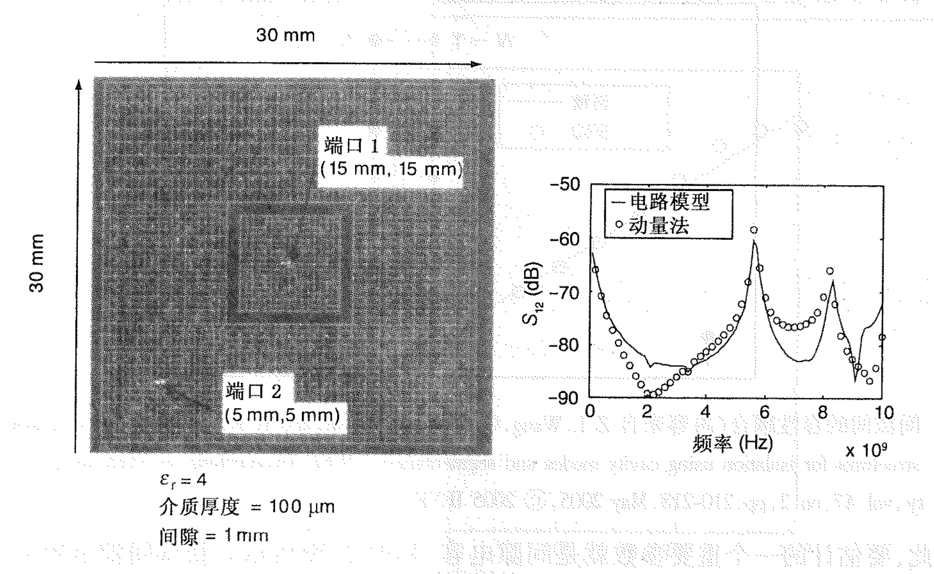


图 2.31　(左)电源岛;(右)全波求解程序与含有间隙电容的电路模型进行比较

本节讨论的间隙耦合模型是以耦合微带线模型为基础的。因此,为增加模型的精确度,也必须考虑互感。在第 5 章,我们将讨论包含耦合电容和互感的模型。间隙之间的耦合变得很重要,特别是对于间隙隔离与介质厚度的比值很小的结构。

2.5　离散化平面模型

前面几节中,我们讨论了基于准静态近似的集总平面模型。另一方面,TMM 则是一种基于分布式电路的模型。可以将 TMM 看成是一种求解方程的特殊方法,而这些方程是应用有限差分由二维波动方程近似得到的。在以下各节中,我们说明一般情况下如何将有限差分应用到平面建模中。由此产生的基于离散化的模型既可以在频域又可以在时域中求解。频域方法就是所谓的有限差分法(Finite-Difference Method, FDM);时域方法就是所谓的有限时域差分(Finite-Difference Time-Domain, FDTD)法。最后,我们举一个用有限元法(Finite-Element Method, FEM)求解相同方程的例子。

2.5.1　有限差分法

把一个平面结构看成是一个二维的传输线,通过这个假设便可以直观地获得图 2.14 中分布式平面模型。常用 T 型单元格将平面离散化。可以证明,T 型单元格是其中一种可行的有限差分离散化方案。下面的椭圆微分方程是赫姆霍兹(Helmholtz)型的:

$$(\nabla_T^2 + k^2)u = -\mathrm{j}\omega\mu d J_z \tag{2.45}$$

其中,∇_T^2 是平行于平面结构的横向拉普拉斯算子,k 是波数,u 是电压,ω 是角频率,μ 是导磁率,d 是平面间距,J_z 是正常流入平面的电流密度[16]。通过假定均匀的诺依曼(Neumann)边界条件(对应于假设平面的外围为磁墙或是开路),就可以完成问题的定义。

求解赫姆霍兹方程的一个方法是应用有限差分法。二维的拉普拉斯算子可以近似表示为

$$\nabla_T^2 u_{i,j} = (u_{i,j-1} + u_{i,j+1} + u_{i-1,j} + u_{i+1,j} - 4u_{i,j})/h^2 \tag{2.46}$$

误差量级为 $O(h^2)$,如图 2.32 所示,其中 h 是网格的长度,$u_{i,j}$ 是以坐标(hi, hj)为顶点进行离散化的电压。作为一个经验法则,h 应选择为小于介质中最小波长的十分之一。

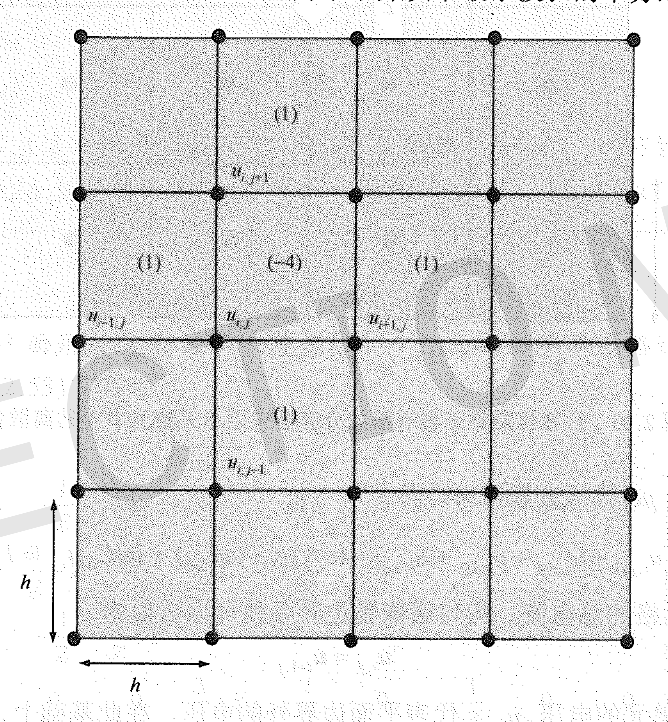


图 2.32　以顶点为中心的拉普拉斯算子的离散化

用来表示方程(2.46)近似值的另一种方法就是所谓的五点逼近法,它是通过其模板形式逼近的:

$$\nabla_T^2 u_{i,j} = \frac{1}{h^2}\begin{bmatrix} & 1 & \\ 1 & -4 & 1 \\ & 1 & \end{bmatrix} u_{i,j} \tag{2.47}$$

在赫姆霍兹方程中运用这五点逼近法,得到:

$$u_{i,j-1} + u_{i,j+1} + u_{i-1,j} + u_{i+1,j} - 4u_{i,j} + h^2k^2u_{i,j} = -h^2\mathrm{j}\omega\mu d J_z \tag{2.48}$$

将其应用到平面上的所有点[17],会得到一个线性方程组。

对平面结构模型的一个特别有用的离散化,是如图 2.33 所示的单元格中心离散化方案。将方程两边同时除以 $-\mathrm{j}\omega\mu d$,可以得到一个著名的等效电路模型:

$$(u_{i,j-1} + u_{i,j+1} + u_{i-1,j} + u_{i+1,j} - 4u_{i,j})/(-\mathrm{j}\omega\mu d) + \mathrm{j}\omega\frac{\varepsilon h^2}{d}u_{i,j} = h^2 J_z \tag{2.49}$$

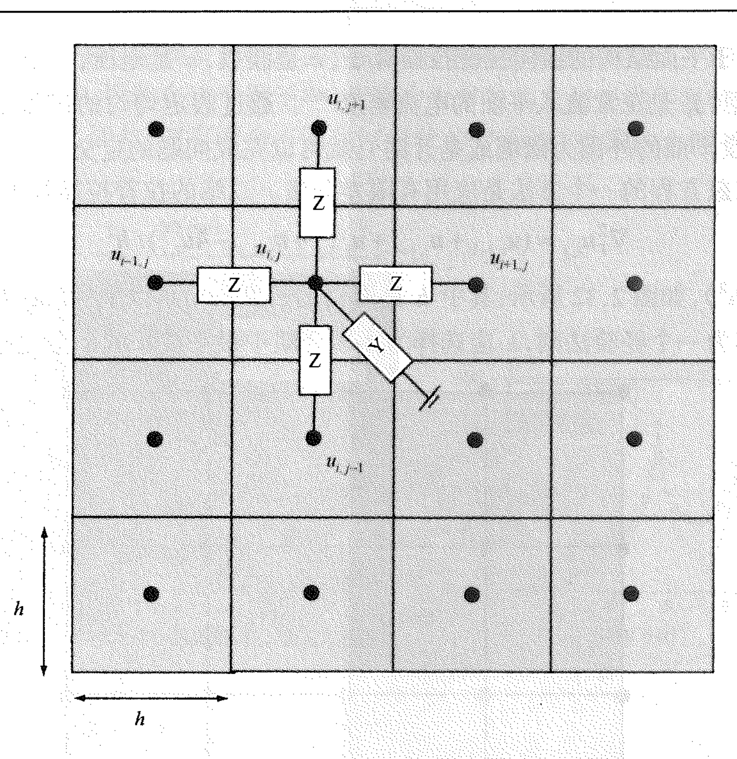


图 2.33　拉普拉斯算子和有限差分模型中以单元格为中心的离散化

将 $C_{uc}=\dfrac{\varepsilon h^2}{d}$ 和 $L_{uc}=\mu d$ 代入方程(2.49)得

$$(u_{i,j-1}+u_{i,j+1}+u_{i-1,j}+u_{i+1,j}-4u_{i,j})/(-\mathrm{j}\omega L_{uc})+\mathrm{j}\omega C_{uc}u_{i,j}=I_z \tag{2.50}$$

其中 I_z 是流入单元格的总电流。均匀诺依曼边界条件可以近似为

$$u_{i,j}=u_{i+1,j} \tag{2.51}$$

其中 $u_{i,j}$ 代表边界单元的电压，$u_{i+1,j}$ 代表平面边界外的电压。在此基础上，可以得到线性方程组并写成如下的矩阵形式：

$$\overline{\overline{Y}}\,\overline{U}=\overline{I} \tag{2.52}$$

其中 $\overline{U}$ 和 $\overline{I}$ 是单元的电压和电流向量。用 x 方向上的 M 单元和 y 方向上的 N 单元对矩形平面进行离散化，所得的导纳矩阵 $\overline{\overline{Y}}$ 可写成

$$\overline{\overline{Y}}=\begin{bmatrix}\overline{\overline{A}} & \overline{\overline{B}} & & & \\ \overline{\overline{B}} & \overline{\overline{A}}+\overline{\overline{1}}/Z & \overline{\overline{B}} & & \\ & \overline{\overline{B}} & \ddots & \ddots & \\ & & \ddots & \ddots & \overline{\overline{B}} \\ & & \overline{\overline{B}} & \overline{\overline{A}}+\overline{\overline{1}}/Z & \overline{\overline{B}} \\ & & & \overline{\overline{B}} & \overline{\overline{A}}\end{bmatrix} \tag{2.53}$$

其中

$$\overline{\overline{A}}=\begin{bmatrix}Y+2/Z & -1/Z & & & & \\ -1/Z & Y+3/Z & -1/Z & & & \\ & -1/Z & Y+3/Z & \ddots & & \\ & & \ddots & \ddots & -1/Z & \\ & & & -1/Z & Y+3/Z & -1/Z \\ & & & & -1/Z & Y+2/Z\end{bmatrix} \tag{2.54}$$

$$\overline{\overline{B}}=-\overline{\overline{1}}/Z \tag{2.55}$$

而 $Z=\mathrm{j}\omega L_{uc}$，$Y=\mathrm{j}\omega C_{uc}$。

$\overline{\overline{1}}$ 代表单位矩阵，$\overline{\overline{A}}$ 是一个 $(M\times M)$ 矩阵，假定单元格是从最低的一行开始编号，沿 x 方向增加直到最后一个单元格，然后开始下一行的编号。因此，$\overline{\overline{Y}}$ 是一个 $(M\times N)\times(M\times N)$ 的矩阵。

举例

假设一个方形平面用 x 方向的三个单元格和 y 方向的三个单元格进行离散化。那么方程(2.52)和方程(2.53)可写为

$$\overline{\overline{Y}}\,\overline{U}=\begin{bmatrix}\frac{2}{Z}+Y & -\frac{1}{Z} & 0 & -\frac{1}{Z} & 0 & 0 & 0 & 0 & 0\\ -\frac{1}{Z} & \frac{3}{Z}+Y & -\frac{1}{Z} & 0 & -\frac{1}{Z} & 0 & 0 & 0 & 0\\ 0 & -\frac{1}{Z} & \frac{2}{Z}+Y & 0 & 0 & -\frac{1}{Z} & 0 & 0 & 0\\ -\frac{1}{Z} & 0 & 0 & \frac{3}{Z}+Y & -\frac{1}{Z} & 0 & -\frac{1}{Z} & 0 & 0\\ 0 & -\frac{1}{Z} & 0 & -\frac{1}{Z} & \frac{4}{Z}+Y & -\frac{1}{Z} & 0 & -\frac{1}{Z} & 0\\ 0 & 0 & -\frac{1}{Z} & 0 & -\frac{1}{Z} & \frac{3}{Z}+Y & 0 & 0 & -\frac{1}{Z}\\ 0 & 0 & 0 & -\frac{1}{Z} & 0 & 0 & \frac{2}{Z}+Y & -\frac{1}{Z} & 0\\ 0 & 0 & 0 & 0 & -\frac{1}{Z} & 0 & -\frac{1}{Z} & \frac{3}{Z}+Y & -\frac{1}{Z}\\ 0 & 0 & 0 & 0 & 0 & -\frac{1}{Z} & 0 & -\frac{1}{Z} & \frac{2}{Z}+Y\end{bmatrix}\begin{bmatrix}u_{11}\\u_{21}\\u_{31}\\u_{12}\\u_{22}\\u_{32}\\u_{13}\\u_{23}\\u_{33}\end{bmatrix} \tag{2.56}$$

其中 $u_{i,j}$ 是坐标为 $(h(i-0.5),h(j-0.5))$ 的节点电压。它是基于单元格中心离散化得到的，偏移 0.5 为指定的节点到单元格中心的距离，h 是网格长度。

单元格的参数 Y 和 Z 可以按方程(2.11)和方程(2.12)来选择以包括平面的有损特性，使用图 2.15 中的 T 型单元格会产生一个与图 2.14 中的模型相同的导纳矩阵。注意单元格给出的阻抗只是两相邻节点间总阻抗的一半。当单元格彼此相连时，相邻单元格的两个二分之一

阻抗将确立正确的阻抗值。因此,基于T型单元格的电路模型相当于赫姆霍兹方程在诺依曼边界条件下的五点有限差分离散化。

该导纳矩阵 $\bar{\bar{Y}}$ 是一个稀疏的带状矩阵。这对矩阵元素的存储及矩阵方程的求解是很重要的。在实际应用中,平面可能有非矩形边界,或者甚至包含洞。在这种情况下,假定连续的矩形平面足够大,能够包含实际的结构,那么 $\bar{\bar{Y}}$ 就可以被构造并存储。在实际的结构中,无论在哪个位置缺失了单元格,都会将相应行和列中非对角线上的元素删除,并将相邻节点对角线上的元素更新。这样,在单元格没有被重新编号的情况下,也可以非常有效地考虑实际结构。

举例

为了说明有洞平面的离散化方案,用 2×2 单元格离散化方形平面所得的导纳矩阵,可写为

$$\bar{\bar{Y}}=\begin{bmatrix} Y+2/Z & -1/Z & -1/Z & 0 \\ -1/Z & Y+2/Z & 0 & -1/Z \\ -1/Z & 0 & Y+2/Z & -1/Z \\ 0 & -1/Z & -1/Z & Y+2/Z \end{bmatrix} \tag{2.57}$$

其中第一、第二、第三和第四节点分别代表左下角、右下角、左上角和右上角的单元格。假设左上角的单元格(节点三)在结构中缺失了,方程(2.57)中的导纳矩阵可以改写为

$$\bar{\bar{Y}}=\begin{bmatrix} Y+1/Z & -1/Z & 0 & 0 \\ -1/Z & Y+2/Z & 0 & -1/Z \\ 0 & 0 & Y+2/Z & 0 \\ 0 & -1/Z & 0 & Y+1/Z \end{bmatrix} \tag{2.58}$$

在方程(2.58)中,第三节点与其他节点之间是没有耦合的。因此,节点三从其他结构孤立出来以表示平面左上象限的洞。从矩阵中移除第三行和第三列单元格可以获得最终的方程:

$$\begin{bmatrix} Y+1/Z & -1/Z & 0 \\ -1/Z & Y+2/Z & -1/Z \\ 0 & -1/Z & Y+1/Z \end{bmatrix}\begin{bmatrix} u_{11} \\ u_{21} \\ u_{22} \end{bmatrix}=\begin{bmatrix} i_{11} \\ i_{21} \\ i_{22} \end{bmatrix} \tag{2.59}$$

注意矩阵的化简是没有必要的,并且方程(2.58)可直接用来获取频率响应。在这种情况下,因为矩阵元素不用重新排序,所以更容易实现,但是矩阵的尺寸增加了。

2.5.1.1 T型单元格与X型单元格

使用九点有限差分准则也能获得更详细的模型。其中模板形式可以写成

$$\nabla_T^2 u_{i,j}=\frac{1}{h^2}\begin{bmatrix} 1/6 & 2/3 & 1/6 \\ 2/3 & -10/3 & 2/3 \\ 1/6 & 2/3 & 1/6 \end{bmatrix} u_{i,j} \tag{2.60}$$

图2.34给出由五点准则(T型单元格)和九点准则(X型单元格)获得的单元格。它们的主要差别在于X型单元格除了包括相邻单元格之外,还包含了与之公用一边的对角相邻单元格的直接感性路径。

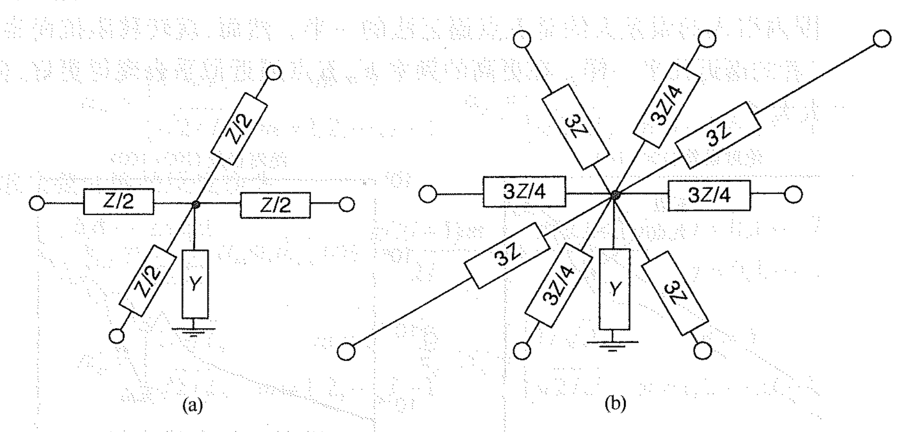


图2.34 (a) T型单元格;(b) X型单元格(内容来自 A. E. Engin et al.,"Finite-difference modeling of noise coupling between power/ground planes in multilayered packages and boards," *in Proceedings of the Electronic Components and Technology Conference*, May 2006, © 2006 IEEE)

2.5.1.2 五点和九点逼近法的比较

对于五点和九点逼近法的比较,我们可以考虑图2.35中的方形平面对。平面对由尺寸为 10 cm×10 cm 的电源平面和地平面组成,并由介电常数为4、厚度为 200 μm 的电介质隔开。在平面的中间和平面的某个角点位置上分别设有两个端口。每个端口包括互相垂直分离的两个节点,将一个节点放在电压平面上,将另一个节点放在地平面上。

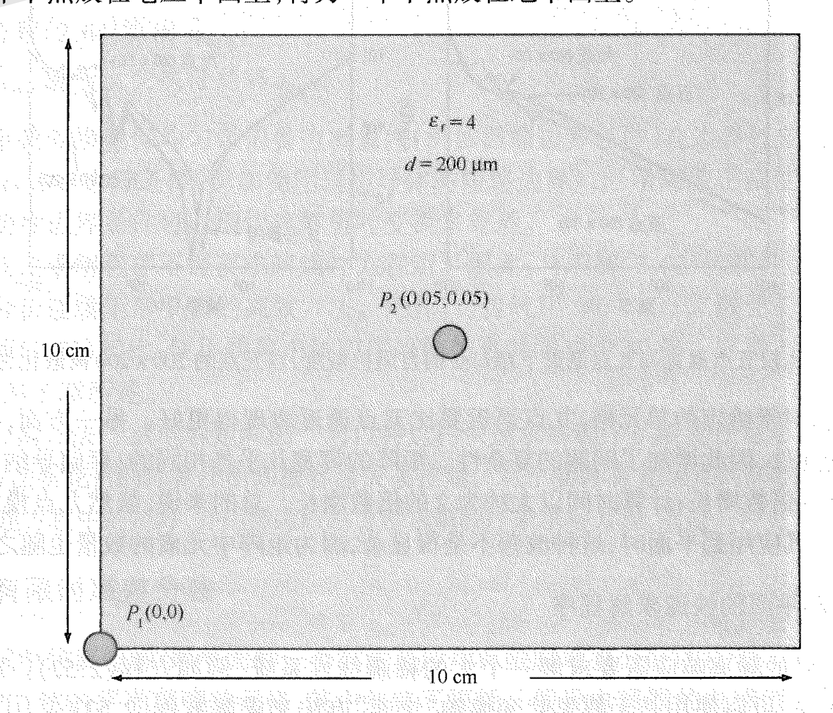


图2.35 比较五点和九点逼近的示例平面对

图 2.36 给出使用 100×100 单元格进行近似时的绝对误差。其中用 200×200 单元格的五点逼近法作为参考。就自阻抗而言，可以看出与五点逼近法相比，九点逼近法的效果更好，在几乎整个频带范围内引入的误差大约是五点逼近法的一半。然而，就转移阻抗而言，在高达 1 GHz 的情况下二者的逼近几乎一样。在更高的频率下，五点逼近似乎表现得更好，但在这些频率下误差已经太大了。

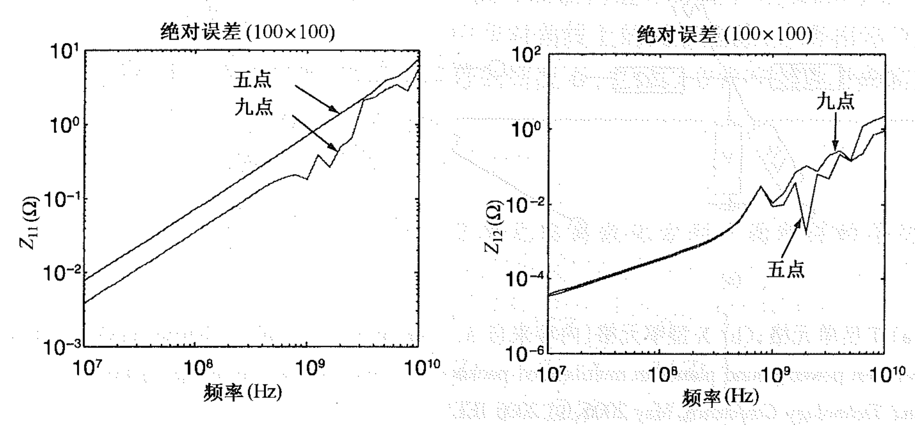


图 2.36 五点和九点逼近中的自阻抗与转移阻抗在幅度上的绝对误差

图 2.37 右半部分给出端口 2 的自阻抗幅度。在这个例子中采用了 20×20 的离散化。左图再次给出其绝对误差。虽然当两种情况都是 20×20 单元格时，九点离散化的表现优于五点离散化，但是当单元格尺寸增加至 50×50 时，五点离散化将会对误差的减小产生更深的影响。

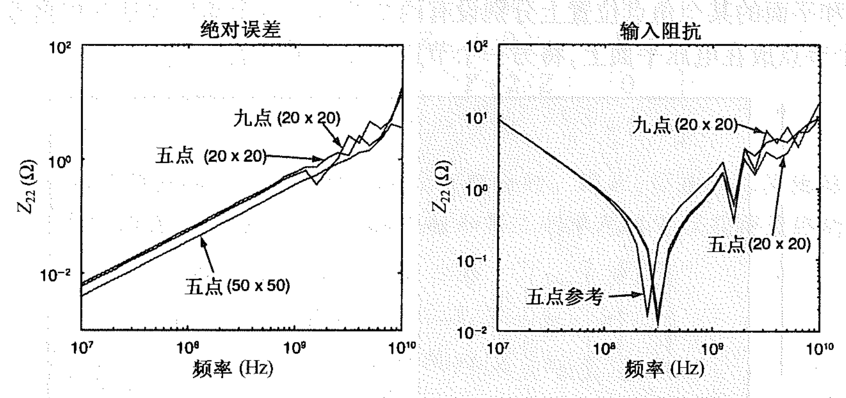


图 2.37 比较五点逼近与九点逼近下端口 2 的自阻抗幅度，以五点的 200×200 离散化为参考

一般而言，对于给定的单元格，九点逼近要比五点逼近表现得更好。另一方面，导纳矩阵中引入了额外的元件，因此增加了问题的复杂性。矩阵的带宽几乎是相同的；存储导纳矩阵所需的内存以小于 2 的倍数增长；计算时间以大约为 2 的倍数增长。总的来说，虽然九点模板似乎改善了结果，但是将其应用到平面时，这种改善不是很显著，因为矩阵中元素的数量也随之增加了。

2.5.1.3 矩形平面的快速求解程序

获得平面对的频率响应需要求解一个大的稀疏线性系统，例如方程(2.52)。对一个连续的矩形平面来说，可以使用基于傅里叶变换的“快速”方法来求解方程(2.52)[18]。二维离散余弦变换的定义为

$$\hat{u}_{m,n}=\alpha_m\alpha_n\sum_{i=0}^{I-1}\sum_{j=0}^{J-1}u_{i,j}\cos\frac{\pi(2i+1)m}{2I}\cos\frac{\pi(2j+1)n}{2J},\quad \begin{array}{l}m=0,1,\cdots,I-1\\ n=0,1,\cdots,J-1\end{array}$$

$$\alpha_m=\begin{cases}1/\sqrt{I}, & m=0\\ \sqrt{2/I}, & m=1,2,\cdots,I-1\end{cases}\qquad \alpha_n=\begin{cases}1/\sqrt{J}, & n=0\\ \sqrt{2/J}, & n=1,2,\cdots,J-1\end{cases} \tag{2.61}$$

二维离散余弦变换的反变换为

$$u_{i,j}=\sum_{m=0}^{I-1}\sum_{n=0}^{J-1}\alpha_m\alpha_n\hat{u}_{m,n}\cos\frac{\pi(2i+1)m}{2I}\cos\frac{\pi(2j+1)n}{2J},\quad \begin{array}{l}i=0,1,\cdots,I-1\\ j=0,1,\cdots,J-1\end{array}$$

$$\alpha_m=\begin{cases}1/\sqrt{I}, & m=0\\ \sqrt{2/I}, & m=1,2,\cdots,I-1\end{cases}\qquad \alpha_n=\begin{cases}1/\sqrt{J}, & n=0\\ \sqrt{2/J}, & n=1,2,\cdots,J-1\end{cases} \tag{2.62}$$

对方程(2.48)应用离散余弦变换得

$$\hat{u}_{m,n}\left(2\cos\frac{\pi m}{I}+2\cos\frac{\pi n}{J}-4+h^2k^2\right)=-h^2\,\mathrm{j}\omega\mu d\hat{J}_z \tag{2.63}$$

或

$$\hat{u}_{m,n}=\frac{-h^2\,\mathrm{j}\omega\mu d\hat{J}_z}{\left(2\cos\frac{\pi m}{I}+2\cos\frac{\pi n}{J}-4+h^2k^2\right)} \tag{2.64}$$

因此，对连续的矩形平面使用离散余弦变换求解赫姆霍兹方程的过程可以归纳为

- 计算等式右边($-h^2\mathrm{j}\omega\mu d\hat{J}_z$)的离散余弦变换；
- 从方程(2.64)算出 $\hat{u}_{m,n}$；
- 对 $\hat{u}_{m,n}$ 进行反变换得到解 $u_{i,j}$。

离散余弦变换确保均匀诺依曼边界条件(例如磁墙边界条件)在边界处成立。对于均匀狄利克雷(Dirichlet)边界条件(例如使用理想导体的短路边界)，可用离散正弦变换代替离散余弦变换。周期性边界条件可以用快速傅里叶变换来处理。

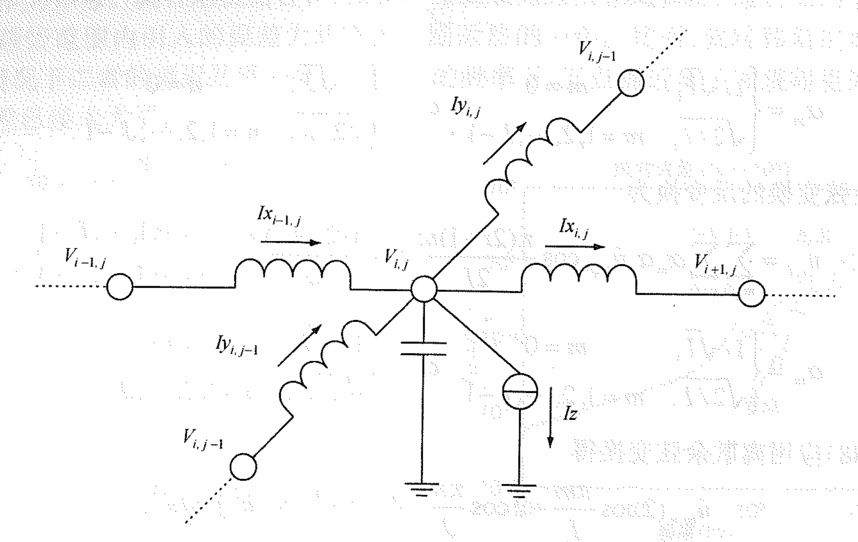
这个快速求解程序不需要求解线性方程组。因此，与求解(2.52)的线性方程组相比，它提供了一种分析连续矩形平面的高效方法。例如，与传统用 500×500 离散化的稀疏矩阵求解程序求解方程(2.52)相比，使用快速求解程序可使仿真时间减少 50 倍。这种方法可用来讨论材料特性，如第 5 章所述。

使用分割方法[19]或电容矩阵法[20]可以将这种快速求解程序扩展到任意形状的平面。然而，扩展这种方法所花费的计算开销却很容易失去控制。对于实际有复杂几何形状的电源/地平面结构，首先构建方程中的矩阵，并用稀疏线性方程求解程序来求解方程，则是一种更为实用的做法。

2.5.2 有限时域差分法

在时域中仿真电源/地平面的一个方法是应用有限时域差分(FDTD)法。图 2.38 给出了一个应用 FDTD 法的平面模型单元格，其中忽略了损耗。假设电感器的电感值为 L，电容器的电容值为 C。沿 x 方向加在电感器两端的电压可写成

$$L\frac{\mathrm{d}Ix_{i,j}}{\mathrm{d}t}=V_{i,j}-V_{i+1,j} \tag{2.65}$$



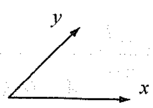


图 2.38　采用 FDTD 法的平面模型单元格

方程左端是对时间的导数，可以采用中间差分近似得到：

$$L\frac{\left(Ix_{i,j}^{t+\frac{\Delta t}{2}}-Ix_{i,j}^{t-\frac{\Delta t}{2}}\right)}{\Delta t}=V_{i,j}^{t}-V_{i+1,j}^{t} \tag{2.66}$$

或

$$Ix_{i,j}^{t+\frac{\Delta t}{2}}=Ix_{i,j}^{t-\frac{\Delta t}{2}}+\frac{\Delta t}{L}(V_{i,j}^{t}-V_{i+1,j}^{t}) \tag{2.67}$$

其中上标 t 表示时间，Δt 表示时间步长。利用此方程，所有沿 x 方向流过电感器的电流可由前一时间段的电流和电压得到。沿 y 方向流过电感器的电流可由类似的方程得到：

$$Iy_{i,j}^{t+\frac{\Delta t}{2}}=Iy_{i,j}^{t-\frac{\Delta t}{2}}+\frac{\Delta t}{L}(V_{i,j}^{t}-V_{i,j+1}^{t}) \tag{2.68}$$

利用前一时间段的电流和电压，可以将每个节点上的当前电压都及时地更新：

$$V_{i,j}^{t+\frac{\Delta t}{2}}=V_{i,j}^{t-\frac{\Delta t}{2}}+\frac{\Delta t}{C}\left[(Ix_{i-1,j}^{t}-Ix_{i,j}^{t})+(Iy_{i,j-1}^{t}-Iy_{i,j}^{t})-Iz_{i,j}^{t}\right] \tag{2.69}$$

其中 Iz 是加在电源平面的源电流。利用这些方程，电流和电压可以在每一个时间段上连续地更新。FDTD 算法的一个主要优点是，这些方程组不需要任何矩阵求逆。因此，从内存使用及计算复杂度方面考虑，它们可能非常有效。不过，这是一个有条件的稳定方法。为使 FDTD 算法稳定，时间步长应该足够小，以满足 Courant-Friedrich-Levy 稳定准则：

$$\Delta t<\frac{1}{c\sqrt{(1/\Delta x)^2+(1/\Delta y)^2}} \tag{2.70}$$

其中 c 是媒质中的光速，Δx、Δy 分别是沿 x 和沿 y 方向的网格尺寸。就图 2.38 所示的等效电路模型来说，稳定准则可改写为

$$\Delta t<\sqrt{\frac{LC}{2}} \tag{2.71}$$

这种稳定准则意味着通过使用更小的单元格对一个平面进行更好的离散化需要一个更小的时间步长，从而增加了总的仿真时间。

电源平面的频率响应也可以用 FDTD 和傅里叶变换方法得到。不过，平面初始激励后响应的稳定时间会很长。仿真的提前终止会导致频率响应不准确，因此仿真要运行相当长的时间。原因是电源平面的低损耗起到了高 Q 谐振器的作用。使用 FDTD 进行电源平面仿真时的另一个困难是损耗的引入，因为它们具有频率相关的特性。

举例

应用 FDTD 法对连续的方形电源/地平面对进行建模，该平面对由介电常数为 4 和厚度为 100 μm 的介质分开。平面在某一角点位置由一个三角脉冲电流源激励，如图 2.39 中的插图所示。在对面的角点位置观察到的电压如图 2.40 所示。FDTD 和 Spice 的仿真结果非常一致。在这个例子中使用了 10×10 的离散化，其中忽略了损耗。仿真结果表明，在平面初始激励后的一定时间段内输出电压是零，这是由于光速的有限性。时延可以由 $1.5\times10^8/(0.1\sqrt{2})\approx$ 1 ns 计算，它是输入点和输出点间的距离与介质中的光速的比值。此外，三角脉冲在 2 ns 处结束；不过，由于来自平面边界的反射，平面间的电压波动将继续存在。由于在模型中忽略了损耗，因此反射将继续而没有丝毫的衰减。

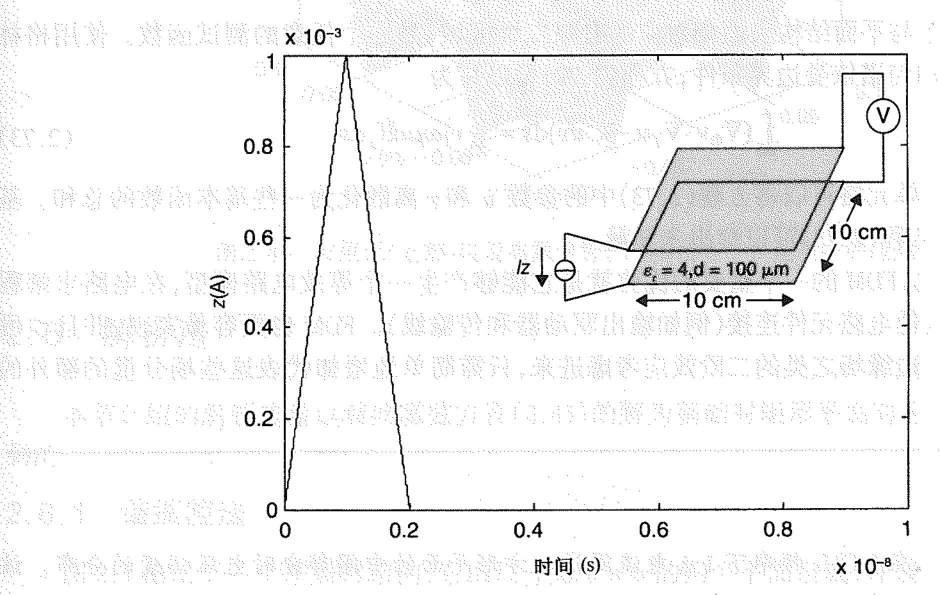


图 2.39　置于方形平面一角点的电流源，插图给出模拟装置

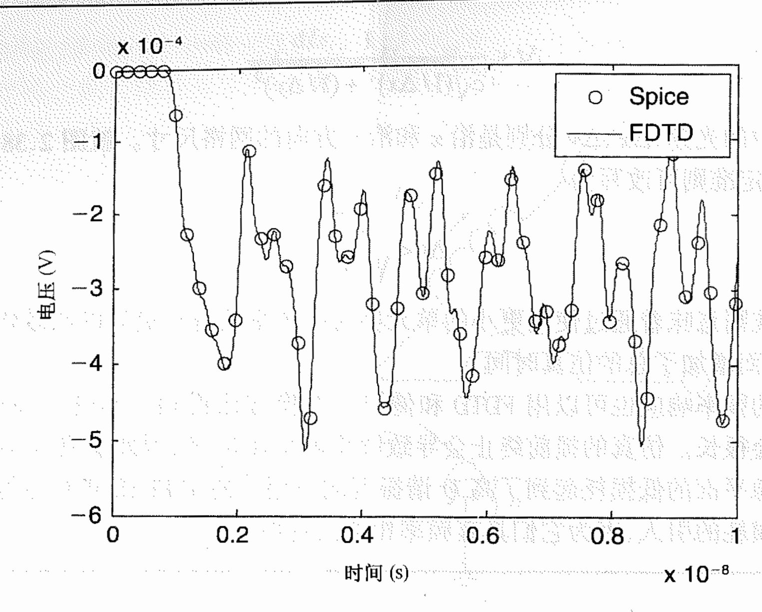


图 2.40　分别用 FDTD 和 Spice 计算探针点的电压

2.5.3　有限元法

FDM(有限差分法)假设整个平面可以使用方形单元格来离散化。在诺依曼边界条件下可以将 FDM 扩展到包含 x、y 两个方向上尺寸可变的网格长度和任意形状的边界的情况。另一种很容易应用到如有圆形边界的平面的方法就是 FEM(有限元法),因为三角形单元格可以在 FEM 中使用。

FEM 是基于差分方程变量形式的离散化,赫姆霍兹方程可写为

$$\int_{\Omega}(v\nabla_T^2 u + vk^2 u)\mathrm{d}s = \int_{\Omega} -v\mathrm{j}\omega\mu d J_z \mathrm{d}s \tag{2.72}$$

其中 Ω 代表一个与平面结构表面相对应的有限二维区域,是一个任意的测试函数。使用格林(Green)公式和均匀诺依曼边界条件,方程(2.72)可以写为

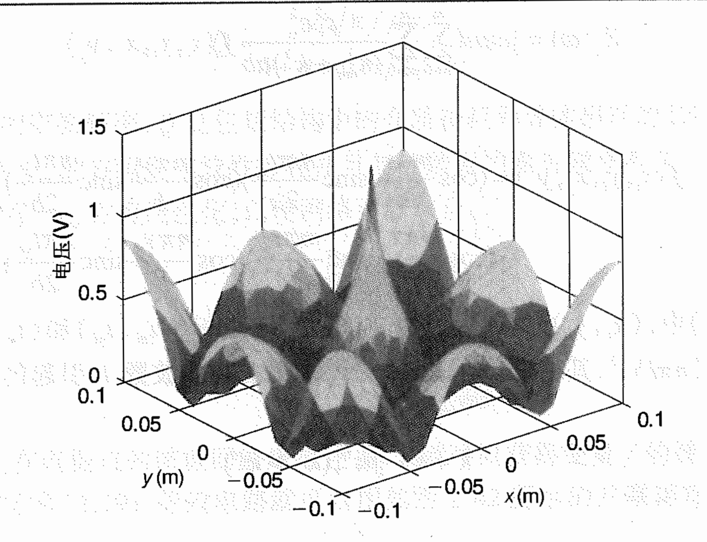
$$\int_{\Omega}(\nabla_T v\cdot\nabla_T u - k^2 uv)\mathrm{d}s = \int_{\Omega} v\mathrm{j}\omega\mu d J_z \mathrm{d}s \tag{2.73}$$

利用三角形单元格可以将方程(2.73)中的参数 u 和 v 离散化为一些基本函数的总和。基于这种离散化,方程(2.73)可以解出未知量 u。

与 FEM 相比,FDM 的一个重要的优势就是它能够产生一个等效电路模型,在电路求解程序中它可以与其他电路元件连接(例如输出驱动器和传输线)。FDM 也更容易实现,并且也可以把诸如间隙和边缘场之类的二阶效应考虑进来,只需简单地增加代表这些场分量的额外的电路元件即可。

举例

图 2.41 给出在 1 GHz 频率下 1 A 电流源注入方形平面的中间部分时电压幅度的分布。该平面几何结构除了平面边长为 20 cm 外与图 2.35 是一样的。在这个例子中忽略了损耗。图中网格是成阶层的。有限元分析的三角网格是显而易见的,尤其在电流源附近则更清楚。FEM 的结果是采用 MATLAB 的 pdetool 获得的[21]。



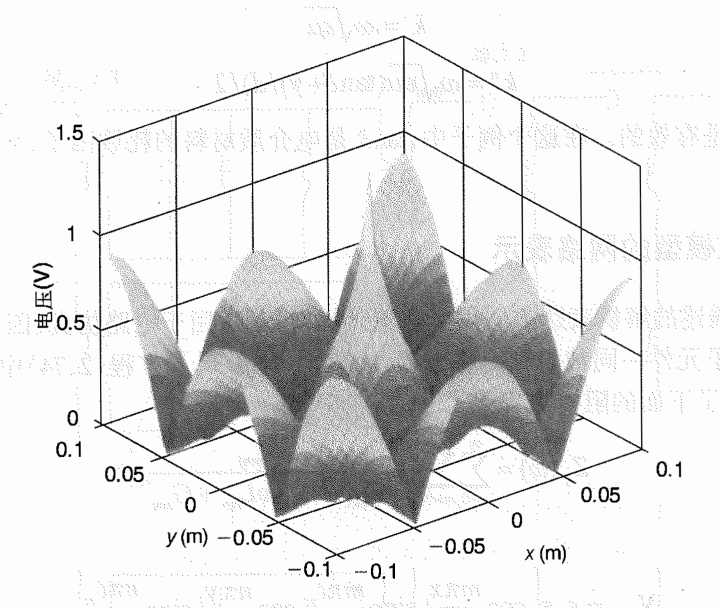


图 2.41　有限元(上部)以及有限差分(下部)法在平面建模中的应用

2.6　解析法

本节介绍的解析法是以赫姆霍兹方程(2.45)的解为基础对矩形平面对应用格林函数而得到的。

2.6.1　谐振腔法

图 2.1 给出了一个平面对结构,它由尺寸为 $a\times b$ 的两个平面组成,并被厚度为 d、介电常数为 ε 的电介质隔离开。

假设 a 和 b 都远大于 d，而 d 远小于 λ（波长）。对于所有的电子封装，包括单芯片和多芯片模块，这个假设都是成立的。那么平面上端口位置的阻抗矩阵 Z 为[22]

$$Z_{ij}(\omega)=\mathrm{j}\omega\mu d\sum_{n=0}^{\infty}\sum_{m=0}^{\infty}\frac{\varepsilon_n^2\varepsilon_m^2}{(k_{mn}^2-k^2)ab}f(x_i,y_i,x_j,y_j) \tag{2.74}$$

其中

$$\begin{aligned}f(x_i,y_i,x_j,y_j)=&(\cos\frac{m\pi x_i}{a}\operatorname{sinc}\frac{m\pi t_{xi}}{2a})(\cos\frac{n\pi y_i}{b}\operatorname{sinc}\frac{n\pi t_{yi}}{2b})\\&\times(\cos\frac{m\pi x_j}{a}\operatorname{sinc}\frac{m\pi t_{xj}}{2a})(\cos\frac{n\pi y_j}{b}\operatorname{sinc}\frac{n\pi t_{yj}}{2b})\end{aligned} \tag{2.75}$$

在方程(2.74)中，(x_i, y_i) 和 (x_j, y_j) 是端口位置的坐标，(t_{xi}, t_{yi}) 和 (t_{xj}, t_{yj}) 是端口尺寸，$k_{mn}^2=(m\pi/a)^2+(n\pi/b)^2$，其中 m、n 是平面的传输模式。由波数 k 引起的扰动是一种损耗，这里

$$k=k'-jk'',(k'\gg k'') \tag{2.76}$$

其中

$$k'=\omega\sqrt{\varepsilon\mu} \tag{2.77}$$

$$k''=\omega\sqrt{\varepsilon\mu}(\tan\delta+\gamma)/d)/2 \tag{2.78}$$

这对低损耗结构是有效的。在这个例子中，$\tan\delta$ 是电介质材料的耗散因子，γ 是电路中所用导体的趋肤深度。

2.6.2　谐振腔模型的网络表示

方程(2.74)描述的解析表达式适用于数值计算，但不适用于电路仿真，因为电路仿真中平面必须与其他电子元件一同被仿真。将方程(2.76)中的 k 代入方程(2.74)中，并假设 k' 远大于 k''，这样就产生了下面的阻抗方程[23][24]：

$$Z_{ij}(\omega)=\sum_{n=0}^{\infty}\sum_{m=0}^{\infty}\frac{N_{mni}N_{mnj}}{\mathrm{j}\omega C_{mn}+1/\mathrm{j}\omega L_{mn}+G_{mn}} \tag{2.79}$$

其中

$$N_{mni}=\varepsilon_m\varepsilon_n\cos\frac{m\pi x_i}{a}\operatorname{sinc}\frac{m\pi t_{xi}}{2a}\cos\frac{n\pi y_i}{b}\operatorname{sinc}\frac{n\pi t_{yi}}{2b} \tag{2.80}$$

$$N_{mnj}=\varepsilon_m\varepsilon_n\cos\frac{m\pi x_j}{a}\operatorname{sinc}\frac{m\pi t_{xj}}{2a}\cos\frac{n\pi y_j}{b}\operatorname{sinc}\frac{n\pi t_{yj}}{2b} \tag{2.81}$$

$$C_{mn}=\frac{\varepsilon ab}{d} \tag{2.82}$$

$$L_{mn}=\frac{d}{\varepsilon ab(2\pi f_{mn})^2} \tag{2.83}$$

$$f_{mn}=\frac{\sqrt{(m/a)^2+(n/b)^2}}{2\sqrt{\varepsilon\mu}} \tag{2.84}$$

$$G_{mn}=\frac{2\pi f C_{mn}}{Q} \tag{2.85}$$

$$Q=\frac{d\sqrt{\pi f\mu\sigma}}{1+d\tan\delta\sqrt{\pi f\mu\sigma}} \tag{2.86}$$

这里，f_{mn} 是该结构的谐振频率，Q 是包括结构中的介质损耗和导体损耗的品质因数。

上述关于电导 G_{mn} 的方程是非线性方程并且与腔谐振的固有频率有关。用谐振频率代替腔的固有频率可以使 G_{mn} 方程线性化，以便网络可以综合：

$$G_{mn}=\frac{2\pi f_{mn}C_{mn}}{Q_{mn}} \tag{2.87}$$

$$Q_{mn}=\frac{d\sqrt{\pi f_{mn}\mu\sigma}}{1+d\tan\delta\sqrt{\pi f_{mn}\mu\sigma}} \tag{2.88}$$

假设损耗可由在谐振点的谐振回路来描述，那么就可以获得变量 f 的线性化。因此，基于采用线性化 G_{mn} 的方程(2.79)，等效电路就可以用如图 2.42 所示的并联谐振电路和理想变压器来实现。

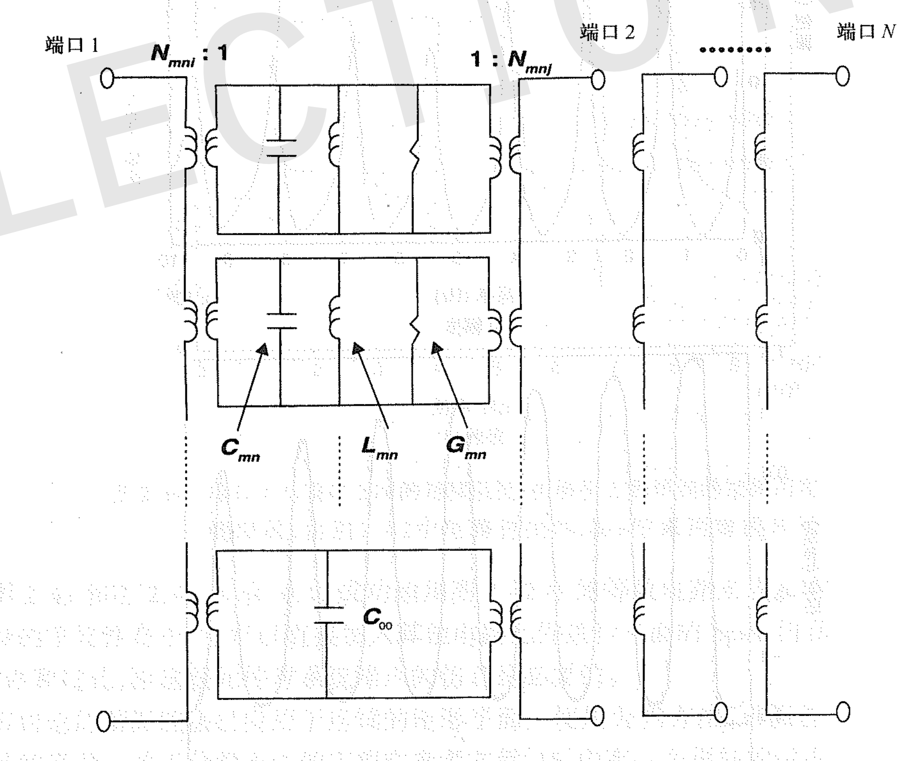


图 2.42　基于谐振腔法的平面对等效电路模型（内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE）

图 2.42 中的电路模型以平面波导理论为基础，在谐振频率附近电路特性可以用 C、L 和 G 参数来表示。由于平面表现为谐振腔，电容器 C 用来贮存电场能量，电感器 L 用来贮存磁场

能量,从而在谐振频率处两个元件之间会有能量的交换。电导 G 用来表示电路的损耗。这里,当 $m=n=0$ 时,谐振回路简化为与充放电相关的平面静态电容 C_{00}。这种模式可称为零频率谐振模式或静态模式。因此,C_{00}代表结构的静态电容。端口信息可由理想变压器端口 i 和端口 j 的匝数比 N_{mni} 和 N_{mnj} 来描述。通过将谐振电路并联更多的的外部端口,就可以产生多端口结构的等效电路,如图 2.42 所示。采用图 2.42 中的等效电路可以将平面对建模为通过变压器与谐振腔的各种固有模式相耦合的波导。

为了检查图 2.42 中电路模型的有效性,对图 2.1 中长度 $a=20$ in、宽度 $b=0.3$ in 的平面进行建模。该模型采用了 G_{mn} 的线性表示,用 Spice 仿真进行阻抗计算。将仿真结果与方程(2.74)所得结果进行比较。两种计算所用的模式都是 $0\leqslant m\leqslant 8$, $n=0$。绝缘体是介电常数为 4.7、电介质厚度为 4 mil 的 FR-4。图 2.43 和图 2.44 分别给出端口 1 的输入阻抗和端口 1 与端口 2 之间的转移阻抗,其中端口 1 和端口 2 的坐标分别是(0,0.15)和(20,0.15)。

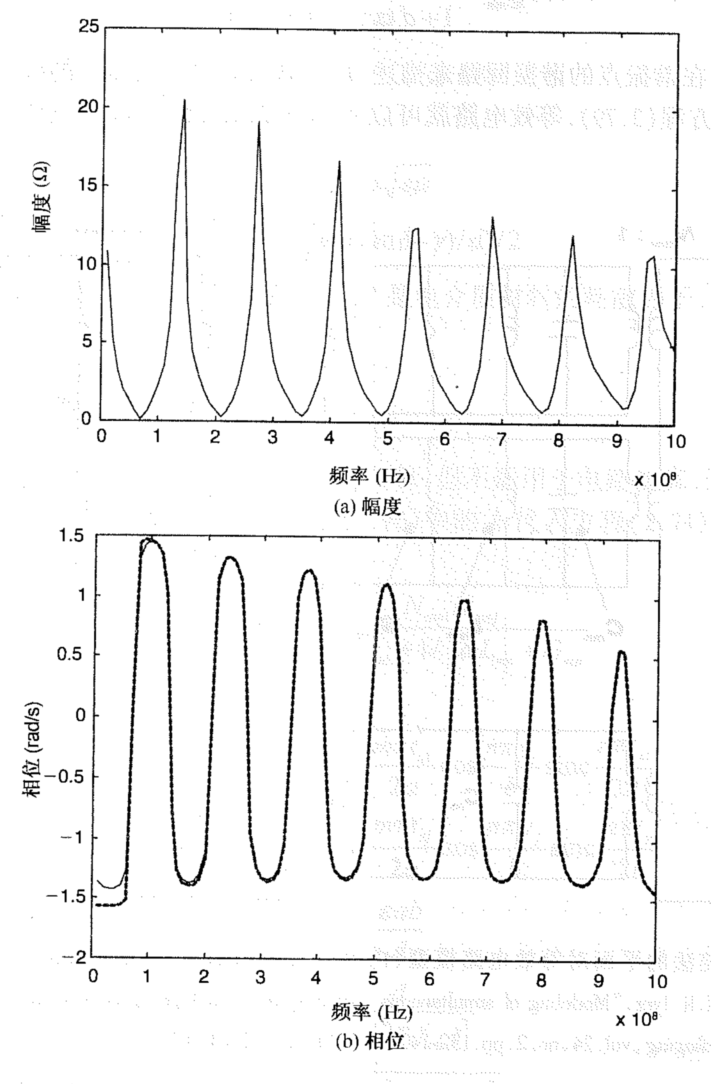


图 2.43 端口 1 的输入阻抗;由解析方程得到的结果用实线表示,由图2.42中电路得到的Spice结果用虚线表示

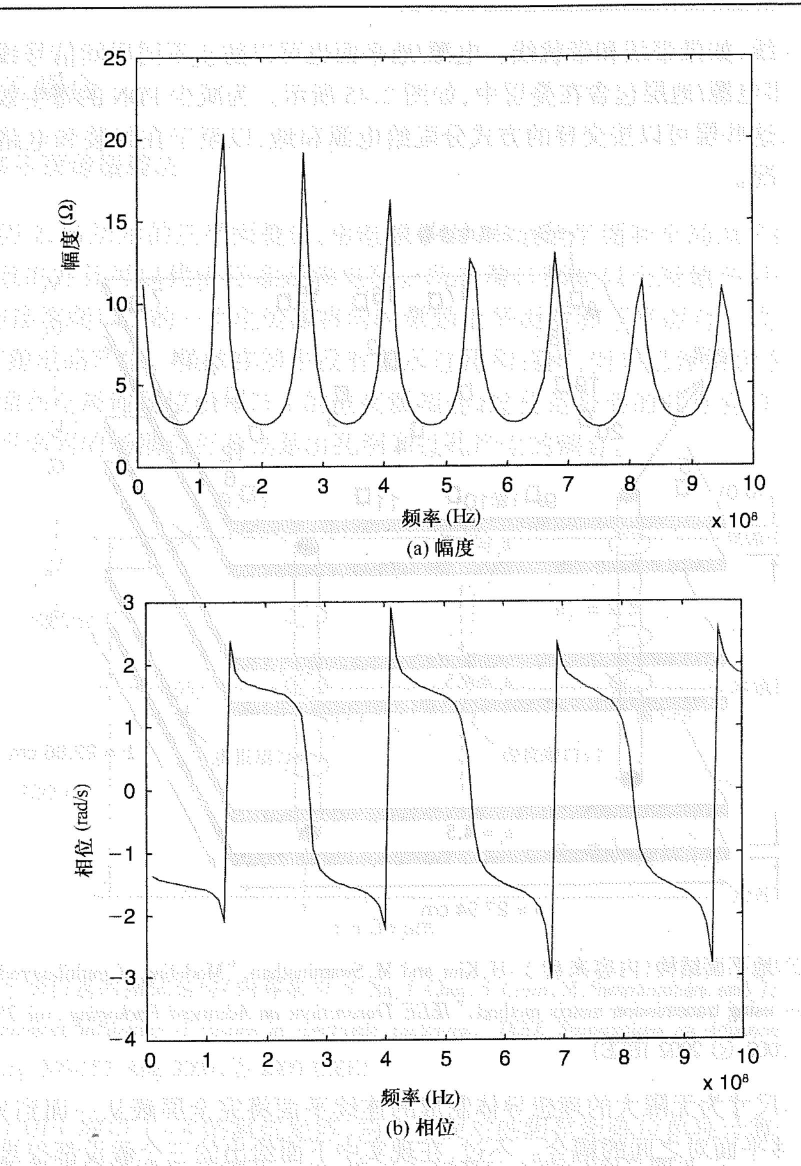


图 2.44 端口 1 与端口 2 间的转移阻抗;由解析方程得到的结果用实线表示,由图2.42中电路得到的Spice结果用虚线表示

如图 2.43 和图 2.44 所示,可以成功地用图 2.42 中的等效电路来表示方程(2.74)。谐振电路模型的重要性在于:它可以直接加入其他电路元件进行平面的 Spice 仿真,如驱动器、传输线、接插件和过孔,而这些元件对系统噪声的仿真是必要的。

本节讨论的谐振腔法已应用于连续的矩形平面。使用分割方法,谐振腔法也可用于任意几何形状的平面。关于分割方法的实现在参考文献[16]中有一个很好的讨论。

2.7 多平面对

一个高性能的数字系统可能包含数以千计的信号线,而在封装及印刷电路板中的这些信号线不得不分布在多个层上。这些信号层都必须放在电源/地平面之间或置于其上,以便获得

阻抗可控的传输线，如微带线和带状线。电源/地平面也可以防止不同层间信号线的耦合。因此，不得不将许多电源/地层包含在叠层中，如图 2.45 所示。为减少 PDN 的寄生效应(例如，减少平面的电感)，这些层可以按交替的方式分配给电源和地，以至于在封装和电路板中会出现多个平面对的情况。

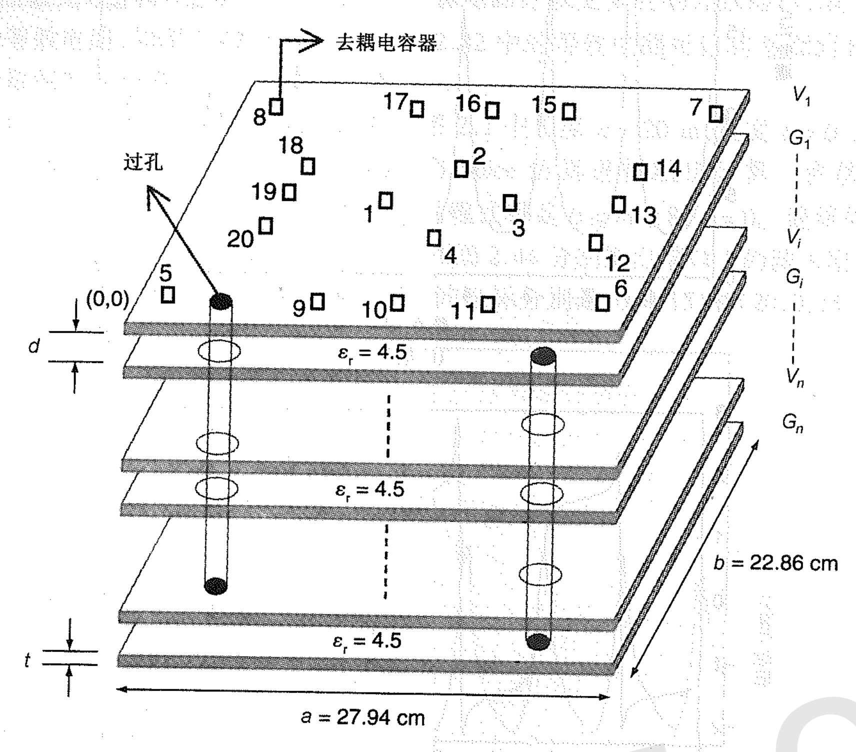


图 2.45　多层电源/地平面结构(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 25, no. 2, pp. 189-199, May 2002, © 2002 IEEE)

由一个横向尺寸为无限大的理想导体制成的连续平面将完全屏蔽从一面到另一面的场，因此，无须考虑多平面对之间的耦合。不过，在现实中下面给出的三个假设都很难成立：

1. **连续平面**：在多平面对例子中，有相同直流电平的平面必须用过孔连接起来，以减少平面的有效电感。这种过孔穿过不同直流电平平面上的孔洞时要避免短路。这样，由于这些过孔和孔洞，不同平面对上的场彼此耦合。多平面对在过孔的位置上变成分压器的关系。
2. **理想导体**：在现实中，平面的厚度有限，其电导率也有限。在低频时，平面厚度与趋肤深度相比不是非常大(小于 3 倍的趋肤深度，作为一个经验准则)，所以平面的屏蔽性能减弱了。从平面的一个面到另一面发生了显著的耦合，因为平面上的电流并不局限于表面，它可以大量地穿透到平面而到达另一面。
3. **无穷大平面**：在实际应用中的电源/地平面有不规则的几何形状。平面可以有狭缝和洞，并且不同平面对中的场可以按照平面边缘环绕电流的方式通过孔径进行耦合。

以下各节将讨论多平面对的建模方法，以预测由上述三个主要原因所引起的耦合。

2.7.1　过孔耦合

2.7.1.1　多平面谐振腔法

考虑如图 2.46 所示的三平面叠层，由电源平面、本地地平面和全局地平面组成[25]。平面的电平是任意的并且可以代表任意逻辑电压。所有端口都是以全局地平面作为参考来定义的。因此，连接至端口 1 的一个电流源将同时激励上平面对和下平面对。该电流源由封装顶部 IC 中的有源电路产生。虽然在图中没有显示过孔和孔洞，但它已经隐含在端口的定义中：为与电源平面和全局地间位于端口 1 的电流源相连，过孔是必要的并且应该穿过位于本地地的孔洞。在平面间的场耦合可看成是由孔洞和过孔产生的耦合。

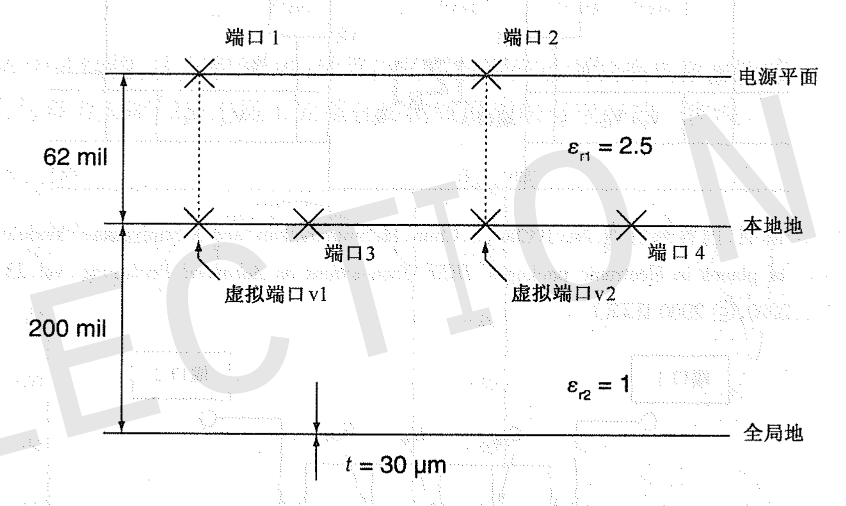


图 2.46　多层平面仿真的测试结构(内容来自 N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinivasan, "Modeling and transient simulation of planes in electronic packages," *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 340-352, Aug. 2000, © 2000 IEEE)

为了产生四个端口 1～4 的阻抗矩阵，两个平面对的阻抗矩阵应单独计算然后合并。对于由电源平面和本地地平面组成的平面对，端口 1 和端口 2 的阻抗计算为

$$\overline{\overline{Z_A}} = \begin{bmatrix} Z_{a11} & Z_{a12} \\ Z_{a21} & Z_{a22} \end{bmatrix} \tag{2.89}$$

假设两个虚拟端口 v1 和 v2 在本地地平面上，并且在端口 1 和端口 2 的正下方，那么对于由本地地和全局地组成的平面对，四个端口 v1、v2、v3、v4 的阻抗矩阵可以由下式计算：

$$\overline{\overline{Z_B}} = \begin{bmatrix} Z_{b11} & Z_{b12} & Z_{b13} & Z_{b14} \\ Z_{b21} & Z_{b22} & Z_{b23} & Z_{b24} \\ Z_{b31} & Z_{b32} & Z_{b33} & Z_{b34} \\ Z_{b41} & Z_{b42} & Z_{b43} & Z_{b44} \end{bmatrix} \tag{2.90}$$

在方程(2.89)和方程(2.90)中，阻抗是用前面讨论过的谐振腔法计算的。其他的方法，如 TMM、FDM、FEM，也可以用于阻抗计算。图 2.46 中测试装置的等效网络表示如图 2.47 所示。

也可以获得基于方程(2.79)的电路模型表示，如图 2.48 所示。由图 2.47 可知，平面结构的电流－电压关系如下：

$$i_1 = i_{a1} = i_{b1},\quad i_2 = i_{a2} = i_{b2},\quad i_3 = i_{b3},\quad i_4 = i_{b4},$$
$$V_1 = V_{a1} + V_{b1},\quad V_2 = V_{a2} + V_{b2} \tag{2.91}$$

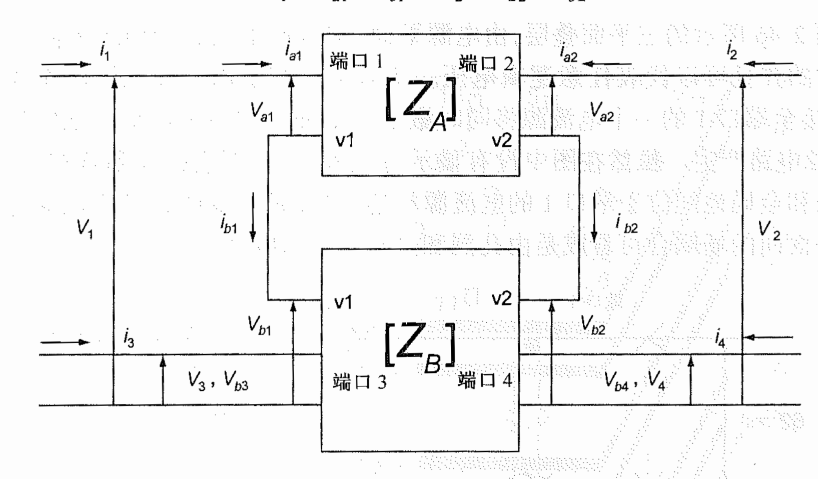


图 2.47 等效网络模型(内容来自 N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinivasan, "Modeling and transient simulation of planes in electronic packages" *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 340-352, Aug. 2000, © 2000 IEEE)

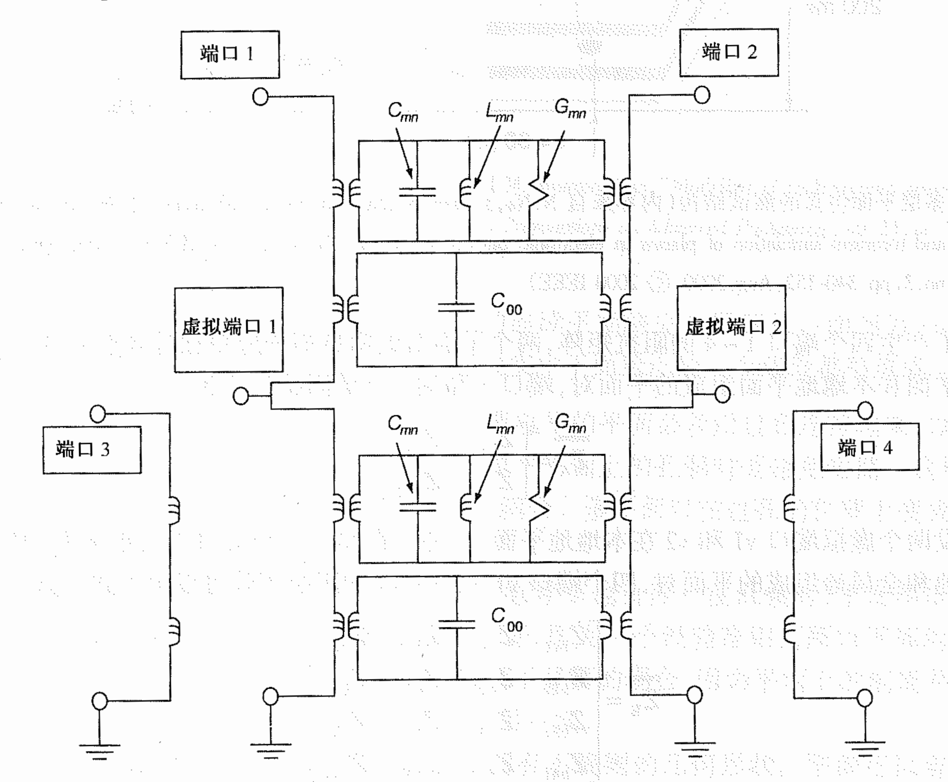


图 2.48 等效电路模型(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

利用方程(2.91)可以将方程(2.90)中的阻抗矩阵与方程(2.89)中的矩阵合并，由此产生一个新的矩阵：

$$\overline{\overline{Z}} = \begin{bmatrix} Z_{11} & Z_{12} & Z_{13} & Z_{14} \\ Z_{21} & Z_{22} & Z_{23} & Z_{24} \\ Z_{31} & Z_{32} & Z_{33} & Z_{34} \\ Z_{41} & Z_{42} & Z_{43} & Z_{44} \end{bmatrix} = \begin{bmatrix} (Z_{a11}+Z_{b11}) & (Z_{a12}+Z_{b12}) & Z_{b13} & Z_{b14} \\ (Z_{a21}+Z_{b21}) & (Z_{a22}+Z_{b22}) & Z_{b23} & Z_{b24} \\ Z_{b31} & Z_{b32} & Z_{b33} & Z_{b34} \\ Z_{b41} & Z_{b42} & Z_{b43} & Z_{b44} \end{bmatrix} \tag{2.92}$$

对于图 2.46 中的结构，从方程(2.92)计算出的阻抗矩阵已经变换成散射矩阵。图 2.49 中的结果表明了它与参考文献[26]中提出的耦合传输线模型法有很好的一致性。

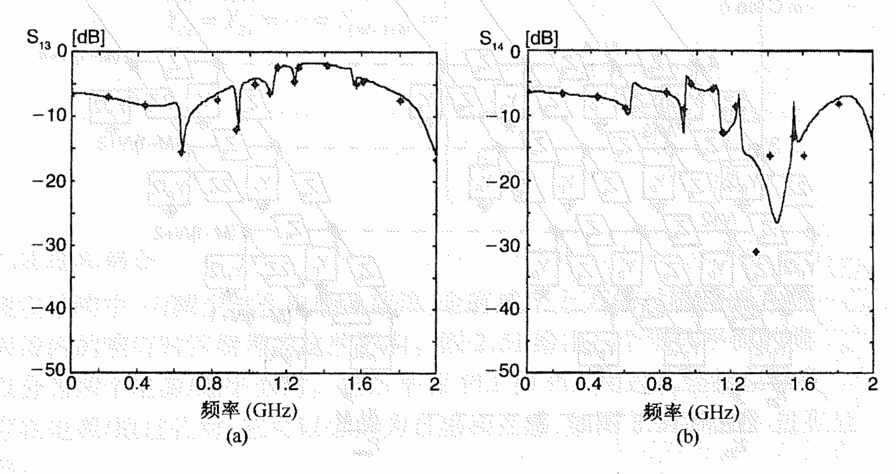


图 2.49 谐振腔法(实线)与耦合传输线模型法(星线)的结果比较：(a) S_{13}；(b) S_{14}(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

2.7.1.2 多平面的传输矩阵法(TMM)

如图 2.50 所示，采用基于 π 型单元格的 RLCG 元件分布式网络，可把每个矩形平面对划分为$(M-1)\times(N-1)$个单元格[27]。这$(M-1)\times(N-1)$个单元格可以用由$(M\times N)$个输入端口和$(M\times N)$输出端口形成的一个$2(M\times N)\times 2(M\times N)$的矩阵来表示。由图 2.50 可知，输入端口的排序为 1 至$(M\times N)$，输出端口的排序为$(M\times N)+1$至$2(M\times N)$。与方程(2.13)类似，$2(M\times N)$端口网络的传输矩阵可以由节点电压和端口电流得到，如下所示：

$$\begin{bmatrix} \overline{V_{in}} \\ \overline{I_{in}} \end{bmatrix} = \begin{bmatrix} \overline{\overline{T_A}} & \overline{\overline{T_B}} \\ \overline{\overline{T_C}} & \overline{\overline{T_D}} \end{bmatrix} \begin{bmatrix} \overline{V_{out}} \\ \overline{I_{out}} \end{bmatrix} \tag{2.93}$$

其中

$$\overline{\overline{T}}=\begin{bmatrix}\overline{\overline{T_A}} & \overline{\overline{T_B}}\\ \overline{\overline{T_C}} & \overline{\overline{T_D}}\end{bmatrix}=\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ \overline{\overline{C_p}} & \overline{\overline{1}}\end{bmatrix} \tag{2.94}$$

和

$$\overline{V_{in}}=\begin{bmatrix}V_1\\V_2\\ \vdots\\V_{M\times N}\end{bmatrix},\quad \overline{I_{in}}=\begin{bmatrix}I_1\\I_2\\ \vdots\\I_{M\times N}\end{bmatrix},\quad \overline{V_{out}}=\begin{bmatrix}V_{M\times N+1}\\V_{M\times N+2}\\ \vdots\\V_{2(M\times N)}\end{bmatrix},\quad \overline{I_{out}}=\begin{bmatrix}I_{M\times N+1}\\I_{M\times N+2}\\ \vdots\\I_{2(M\times N)}\end{bmatrix} \tag{2.95}$$

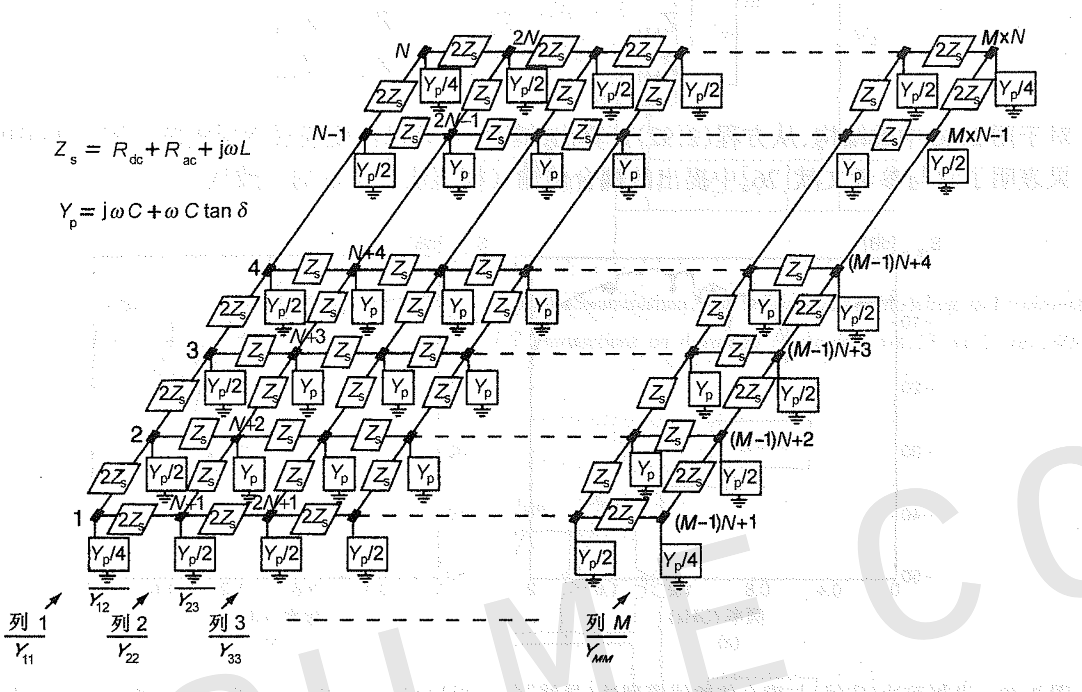


图 2.50 电源/地平面对的等效电路(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.25, no.2, pp.189-199, May 2002, © 2002 IEEE)

矩阵$\overline{\overline{C_p}}$只是图 2.50 中网络的节点导纳矩阵,并且可以由观察得到(以 π 型单元格为例):

$$\overline{\overline{C_p}}=\begin{bmatrix}\overline{\overline{Y_{11}}} & -\overline{\overline{Y_{12}}} & \overline{\overline{0}} & \overline{\overline{0}} & \cdots\\ -\overline{\overline{Y_{12}}} & \overline{\overline{Y_{22}}} & -\overline{\overline{Y_{23}}} & \overline{\overline{0}} & \cdots\\ \overline{\overline{0}} & -\overline{\overline{Y_{23}}} & \overline{\overline{Y_{33}}} & -\overline{\overline{Y_{34}}} & \cdots\\ \vdots & \vdots & \vdots & \ddots & \cdots\\ \overline{\overline{0}} & \overline{\overline{0}} & \overline{\overline{0}} & \cdots & \overline{\overline{Y_{MM}}}\end{bmatrix} \tag{2.96}$$

其中

$$\overline{\overline{Y_{11}}}=\overline{\overline{Y_{MM}}}=\frac{1}{2}\overline{\overline{Y_{22}}}=\frac{1}{2}\overline{\overline{Y_{33}}}=\cdots=\frac{1}{2}\overline{\overline{Y_{(M-1)(M-1)}}}$$

$$=\begin{bmatrix}\frac{Y_p}{4}+\frac{1}{Z_s} & -\frac{1}{2Z_s} & 0 & \cdots & 0 & 0\\ -\frac{1}{2Z_s} & \frac{Y_p}{2}+\frac{2}{Z_s} & -\frac{1}{2Z_s} & \cdots & 0 & 0\\ \vdots & \vdots & \vdots & \ddots & \ddots & \vdots\\ 0 & 0 & \cdots & \ddots & \frac{Y_p}{2}+\frac{2}{Z_s} & -\frac{1}{2Z_s}\\ 0 & 0 & \cdots & & -\frac{1}{2Z_s} & \frac{Y_p}{4}+\frac{1}{Z_s}\end{bmatrix} \tag{2.97}$$

$$\overline{\overline{Y_{12}}}=\overline{\overline{Y_{23}}}=\cdots=\overline{\overline{Y_{(M-1)M}}}=\begin{bmatrix}\frac{1}{2Z_s} & & & & 0\\ & \frac{1}{Z_s} & & & \\ & & \ddots & & \\ & & & \frac{1}{Z_s} & \\ 0 & & & & \frac{1}{2Z_s}\end{bmatrix} \tag{2.98}$$

过孔及过孔耦合

在现实结构中,为减少过孔电感及散热,会有成千上万的过孔连接。对于高时钟速率,当计算高频段内的响应时需要考虑这些影响。图 2.51 给出三个导体平面的侧视图,这三个导体平面可以分为两个电源/地平面对。电压平面 PL1 和 PL3 用过孔连接以获得相同的电位。这里假定存在电源/地过孔对,它可以分解为自感和互感,如图 2.51 所示。过孔的传输矩阵可由下式得到:

$$\overline{\overline{T_{via}}}=\begin{bmatrix}\overline{\overline{T_A}} & \overline{\overline{T_B}}\\ \overline{\overline{T_C}} & \overline{\overline{T_D}}\end{bmatrix}=\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{B_{via}}}\\ \overline{\overline{0}} & \overline{\overline{1}}\end{bmatrix} \tag{2.99}$$

其中$\overline{\overline{B_{via}}}$是一个代表过孔电感和电阻的阻抗矩阵,并且可以由准静态求解程序得到。这一结果是基于图 2.51 得到的,其中方程(2.93)中的电压和电流向量是彼此相关的,在过孔的例子中其关系为$\overline{V_{in}}=\overline{V_{out}}+\overline{\overline{B_{via}}}\,\overline{I_{out}}$,$\overline{I_{in}}=\overline{I_{out}}$。

互感可以在空间分隔点之间瞬时地耦合能量;但是,在分布式系统中,必须考虑时延。因此,为确保电磁波以有限的时间在空间分隔点间传输,必须将时延考虑到$\overline{\overline{B_{via}}}$中。参考文献[27]表明,相距很远过孔间的互感对频率响应的影响已经微乎其微,因此可以忽略。

去耦电容器

在 TMM 中,用传输矩阵可以很容易将去耦电容器的影响包括在内:

$$\overline{\overline{T_{cap}}}=\begin{bmatrix}\overline{\overline{T_A}} & \overline{\overline{T_B}}\\ \overline{\overline{T_C}} & \overline{\overline{T_D}}\end{bmatrix}=\begin{bmatrix}\overline{\overline{1}} & \overline{\overline{0}}\\ \overline{\overline{C_{cap}}} & \overline{\overline{1}}\end{bmatrix} \tag{2.100}$$

其中$\overline{\overline{C_{cap}}}$是对角矩阵，在连接去耦电容器的节点处输入是非零的。那些输入是相应电容器的导纳，并可以包括一些电容器的寄生效应，如等效串联电感和电阻。去耦电容器实质上与相应节点处平面的平行板电容相并联。因此，用$\overline{\overline{T_{cap}}}$乘以方程(2.94)中的$\overline{\overline{T}}$所得的表达式就等价于$\overline{\overline{C_p}}$加上$\overline{\overline{C_{cap}}}$。由于这个加法要比单个 ABCD 矩阵的相乘容易得多，因此，下节将直接在方程(2.94)中把电容导纳相加。

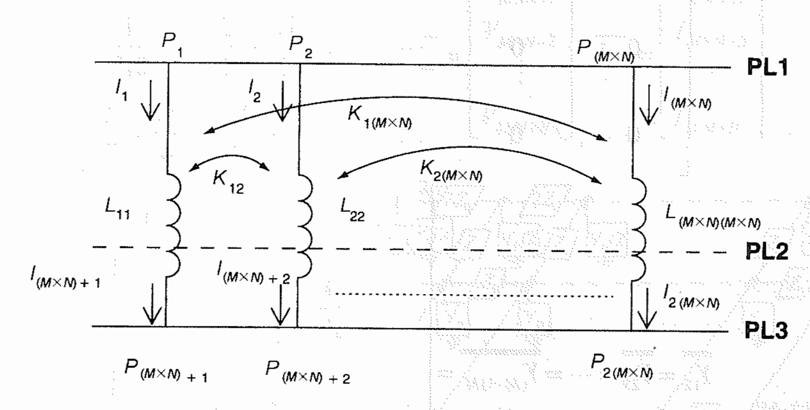


图 2.51 含过孔的电源/地平面侧视图(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.25, no.2, pp.189-199, May 2002, © 2002 IEEE)

总响应的计算

如果整个 PDN 由两个或两个以上网络级联组成，其传输矩阵可以通过单个矩阵的相乘得到。对于图 2.45 中的多层矩形平面，由于平面、过孔及去耦电容器的各个矩阵都有相同的大小，所以整个几何模型的响应可以表示为单个矩阵。这样，端口网络级联的方框图表示与单个平面对的方框图表示是一样的，如图 2.19 所示。图中根据输入和输出端口将整个系统划分为三块，与方框图对应的传输矩阵可以用下式表示：

$$\begin{aligned}
\overline{\overline{T_l}} &= \begin{bmatrix} \overline{\overline{A_l}} & \overline{\overline{B_l}} \\ \overline{\overline{C_l}} & \overline{\overline{D_l}} \end{bmatrix} \\
&= \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_1 \times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{B_{via}}} \\ \overline{\overline{0}} & \overline{\overline{I}} \end{bmatrix}_{1,2} \\
&\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_2 \times\cdots\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_l \times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{B_{via}}} \\ \overline{\overline{0}} & \overline{\overline{I}} \end{bmatrix}_{l,l+1}
\end{aligned} \qquad (2.101)$$

$$\begin{aligned}
\overline{\overline{T_m}} &= \begin{bmatrix} \overline{\overline{A_m}} & \overline{\overline{B_m}} \\ \overline{\overline{C_m}} & \overline{\overline{D_m}} \end{bmatrix} \\
&= \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_{l+1} \times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{B_{via}}} \\ \overline{\overline{0}} & \overline{\overline{I}} \end{bmatrix}_{l+1,l+2} \\
&\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_{l+2} \times\cdots\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_{l+m}
\end{aligned} \qquad (2.102)$$

$$\begin{aligned}
\overline{\overline{T_n}} &= \begin{bmatrix} \overline{\overline{A_n}} & \overline{\overline{B_n}} \\ \overline{\overline{C_n}} & \overline{\overline{D_n}} \end{bmatrix} \\
&= \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{B_{via}}} \\ \overline{\overline{0}} & \overline{\overline{I}} \end{bmatrix}_{l+m,l+m+1} \times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_{l+m+1} \\
&\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{B_{via}}} \\ \overline{\overline{0}} & \overline{\overline{I}} \end{bmatrix}_{l+m+1,l+m+2} \times\cdots\times \begin{bmatrix} \overline{\overline{I}} & \overline{\overline{0}} \\ \overline{\overline{C_p}}+\overline{\overline{C_{cap}}} & \overline{\overline{I}} \end{bmatrix}_{l+m+n}
\end{aligned} \qquad (2.103)$$

其中 l、m 和 n 代表电源/地平面对的数量。多输入和输出端口的整个阻抗矩阵可以利用方程(2.20)计算如下：

$$\overline{\overline{Z_A}} = \overline{\overline{R_n}} \times \overline{\overline{C_{inv}}} \times \overline{\overline{D_l}}, \quad \overline{\overline{Z_D}} = \overline{\overline{A_n}} \times \overline{\overline{C_{inv}}} \times \overline{\overline{R_l}}, \quad \overline{\overline{Z_B}} = \overline{\overline{Z_C}} = \overline{\overline{A_n}} \times \overline{\overline{C_{inv}}} \times \overline{\overline{D_l}} \qquad (2.104)$$

其中

$$\overline{\overline{C_{inv}}} = \left(\begin{bmatrix} \overline{\overline{C_l}} & \overline{\overline{D_l}} \end{bmatrix} \times \begin{bmatrix} \overline{\overline{A_m}} & \overline{\overline{B_m}} \\ \overline{\overline{C_m}} & \overline{\overline{D_m}} \end{bmatrix} \times \begin{bmatrix} \overline{\overline{A_n}} \\ \overline{\overline{C_n}} \end{bmatrix} \right)^{-1} \qquad (2.105)$$

$$\overline{\overline{R_n}} = \overline{\overline{A_m}} \times \overline{\overline{A_n}} + \overline{\overline{B_m}} \times \overline{\overline{C_n}} \qquad (2.106)$$

$$\overline{\overline{R_l}} = \overline{\overline{C_l}} \times \overline{\overline{B_m}} + \overline{\overline{D_l}} \times \overline{\overline{D_m}} \qquad (2.107)$$

测试结构

测试结构由 5 个 27.94 cm×22.86 cm 的电源/地矩形平面对组成，并由介电常数为 4.5 的 FR-4 电介质隔开。其中 V_1/G_1、V_2/G_2、V_3/G_2 的介质厚度为 109.22 μm，V_2/G_1 和 V_3/G_3 平面对的介质厚度为 337.82 μm。图 2.45 给出了平面叠层的细节。导体平面为厚度为 30 μm 的铜($\sigma = 5.8\times10^7$ S/m)，电介质在 1 GHz 下耗散因子为 0.02。激励端口(端口 1)位于(x = 13.8 cm, y = 11.25 cm)处，观测端口(端口 2)位于 V_1 和 G_1 平面间的(x = 2 cm, y = 2 cm)处。三种共 32 个去耦电容器(C = 47 nF, ESL = 1 nH, ESR = 0.1 Ω; C = 10 nF, ESL = 1 nH, ESR = 0.1 Ω; C = 20 μF, ESL = 10 nH, ESR = 0.1 Ω)加入到 V_1 和 G_1 平面之间，其位置如图 2.45 中矩形点所示。和去耦电容器在相同位置的 20 个纵向过孔将电源平面与电源平面、地平面与地平面连接，以确保电压平面和地平面分别有相同的电位。

为验证传输矩阵法的准确性，将其结果与前面介绍的谐振腔模型进行比较。图 2.52 给出端口 1 和端口 2 之间的转移阻抗。在这个例子中，没有考虑过孔电感。每个平面对连接一个阻值很小(1 μΩ)的电阻器，此电阻器可以近似为短路。作为比较，在谐振腔模型中传输模式设置为 m = 6 和 n = 5。如图 2.52 所示，这两种方法在频带范围为 1 GHz 范围内表现出很好的一致性。

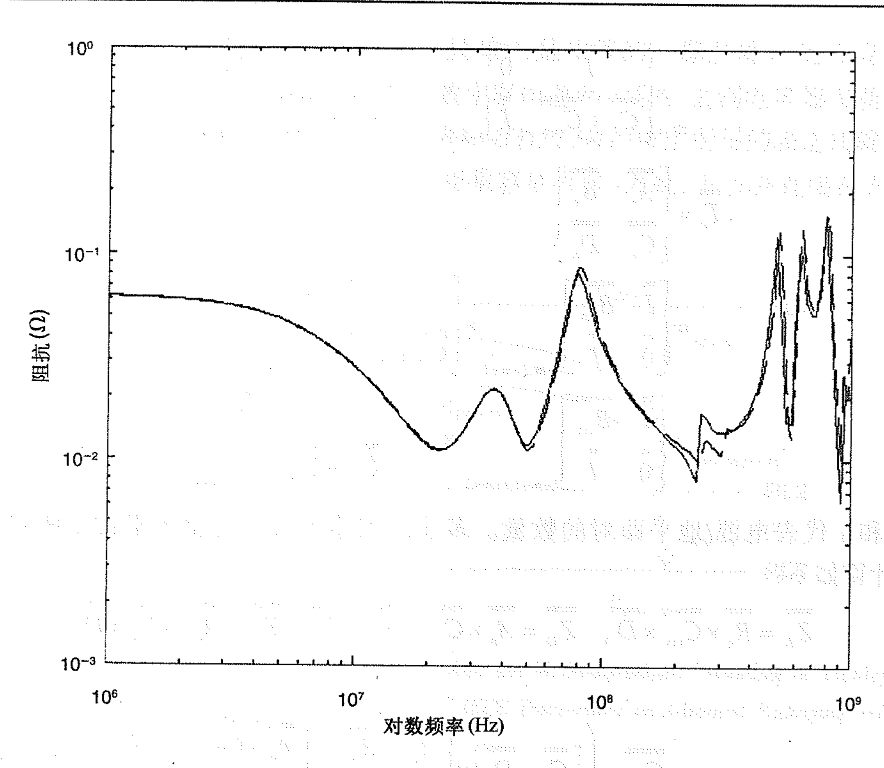


图 2.52 不考虑过孔影响时的阻抗:传输矩阵法(实线)和谐振腔法(虚线)(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.25, no.2, pp.189-199, May 2002, © 2002 IEEE)

过孔对多层电源/地平面的影响

多层 PDN 包含数以千计的过孔连接,过孔是多层 PDN 中一种常见的突变。为准确地对这种多层结构建模,当 PDN 的频带增加时就必须考虑过孔的影响。因为过孔可以用电感表示,所以在高频范围内 PDN 的阻抗受其影响,并且 PDN 的谐振频率会降低。

为量化含过孔的多层电源分配平面的影响,对由十个平面对组成多层网络的三个例子进行比较:

1. 过孔表示为短路;
2. 过孔表示为自感;
3. 过孔表示为自感和互感。

每个二维平面对通过垂直过孔连接。测试结构由 10 个电源/地矩形平面对组成,这些平面由厚度为 223.56 μm 的 FR-4 电介质隔开,FR-4 在 1 GHz 时的相对介电常数为 4.5,耗散因子为 0.02。平面的尺寸与图 2.45 中的相同。导体平面由厚度为 30 μm 的铜($\sigma = 5.8\times10^7$ S/m)制成。使用尺寸为 7.62 mm × 7.62 mm 的单元格可将该 PDN 划分为 37 × 30 个单元格,由此产生单一方形传输矩阵的大小为 2356 × 2356。激励端口(端口 1)位于($x = 0$ cm,为 $y = 0$ cm),观察端口(端口 2)位于 10 个平面对中 V_1 和 G_1 间(顶层平面对)的($x = 13.94$ cm,$y = 11.43$ cm)处。在 V_1 和 G_1 平面之间加入去耦电容器,其值由前面的测试结构描述,其位置如图 2.45 的矩形点所示。使用电感提取程序 FastHenry[2] 提取出过孔的自感(0.11 nH)和过孔间的互感,并引入传输矩阵中。因为垂直层间的耦合系数很小,所以在计算中可以忽略。

图 2.53 给出每个结构在含有和不含去耦电容器时的仿真阻抗,在 10 对平面的仿真中,过孔分别用短路、自感及自感和互感来建模。在仿真中,过孔随机分布(20 个过孔)。如图 2.53 所示,在三个例子中,随着频率的增加,零谐振频率和自阻抗都将受过孔的影响。有过孔电感的多层电源/地平面与那些没有过孔电感的多层电源/地平面有相同的峰值谐振频率,因为过孔电感与平面电容相耦合,它们也有额外的谐振频率。有自感和互感的阻抗幅度与仅有自感的阻抗幅度接近,但由于额外的互感导致额外的谐振频率稍微降低。根据隔离度和过孔数量,电源/地过孔对间的耦合系数会对 PDN 产生二次效应。如图 2.53(b)所示,由于引入了去耦电容器,低频阻抗和峰值谐振频率的幅度就会减小。然而,在高频段内的阻抗与那些没有去耦电容器时很接近。

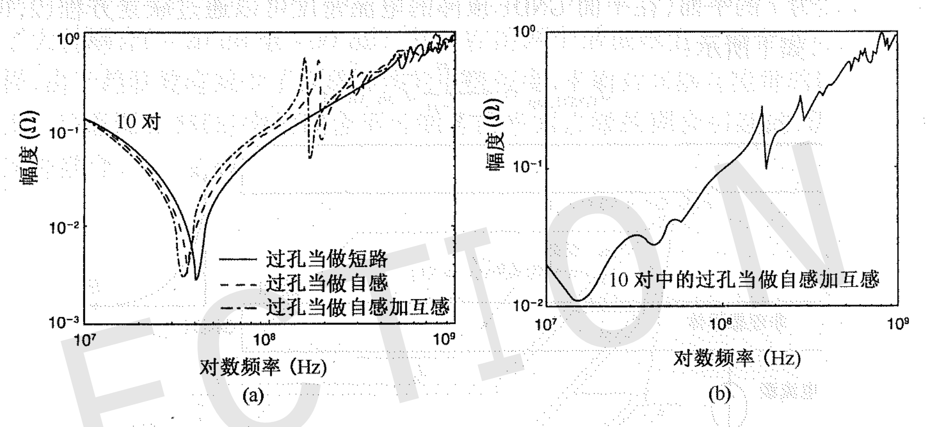


图 2.53 含有与不含去耦电容器时阻抗的幅度,过孔是随机连接的:(a) 端口 2 没有去耦电容器的自阻抗;(b) 端口 2 有去耦电容器的自阻抗(内容来自 J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol.25, no.2, pp.189-199, May 2002, © 2002 IEEE)

2.7.2 导体耦合

一般假设多层平面对结构中的平面对是彼此孤立的。假设趋肤效应很明显且平面层间没有导体耦合,如前几节所描述的那样,单个平面对的解就可以扩展到多层结构。不过,尤其是当平面谐振的时候,平面层间将会出现大量的磁场穿透导体的耦合,如图 2.54 所示,其中穿透程度取决于导体的厚度和平面的电导率[28]。穿透电源/地平面导体的场建模与分析是本节的主题。

2.7.2.1 采用谐振腔法建模

如果图 2.54 中的中心导体平面 GND1 的电导率为有限值,那么通过导体剖面的电流可以假定有如下形式:

$$\bar{J}_{\text{non_GND1}}(z) = \bar{J}_0 e^{-\gamma z} \tag{2.108}$$

其中 $\bar{J}_{\text{non_GND1}}$ 是通过非理想导体剖面的电流分布,参数 γ 与金属的电导率和频率有关,关系如下式:

$$\gamma = (1+\mathrm{j})\sqrt{\frac{\omega\mu_0\sigma_c}{2}} \tag{2.109}$$

其中 σ_c 是金属电导率，ω 是角频率。在方程(2.108)中，未知常数 $\overline{J}_0$ 可以通过假设在非理想导体 GND1 中的总电流等于理想导体中的总电流来计算。这个假设是一个扰动解，可以通过以下形式表示：

$$\int_0^t \overline{J}_{non_GND1} dz = \overline{J}_{per_GND1} \tag{2.110}$$

其中 t 是平面 GND1 的厚度，$\overline{J}_{per_GND1}$ 为假定理想导体中的电流密度。联立方程(2.108)和方程(2.110)，常数 $\overline{J}_0$ 可以由下式计算

$$\overline{J}_0 = \frac{\gamma}{1-e^{-\gamma t}} \overline{J}_{per_GND1} \tag{2.111}$$

因此，对厚度为 t 的平面，在平面 GND1 顶部的电流密度可以通过联立方程(2.108)和方程(2.111)来获得，如下所示：

$$J_{GND1,top} = \frac{\gamma e^{-\gamma t}}{1-e^{-\gamma t}} \overline{J}_{per_GND1} \tag{2.112}$$

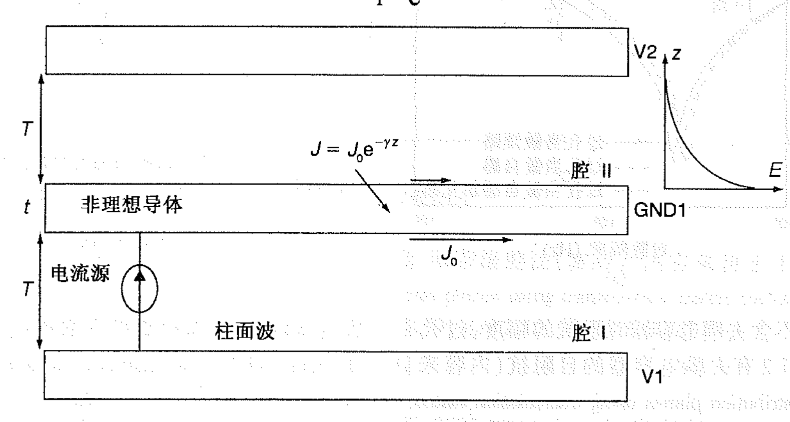


图 2.54　由非理想导体构成的三层封装平面(内容来自 J. Mao, J. Srinivasan, J. Choi, M. Swaminathan, and N. Do, "Modeling of field penetration through planes in multilayered packages," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 326-333, Aug. 2001, © 2001 IEEE)

由方程(2.112)指定的在平面 GND1 顶部流动的电流表现为由平面 V2 和 GND1 组成的静态腔 II 中的耦合噪声源，如图 2.54 所示。因为电流和导体中的电场有如下关系：

$$\overline{J} = \sigma_c \overline{E} \tag{2.113}$$

平面 GND1 顶部的电场可以计算为

$$\overline{E}_{GND1,top} = \frac{\upsilon}{\sigma_c} \overline{J}_{per_GND1} \tag{2.114}$$

其中

$$\upsilon = \frac{\gamma e^{-\gamma t}}{1-e^{-\gamma t}} \tag{2.115}$$

假设电场满足波动方程，并且在腔 II 顶部衰减至零，使用散度条件 $\nabla \cdot \overline{E} = 0$，腔 I 中的端口和腔 II 中的端口 j 之间的转移阻抗由下式得到：

$$Z_{ij} = \frac{A}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{-\varepsilon_m^2 \varepsilon_n^2 k_{mn}^2}{(k^2 - k_{mn}^2)^2} \times \cos\frac{m\pi x_i}{a} \cos\frac{n\pi y_i}{b} \cos\frac{m\pi x_j}{a} \cos\frac{n\pi y_j}{b} \tag{2.116}$$

方程(2.116)的详细推导可以在参考文献[28]中找到。在方程(2.116)中，转移阻抗是基于方程(2.74)计算的，其中(x_i, y_i)是腔 I 中激励端口的坐标。类似地，(x_j, y_j)是腔 II 中耦合端口的坐标。参数 A 可以由 $A = \upsilon/\sigma_c$ 给出。

将由方程(2.116)得出的阻抗模型与陶瓷测试装置的测量结果进行比较。测试装置由三个平面组成，如图 2.55(a)所示，横向尺寸为 a = 47.53 mm，b = 47.53 mm。导体采用厚度 t 为 12 μm 及电导率为 $\sigma_c = 0.67 \times 10^7$ S/m 的钨金属化。电介质是均匀的，介质常数为 9.8，厚度为 T = 150 μm。源端口和耦合端口的坐标分别为 x = 5.52 mm、y = 43.46 mm 和 x = 42.41 mm、y = 4.24 mm。散射参数 S_{12} 表示端口间的传输与能量的耦合，它是用 HP8510B 矢量网络分析仪测量的。模型和测量之间有很好的一致性，如图 2.55(b)所示。可以看出，在结构的谐振频率点上发生了大量耦合(-20 dB 至 -30 dB)，并且在前两个谐振峰值处耦合的电压最高。正如期望的那样，由于趋肤效应减少了穿透导体的电流幅度，平面对间耦合能量的幅度随着频率的增加而减少。注意图 2.55(b)中的耦合不可能是由平面边缘的耦合引起的，因为在该模型中没有考虑这种耦合。

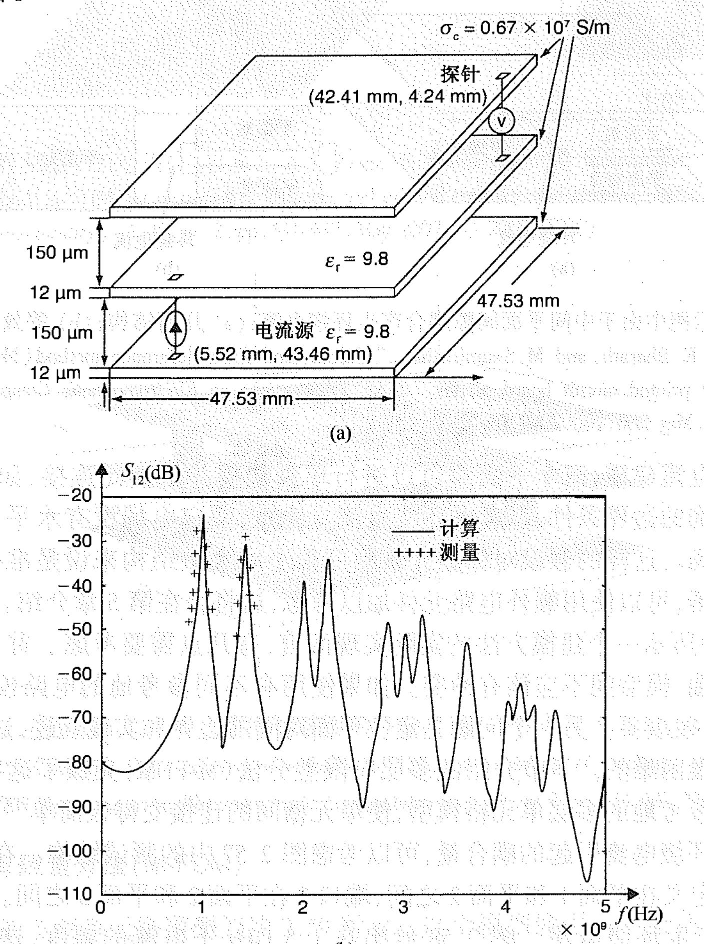


图 2.55　模型的测量验证：(a) 测试装置剖视图；(b) 仿真与测量数据比较(内容来自 J. Mao, J. Srinivasan, J. Choi, M. Swaminathan, and N. Do, "Modeling of field penetration through planes in multilayered packages," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 326-333, Aug. 2001, © 2001 IEEE)

2.7.3 孔径耦合

在单一的平面对中,最基本的噪声耦合发生在构成平面对的两个平面之间的水平方向上。平面对实际上表现为一个谐振腔。在多层结构中,噪声耦合可以通过电源/地平面的水平方向和垂直方向产生。这种结构由多平面对组成。垂直耦合可以视为这些平面对间的耦合。假设趋肤效应非常明显,如前面介绍的,穿透导体的场就可以忽略不计。垂直耦合主要是通过平面对边界间的相互作用产生的。这种耦合机制可以由孔径耦合或由环绕电流造成的耦合来描述,下面是描述这种耦合的例子。

图 2.56(a)给出一个简单的一维示例,中间平面的右半部分缺失了。在此例中,三个平面对以平面的不同组合为基础。假设中间平面上有一电流,其返回电流在底层平面上。如图所示,这些电流限制在平面对 2 的内部。当电流到达平面对的右边界时,它将会环绕孔径。该环绕电流可以激励平面对 1 和平面对 3 中的电流。这是平面对间的一个直接电流耦合路径,它对多层平面耦合的准确估计至关重要。

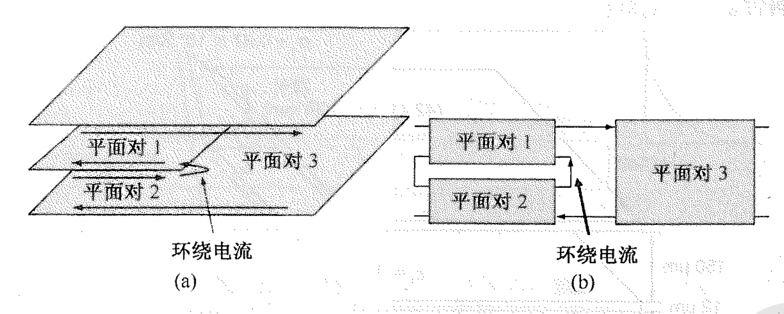


图 2.56 简单一维示例中由于中间平面间隙耦合产生环绕电流:(a) 几何结构;(b) 等效网络模型(内容来自 A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441-447, May 2007, © 2007 IEEE)

为了对环绕电流建模,三个平面对可以进行单独建模并且彼此连接,如图 2.56(b)所示。这种连接保证正确的边界条件,以考虑环绕电流。注意,假定电场没有水平分量。因此,忽略了边缘场及间隙场。这样的假设对那些介质厚度很小的大型结构来说是准确的。二阶效应,如边缘场及间隙场,可以使用额外电路元件加以考虑,这将会在第 5 章介绍。

就图 2.56(b)所示一个建模方法的实际实现而言,有几点需要考虑。首先,连接中定义电压的共同参考终端,模型间不应该有冲突。如果使用有不同参考地的电路模型来为平面对建模,这一点则变得很重要。另一个问题是定位平面对间的边界和实现互连,这对有复杂边界的多层结构来说是很困难的。下节介绍的多层有限差分法(M-FDM)克服了这些实际问题,它是通过定义有相同参考地的多层单元格模型,使单元格间的连接变得很简单[17]。

为了显示由环绕电流引起的耦合量,可以考虑图 2.57 中的测试结构。在平面 2 的中间有一个洞。端口 1 定义在平面 1 和平面 2 之间,端口 2 在平面 2 和平面 3 之间。由于洞在中面平面,所以可能会产生环绕电流。图 2.58 给出在 1.5 GHz 下电流的幅度,这是用全波仿真器 Sonnet[29] 仿真的。只有端口 2 被激励,它位于中面平面和底层平面之间。顶层平面的大量电流显示了通过环绕电流产生平面对间的耦合。M-FDM 将在下节中介绍,它可以在多层结构中考虑这种影响。

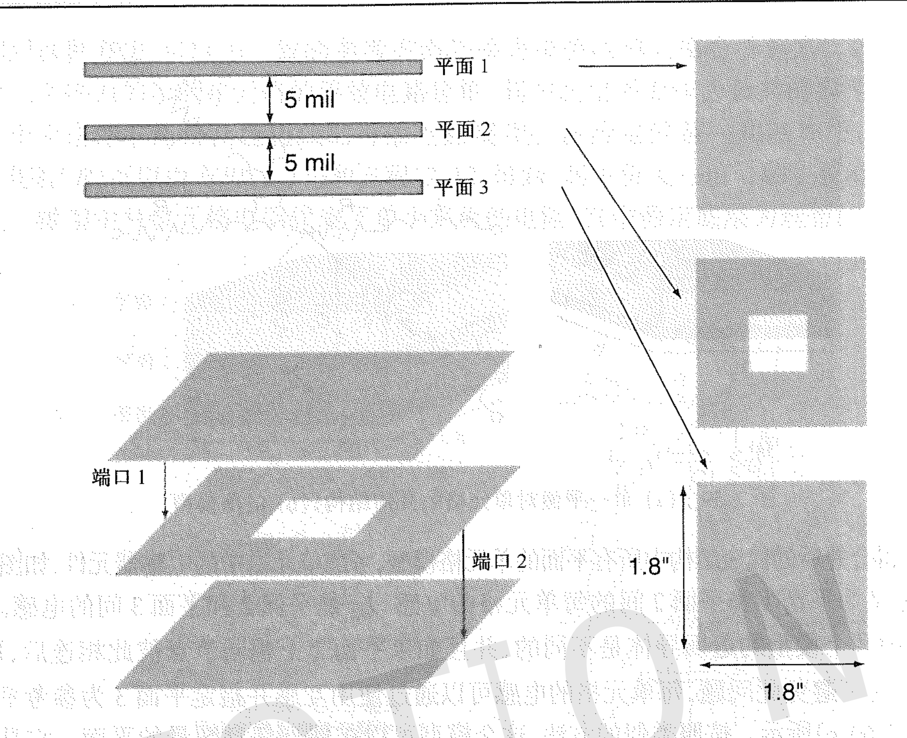


图 2.57 含有孔径的三层平面结构(内容来自 A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441-447, May 2007, © 2007 IEEE)

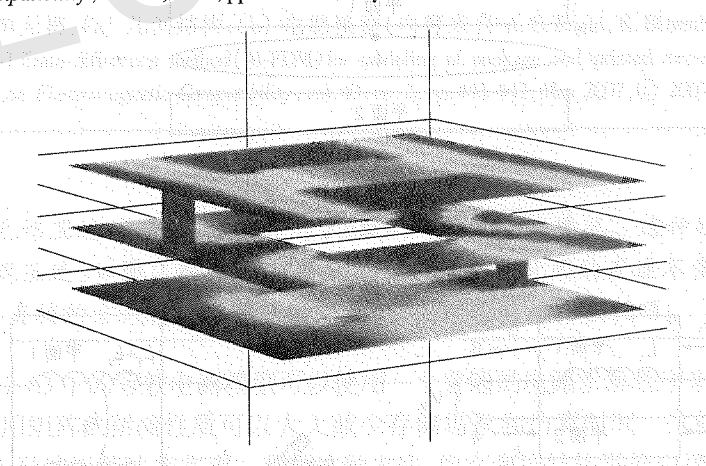


图 2.58 在 1.5 GHz 下仿真图 2.57 中三层测试装置的环绕电流(内容来自 A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441-447, May 2007, © 2007 IEEE)

2.7.3.1 多层有限差分法(M-FDM)

单一平面对的 T 型单元格模型如图 2.59 所示。这个模型使用一个公共的接地点。在一个由多于两个平面组成的多层结构中,不同平面对的单元格可以将不同平面指定为地电位。因此,这些单元格在没有任何修改的情况下不能简单地相互堆叠起来为多层平面建模。直接叠加将会使两个地节点间的元件短路,产生一个完全错误的模型。因此,多层单元格模型是很有必要的。

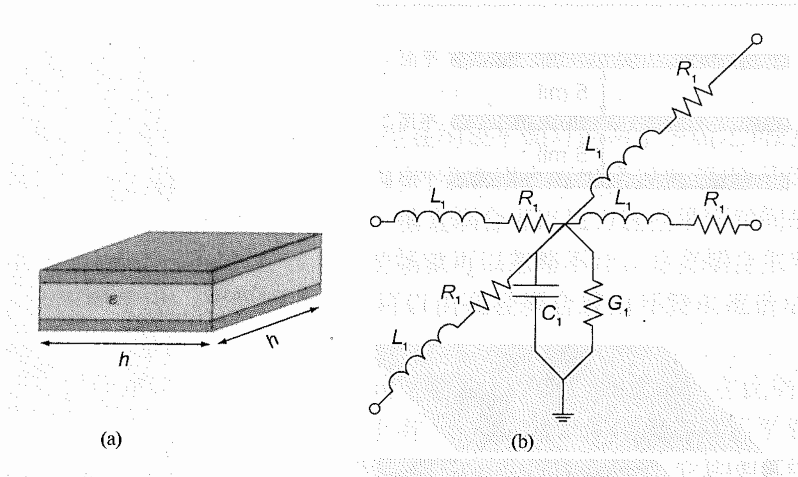


图2.59 (a) 单一平面对单元格的几何结构;(b) 电路模型

为了获得合并后的代表结构中所有平面的单元格模型,考虑单元格中的电感器元件,如图2.60(a)所示。L_1 定义为平面1和平面2间的每单元格的电感;L_2 是平面2和平面3间的电感。因此,图2.60(b)中两个模型的返回导体是不同的,并且如果平面2上相同节点彼此相连后,那么 L_2 就会短路。为了避免此问题,每单元格的电感可以通过使用互感并指定平面3为参考平面来合并[30],如图2.60(c)所示。按照类似的方法,这个模型可以扩展到任意数量的平面。它是基于这样一个观察,当返回电流均在平面3时,磁通量是完全耦合的,可以用值为 L_2 的互感表示。

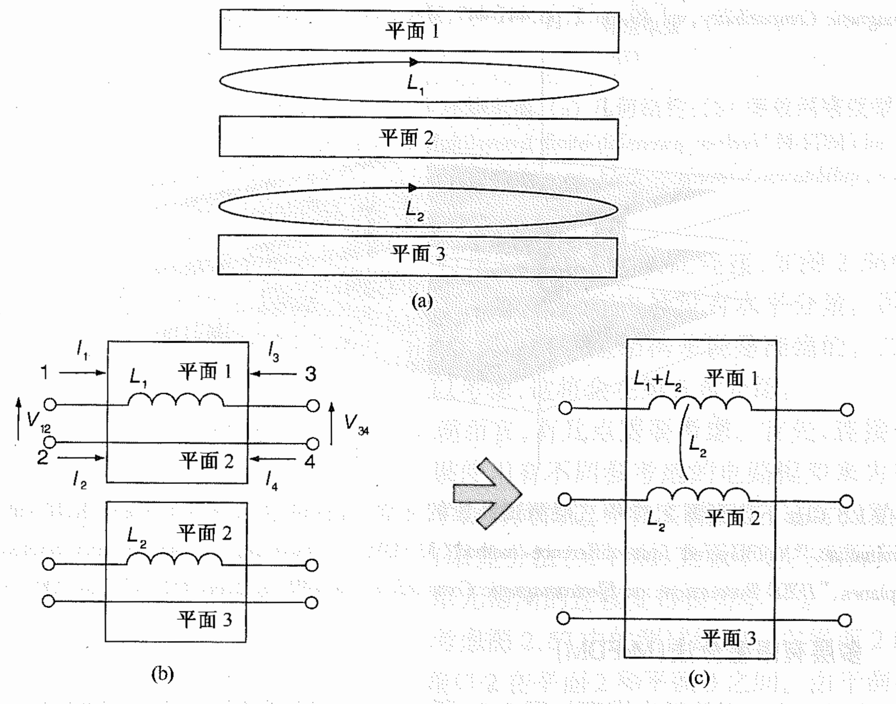


图2.60 (a) 三层平面结构的单元格侧视图,显示了加在每单元格电感上的电流回路;(b) 每一平面对的每单元格电感;(c) 通过改变参考平面合并每单元格的电感(内容来自 A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441-447, May 2007, © 2007 IEEE)

利用这种方法,可以用一致的参考平面将垂直堆叠的单元格合并起来。因此,图2.61给出包含三个平面的示例单元格的等效电路建模,其中底层平面作为公共的参考平面。图2.62给出一个由这种单元格互连组成的等效电路模型。在给定的某一角频率下,每单元格电导(G)和电阻(R)可以由方程(2.11)和方程(2.12)得到,其中所关心信号的主要有效成分都集中在这里。模型中每单元格电阻代表了单个平面的电阻,其中假定底层为理想的无损地平面。

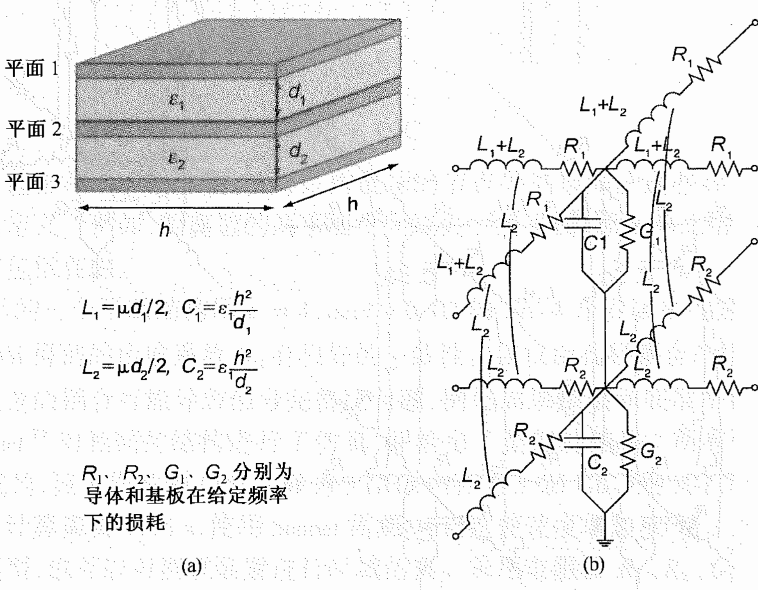


图2.61 多层结构单元格:(a) 几何结构;(b) 电路模型(内容来自 A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441-447, May 2007, © 2007 IEEE)

举例

作为一个单元格互连的例子,考虑如图2.56(a)所示的一维情况。这种结构可以用两种不同的单元格来实现互连,如图2.63所示。不同类型单元格彼此间的互连不需要任何特殊的考虑,可以通过简单直接的方式得到。为了清晰起见,图中没有标出损耗项。

图2.62和图2.63中的等效电路模型可以使用一个普通的电路求解程序来求解。但是,对于大型问题,通过利用矩阵的稀疏性质可以大大减少存储需求和仿真时间。这样一个独立的求解程序可以根据节点导纳矩阵法来实现。利用这种方法,像在多层结构举例中接地的 n 个端口,可以通过使用无限导纳矩阵进行互连[31]。例如,考虑平面1和平面2间的电感 L_1,如图2.60(b)中的模型所示。电感的无限导纳矩阵是四端口的,它可以添加到节点的导纳矩阵中:

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} Y_L & -Y_L & -Y_L & Y_L \\ -Y_L & Y_L & Y_L & -Y_L \\ -Y_L & Y_L & Y_L & -Y_L \\ Y_L & -Y_L & -Y_L & Y_L \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix} \tag{2.117}$$

其中

$$Y_L = 1/(j\omega L_1) \tag{2.118}$$

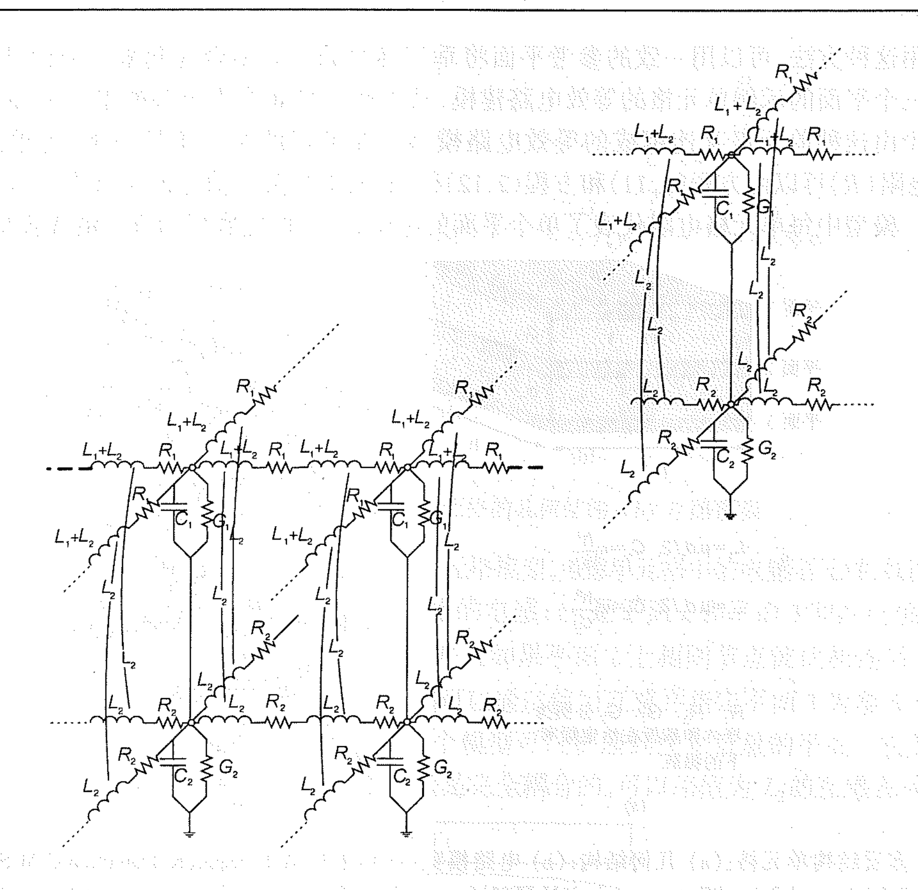


图 2.62 基于多层有限差分法的多层平面结构等效电路模型(内容来自 A.E.Engin et al.,"Finite-difference modeling of noise coupling between power/ground planes in multilayered packages and boards," *in Proceedings of the Electronic Components and Technology Conference*, May 2006, © 2006 IEEE)

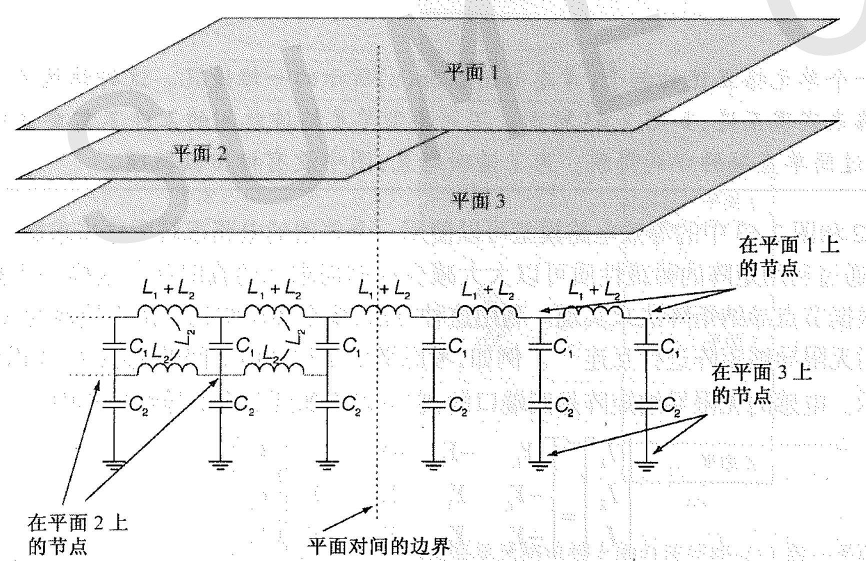


图 2.63 图 2.56 所示的简单一维示例基于多层有限差分法的等效电路模型(内容来自 A.E.Engin, K.Bharath, and M.Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol.49, no.2, pp.441-447, May 2007, © 2007 IEEE)

同样地,在节点 i 和节点 j 之间的每单元格电容 C 也可添加到节点的导纳矩阵中:

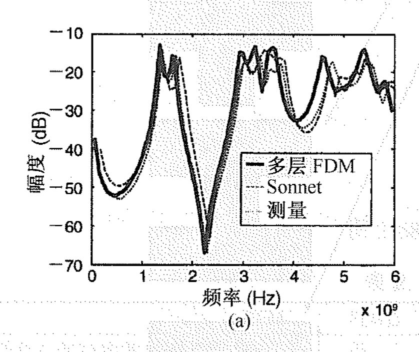
$$\begin{bmatrix} \vdots \\ I_i \\ \vdots \\ I_j \\ \vdots \end{bmatrix} = \begin{bmatrix} \ddots & & & & \\ & Y_C & \cdots & -Y_C & \\ & \vdots & \ddots & \vdots & \\ & -Y_C & \cdots & Y_C & \\ & & & & \ddots \end{bmatrix} \begin{bmatrix} \vdots \\ V_i \\ \vdots \\ V_j \\ \vdots \end{bmatrix} \tag{2.119}$$

其中

$$Y_C = \mathrm{j}\omega C \tag{2.120}$$

使用这些规则去包含每单元格参数,就可以构造总的节点导纳矩阵。这些参数并不总要在两个相邻平面之间定义。例如,距离远的两平面中间缺失一些平面,那么单元格就可以把它们之间的电感和电容包括在内。

图 2.57 所示的三个平面结构用 $\varepsilon_r = 4$、$\tan\delta = 0.02$ 的 FR-4 介质层来构造[32]。图 2.64 表明,测量与 M-FDM 得到的传输系数 S_{12} 有很好的一致性。仅仅由孔径耦合产生,并且可以非常准确地描述。大量的耦合可能导致信号完整性问题,例如如果顶层和底层平面分配不同的电平。也使用 Sonnet[29] 对相同的结构进行了仿真,并给出了类似的结果。所有仿真都是在 Intel Xeon 工作站完成的,该工作站的 CPU 主频为 3 GHz,内存为 3.25 GB。用 M-FDM 在 MATLAB 中实现每个频点的计算需要 1.35 s,使用 Sonnet 需要 94 s,这使速度增加 70 倍。通过使用图 2.62 中类似的电路模型,也可以对测试装置进行时域仿真。采用电阻器 R_1、R_2、G_1、G_2 来考虑导体损耗和基板损耗,这些值是在 3 GHz 下计算得到的。使用趋肤效应模型和在前面几节介绍的德拜模型可以更准确地表示出由损耗产生的频率相关特性。端口 1 采用上升/下降边为 100 ps,周期为 1 ns,幅度为 1 A 的梯形电流波形来激励。图 2.65 给出端口 2 的噪声电压波形。噪声电压峰峰值高于 1 V,它可引起信号完整性问题或电磁干扰问题。



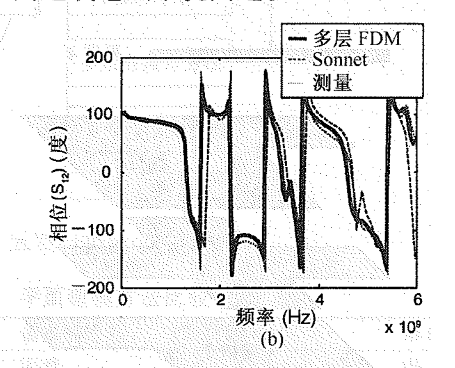


图 2.64 图 2.57 中单层测试装置的传输系数:(a) 幅度;(b) 相位(内容来自 A.E.Engin, K.Bharath, and M.Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol.49, no.2, pp.441-447, May 2007, © 2007 IEEE)

另一个例子,对如图 2.66 所示的一个四层结构进行仿真和测量,而连续的底层平面就是该装置测量时接地的金属平面。平面的形状类似于参考文献[27]中的测试结构,只是绝对尺寸不同。层间没有用连续的地平面彼此隔离,因此可能产生环绕电流。图 2.67 给出由测量和 M-FDM 得到四层测试装置的传输系数 S_{12},结果非常一致。同理,大量的耦合可能引起信号完整性问题或电磁干扰问题。

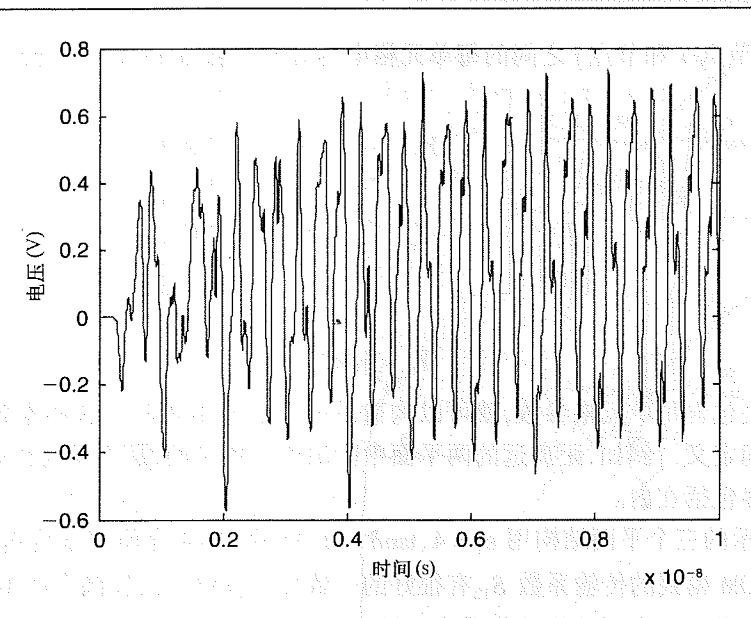


图 2.65 图 2.57 的三层测试装置中，端口 1 处噪声电流源在端口 2 处产生的同时开关噪声（内容来自 A.E.Engin, K.Bharath, and M.Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol.49, no.2, pp.441-447, May 2007, © 2007 IEEE）

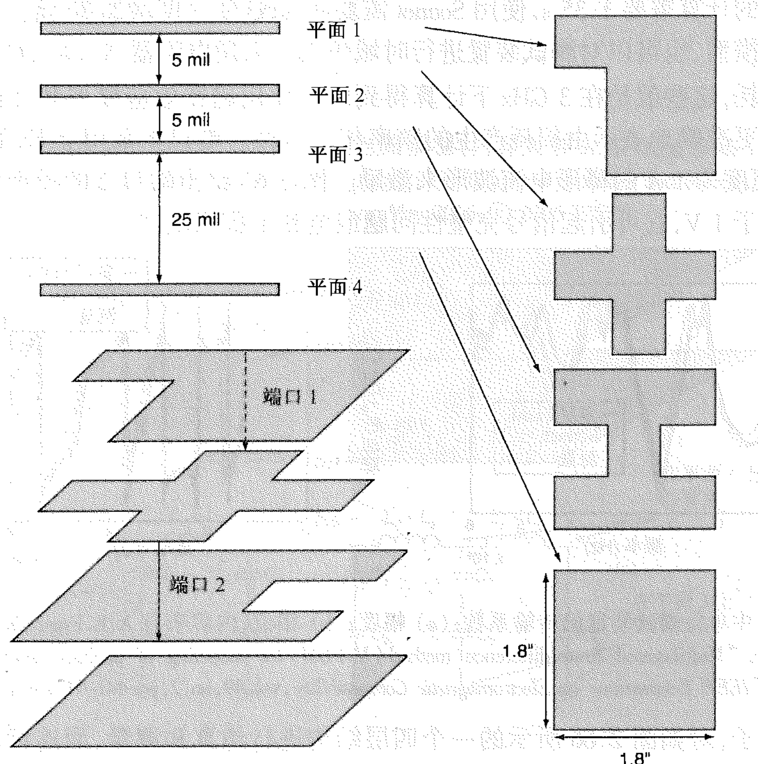


图 2.66 四层测试装置：每层的剖面、端口位置、俯视图（内容来自 A.E.Engin, K.Bharath, and M.Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol.49, no.2, pp.441-447, May 2007, © 2007 IEEE）

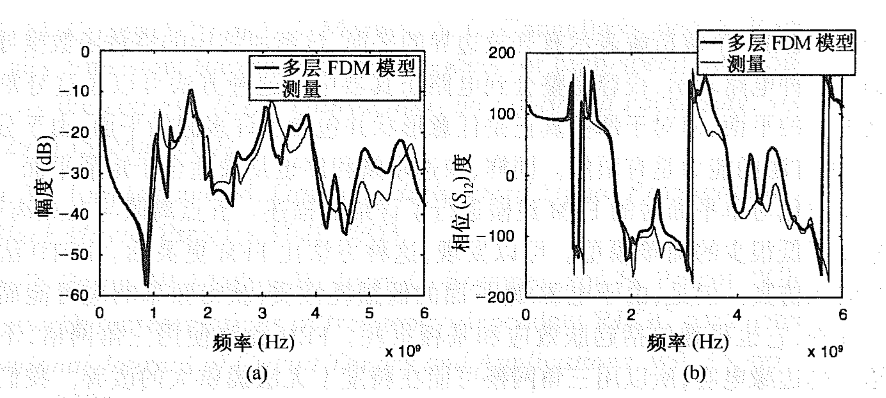


图 2.67 图 2.66 中四层测试装置的传输系数 S_{12}：(a) 幅度；(b) 相位（内容来自 A.E.Engin, K.Bharath, and M.Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol.49, no.2, pp.441-447, May 2007, © 2007 IEEE）

2.8 总结

这一章，我们讨论了几种电源/地平面建模的方法。图 2.68 给出这些方法的分类。这些方法可分为集总建模和分布式建模。表 2.1 中定性地比较了所关注的一些方法。而像在 FastHenry 中实现的准静态模型，由于只有有限的带宽，因此没有被列入表中。

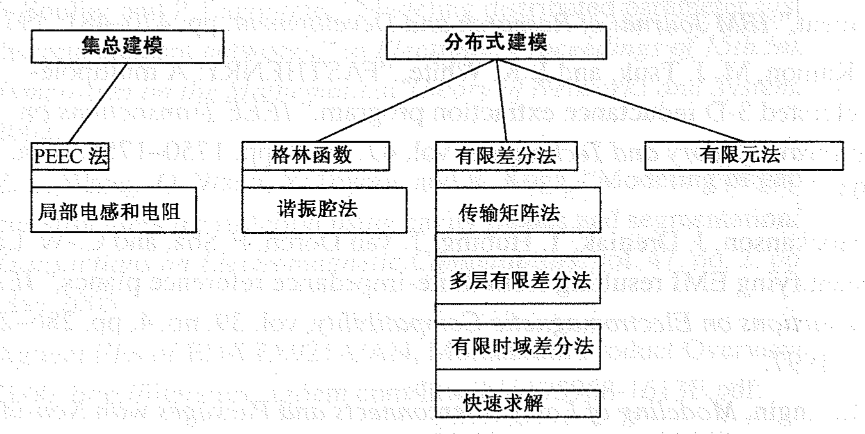


图 2.68 本章讨论的平面模型

表 2.1 平面建模方法比较

	FEM	FDTD	谐振腔法	TMM	M-FDM
任意几何结构的平面	是	是	困难	是	是
任意端口位置	是	否	是	否	否
计算每个节点的噪声电压分布	是	是	困难	是	是
趋肤效应和介质损耗	是	困难	是	是	是
边缘场及间隙场	困难	困难	困难	困难	是
速度	好	好（时域）	好（对于连续矩形平面）	好	好
多层平面	困难	困难	困难	是（忽略环绕电流）	是（包含环绕电流）

谐振腔法,使用一个解析解表示有开放边界的平面,该解由结构的格林函数推导求得。它提供了平面的一种电路表示,很容易整合到电路仿真器中。这种方法可以通过分割结构扩展到任意几何形状的平面,但对于那些真正是任意形状并包含了许多洞的平面,由于分割的片段数量庞大,这种方法的能力是有限的。同样,快速求解程序也是最适合于矩形平面。通过使用五点和九点离散化对单平面对的 FDM 建模进行了详细的描述。五点离散与九点离散相比,提供了一个精度降低很少的简单模型。可以发现,这种方法比 FEM 更灵活。FDTD 法可以非常有效地进行时域仿真。但是,由于电源/地平面的低损耗性质,获得频率响应可能需要很长的仿真时间。此外,它也很难包括趋肤效应和基板损耗。FEM 允许使用三角网格,不过仍然忽略了开放边界的边缘电容,所以用三角网格可能在精度上无法提供大的改善。我们也讨论了采用 ABCD 矩阵表示的传输矩阵法(TMM)。此方法对于含有许多洞、过孔和去耦电容器的多平面对来说有明显的优势。此外,M-FDM 在多层结构中可以考虑环绕电流,因此可以用它来为叠层中任意配置的电源/地平面建模。总而言之,根据平面的具体结构不同,这些方法都有各自的优缺点。

参考文献

1. A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment," *IBM Journal of Research and Development*, pp. 470–481, 1972.
2. M. Kamon, M. J. Tsuk, and J. K. White, "FASTHENRY: A multipole-accelerated 3-D inductance extraction program," *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 9, pp. 1750–1758, Sept. 1994.
3. D. Hockanson, J. Dreniak, T. Hubing, T. van Doren, F. Sha, and C.-W. Lam, "Quantifying EMI resulting from finite-impedance reference planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 39, no. 4, pp. 286–297, Nov. 1997.
4. A. E. Engin, *Modeling of Lossy Interconnects and Packages with Non-ideal Power/Ground Planes*. Berlin: VDE Verlag Forschungs-Report, 2004.
5. X. Xie and J. L. Prince, "Frequency response characteristics of reference plane effective inductance and resistance," *IEEE Transactions on Advanced Packaging*, vol. 22, pp. 221–229, May 1999.
6. J.-H. Kim and M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 334–346, Aug. 2001.
7. H. W. Bode, *Network Analysis and Feedback Amplifier Design*. New York: Van Nostrand, 1945.

8. K. M. Coperich Branch, J. Morsey, A. C. Cangellaris, and A. Ruehli, "Physically consistent transmission line models for high-speed interconnects in lossy dielectrics," *IEEE Transactions on Advanced Packaging*, vol. 25, pp. 129–135, May 2002.
9. H. W. Johnson and M. Graham, *High-Speed Signal Propagation: Advanced Black Magic*. Prentice-Hall, 2003.
10. A. E. Engin, W. Mathis, W. John, G. Sommer, and H. Reichl, "Closed-form network representations of frequency-dependent RLGC parameters," *International Journal of Circuit Theory and Applications*, vol. 33, pp. 463–485, Nov. 2005.
11. S. C. D. Roy, "On the realization of a constant-argument immittance or fractional operator," *IEEE Transactions on Circuit Theory*, vol. 14, no. 3, pp. 264–274, Sept. 1967.
12. V. Belevitch, "On the asymptotic behavior of meromorphic RL-impedances," in *NATO Advanced Study Institute on Networks and Signal Theory*, eds. J. K. Skwirzynski and J. O. Scanlon, London: Peregrimes, 1973, pp. 240–247.
13. F. Soulier and P. Lagonotte, "Modeling distributed parameter systems with discrete element networks," in *Electronic Proceedings of 15th International Symposium on the Mathematical Theory of Networks and Systems*, Aug. 2002.
14. Z. L. Wang, O. Wada, Y. Toyota, and R. Koga, "Modeling of gapped power bus structures for isolation using cavity modes and segmentation," *IEEE Transactions on Electromagnetic Compatibility*, vol. 47, no. 2, pp. 210–218, May 2005.
15. Agilent EEs of EDA E8921A/AN, Momentum Product Overview, Nov. 2000, http://literature.agilent.com/litweb/pdf/5968-1613E.pdf.
16. T. Itoh, ed., *Numerical Techniques for Microwave and Millimeter-Wave Passive Structures*. New York: Wiley, 1989.
17. A. E. Engin, K. Bharath, M. Swaminathan, M. Cases, B. Mutnury, N. Pham, D.N. de Araujo, and E. Matoglu, "Finite-difference modeling of noise coupling between power/ground planes in multilayered packages and boards," in *Proceedings of the Electronic Components and Technology Conference*, May 2006.
18. W. H. Press, S. A. Teukolsky, W. T. Vetterling, and B. P. Flannery, *Numerical Recipes in C: The Art of Scientific Computing*, 2nd ed., Cambridge: Cambridge University Press, 2002, chap. 19.

19. D.-D. Wang, Z.-F. Li, and Y. Cao, "Fast analysis of bounces on power/ground planes using even-odd partition," *IEEE Transactions on Advanced Packaging*, vol. 26, no. 1, pp. 65–72, Feb. 2003.

20. B. L. Buzbee, F. W. Dorr, J. A. George, and G. H. Golub, "The direct solution of the discrete Poisson equation on irregular regions," *SIAM Journal on Numerical Analysis*, vol. 8, no. 4, pp. 722–736, Dec. 1971.

21. Partial Differential Equation Toolbox User's Guide, Version 1, The MathWorks, Inc. Natick, MA, http://www.mathworks.com/access/helpdesk/help/toolbox/pde/.

22. N. Na and M. Swaminathan, "Modeling and simulation of planes in electronic packages for GHz systems," *IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 149–152, San Diego, Oct. 1999.

23. T. Okoshi, *Planar Circuits for Microwaves and Lightwaves*, New York: Springer-Verlag, 1985, chap. 2.

24. S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132–142, May 2001.

25. N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinivasan, "Modeling and transient simulation of planes in electronic packages," *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 340–352, Aug. 2000.

26. H. H. Wu, J. W. Meyer, K. Lee, and A. Barber, "Accurate power supply and ground plane pair models," in *Proceedings of the IEEE 7th Topical Meeting on Electrical Performance of Electronics Packaging*, Oct. 26–28, 1998, pp. 163–166.

27. J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 25, no. 2, pp. 189–199, May 2002.

28. J. Mao, J. Srinivasan, J. Choi, M. Swaminathan, and N. Do, "Modeling of field penetration through planes in multilayered packages," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 326–333, Aug. 2001.

29. Sonnet, ver. 10.52, Sonnet Software Inc., Syracuse, NY.

30. A. E. Engin and M. Swaminathan, "Multilayer finite difference methods for electrical modeling of packages and printed circuit boards," United States Non-Provisional Patent Application submitted Aug. 2007.

31. J. A. Dobrowolski, *Introduction to Computer Methods for Microwave Circuit Analysis and Design*. Boston: Artech House, 1991.

32. A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441–447, May 2007.

第 3 章　同时开关噪声

3.1　引言

在设计流程初期阶段就考虑信号完整性(SI)问题，是成功设计高速数字设备的必要条件。当信号经过输入/输出(I/O)连线在芯片间传输时，各种各样的 SI 问题都可能出现，进而造成设备失灵。如果采用合适的模型，这些问题都可能被及早发现并消除，由此可以避免昂贵的测试、测量和重新设计的代价。

在电源配送网络(PDN)中，由 I/O 开关产生的噪声称之为同时开关噪声(SSN)。因为 I/O 是连接到封装和电路板互连的一组驱动或接收电路，互连和 PDN 之间的相互作用便产生 SSN。随着信号频率的升高，互连或信号线表现为传输线。如第 2 章所述，高频封装包含电源平面和地平面。平面形成的谐振腔表现为分布式电路，并在高频时谐振。激励谐振腔的激励源，是由互连产生的返回电流。因此，信号线和 PDN 之间相互作用的建模，对于 SSN 的精确仿真极其重要。

3.1.1　SSN 的建模方法

用于评估 SSN 的互连及芯片封装模型，除了信号路径之外，还必须包含电源路径和地路径。根据这一思路，就可以获取对实际电流返回路径的表征。这样，一方面可以提高 SI 仿真的精度，同时还可以籍此给出对电磁干扰(EMI)的深入了解。由于上升边的缩短，即使是像封装引线这样的短结构也变成电大尺寸，因此需要将其建模成分布式网络。此外，即使是连续的电源平面或地平面也不能提供一个稳定电压供电，或者可以将其看成是一个等电位面。一个合适的互连和芯片封装模型应该考虑到电源/地平面的非理想特性，并在高频时保持互连的分布性质。

通常，在准静态的假设下(亦即假设结构长度远小于介质中感兴趣的最短波长)，集总模型用于芯片封装的建模。芯片封装的电源引线将 PDN 从 PCB(Printed Circuit Board)的电源平面连接到芯片。即使对于那些提供连续电源/地平面的封装来说，其上的 PDN 也不是理想的。这是因为封装上具有连接电路板和芯片的互连(电源引脚及键合线等)。

封装中电源线、地线和信号引线的寄生效应通常用局部电感来建模。由于封装引线电感引起的噪声电压随着同时开关驱动器数目的增多而增大，这种模型被专门用于研究 SSN。

PDN 的寄生效应可由包含供电线的非零阻抗模型表示，这是 EMI 分析的一个重要特征。然而，由于准静态的假设使带宽受到限制，对于高速设备 SI 的精确仿真，这种模型变得不恰当。另外，电子产品的封装工艺已由传统的引线封装发展到含有电源和地平面的封装，SSN 问题也由引线电感问题转向了电源平面的电感问题。因此，在存在互连的情况下估算平面的响应是当今系统 SSN 建模的核心问题。

19. D.-D. Wang, Z.-F. Li, and Y. Cao, "Fast analysis of bounces on power/ground planes using even-odd partition," *IEEE Transactions on Advanced Packaging*, vol. 26, no. 1, pp. 65–72, Feb. 2003.
20. B. L. Buzbee, F. W. Dorr, J. A. George, and G. H. Golub, "The direct solution of the discrete Poisson equation on irregular regions," *SIAM Journal on Numerical Analysis*, vol. 8, no. 4, pp. 722–736, Dec. 1971.
21. Partial Differential Equation Toolbox User's Guide, Version 1, The MathWorks, Inc. Natick, MA, http://www.mathworks.com/access/helpdesk/help/toolbox/pde/.
22. N. Na and M. Swaminathan, "Modeling and simulation of planes in electronic packages for GHz systems," *IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 149–152, San Diego, Oct. 1999.
23. T. Okoshi, *Planar Circuits for Microwaves and Lightwaves*, New York: Springer-Verlag, 1985, chap. 2.
24. S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132–142, May 2001.
25. N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinivasan, "Modeling and transient simulation of planes in electronic packages," *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 340–352, Aug. 2000.
26. H. H. Wu, J. W. Meyer, K. Lee, and A. Barber, "Accurate power supply and ground plane pair models," in *Proceedings of the IEEE 7th Topical Meeting on Electrical Performance of Electronics Packaging*, Oct. 26–28, 1998, pp. 163–166.
27. J.-H. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 25, no. 2, pp. 189–199, May 2002.
28. J. Mao, J. Srinivasan, J. Choi, M. Swaminathan, and N. Do, "Modeling of field penetration through planes in multilayered packages," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 326–333, Aug. 2001.
29. Sonnet, ver. 10.52, Sonnet Software Inc., Syracuse, NY.
30. A. E. Engin and M. Swaminathan, "Multilayer finite difference methods for electrical modeling of packages and printed circuit boards," United States Non-Provisional Patent Application submitted Aug. 2007.
31. J. A. Dobrowolski, *Introduction to Computer Methods for Microwave Circuit Analysis and Design*. Boston: Artech House, 1991.
32. A. E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (M-FDM) for modeling of package and printed circuit board planes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, no. 2, pp. 441–447, May 2007.

第 3 章　同时开关噪声

3.1　引言

在设计流程初期阶段就考虑信号完整性(SI)问题,是成功设计高速数字设备的必要条件。当信号经过输入/输出(I/O)连线在芯片间传输时,各种各样的 SI 问题都可能出现,进而造成设备失灵。如果采用合适的模型,这些问题都可能被及早发现并消除,由此可以避免昂贵的测试、测量和重新设计的代价。

在电源配送网络(PDN)中,由 I/O 开关产生的噪声称之为同时开关噪声(SSN)。因为 I/O 是连接到封装和电路板互连的一组驱动或接收电路,互连和 PDN 之间的相互作用便产生 SSN。随着信号频率的升高,互连或信号线表现为传输线。如第 2 章所述,高频封装包含电源平面和地平面。平面形成的谐振腔表现为分布式电路,并在高频时谐振。激励谐振腔的激励源,是由互连产生的返回电流。因此,信号线和 PDN 之间相互作用的建模,对于 SSN 的精确仿真极其重要。

3.1.1　SSN 的建模方法

用于评估 SSN 的互连及芯片封装模型,除了信号路径之外,还必须包含电源路径和地路径。根据这一思路,就可以获取对实际电流返回路径的表征。这样,一方面可以提高 SI 仿真的精度,同时还可以籍此给出对电磁干扰(EMI)的深入了解。由于上升边的缩短,即使是像封装引线这样的短结构也变成电大尺寸,因此需要将其建模成分布式网络。此外,即使是连续的电源平面或地平面也不能提供一个稳定电压供电,或者可以将其看成是一个等电位面。一个合适的互连和芯片封装模型应该考虑到电源/地平面的非理想特性,并在高频时保持互连的分布性质。

通常,在准静态的假设下(亦即假设结构长度远小于介质中感兴趣的最短波长),集总模型用于芯片封装的建模。芯片封装的电源引线将 PDN 从 PCB(Printed Circuit Board)的电源平面连接到芯片。即使对于那些提供连续电源/地平面的封装来说,其上的 PDN 也不是理想的。这是因为封装上具有连接电路板和芯片的互连(电源引脚及键合线等)。

封装中电源线、地线和信号引线的寄生效应通常用局部电感来建模。由于封装引线电感引起的噪声电压随着同时开关驱动器数目的增多而增大,这种模型被专门用于研究 SSN。

PDN 的寄生效应可由包含供电线的非零阻抗模型表示,这是 EMI 分析的一个重要特征。然而,由于准静态的假设使带宽受到限制,对于高速设备 SI 的精确仿真,这种模型变得不恰当。另外,电子产品的封装工艺已由传统的引线封装发展到含有电源和地平面的封装,SSN 问题也由引线电感问题转向了电源平面的电感问题。因此,在存在互连的情况下估算平面的响应是当今系统 SSN 建模的核心问题。

通常 PCB 级的互连是在假设存在一个理想 PDN(或者是一个介于电源/地平面间的无限去耦电容)的情况下建模的。该 PDN 中连续的电源/地平面和去耦电容器能够提供一个稳定的供电电压。在这种假设下,可以将电源线看成是 AC 地,信号线可以用以 AC 短路的电源/地线为参考的传输线模型表示。

这种互连模型较先前提到的集总封装模型有较宽的带宽。然而,传输线电流返回路径的突变(不连续)性会引起电源和地平面间电压的波动。所以,一个精确的传输线模型应考虑它与非理想电源/地平面模型之间的耦合。

最近对传输线结构(如微带线和带状线)的建模研究,都考虑到来自非理想电源/地平面及平面中过孔、开槽(cut-out)等返回路径突变(RPD)的影响。RPD 可以引起信号传输的模式变换,表示在突变处的场分布发生改变。例如,当一个微带线连接到一个带状线时,在接合部就发生模式变换,即微带线的场分布变换成带状线的场分布。

总之,传统的封装模型可以解释电源/地噪声,但它们属于集总模型,带宽受到限制。另一方面,传统的 PCB 模型能够解释互连的分布性质,但却假设有理想的电源/地平面。因此,有必要提出新的方法来解释信号线和非理想电源/地平面间的相互作用,该方法应该考虑它们的分布性。此方法学可以进行信号和电源完整性的协同仿真,这正是本章讨论的主题。

3.2 简单模型

在封装和 PCB 中需要考虑信号路径,还要包含电源和地路径。这时可以从各个角度进行优化设计,如放置去耦电容器、选择叠层及确定合适的信号 - 地 - 电压引脚的比例。

图 3.1 给出一个带有电源和地平面的倒装芯片 BGA 封装,电源和地平面的电位分别为 V_{dd}和 V_{ss}(Gnd)。I/O 开关会在电源/地平面上引起噪声,而嘈杂的电源/地平面又会影响信号质量。这种相互影响可以通过计入信号线到电源/地平面的耦合加以解决,如图 3.2(a)所示。本例中,假设带状线为电源和地平面之间的一条信号线,负载用连接到 V_{dd}和 V_{ss}平面的电容器(C_{vdd}, C_{vss})表示,电源如图右侧所示,由电压源(V_{sup})和寄生电感(L_{pow}, L_{gnd})构成。在驱动和负载之间的互连、在 V_{dd}和 V_{ss}平面之间的互连,可以是任意一种可能的模型。例如,传输线可以用于表征互连和平面。不考虑芯片倒装焊点的寄生效应,在 V_{dd}和 V_{ss}之间加入的去耦电容器($C_{on\text{-}dec}$和 $C_{off\text{-}dec}$)在高频时相当于 AC 短路。

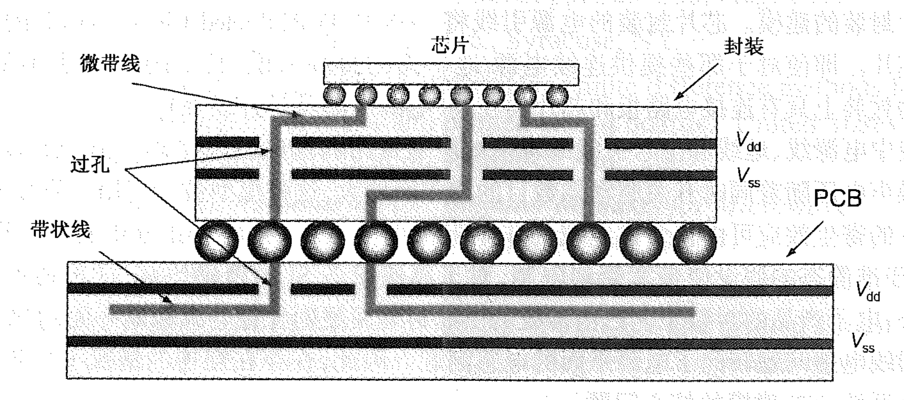


图 3.1 BGA 封装中的信号路径和电源平面

为了简化建模和仿真,通常使用忽略了电源/地噪声的传输线来对互连建模,如图 3.2(b)所示。此类模型假设电源/地平面或片上去耦电容器 $C_{on\text{-}dec}$/片外去耦电容器 $C_{off\text{-}dec}$产生无限去耦电容,形成一个理想的 PDN,因此电源/地平面可以看成是 AC 短路的。这种假设允许将互连看成是以 AC 短路的电源/地线为参考的传输线。然后将传输线模型连接到简化驱动器模型的信号端和地端。对于低噪声容限的快速切换驱动器来说,这样的互连和驱动模型还不够精确,还应该考虑 PDN 上的寄生效应。

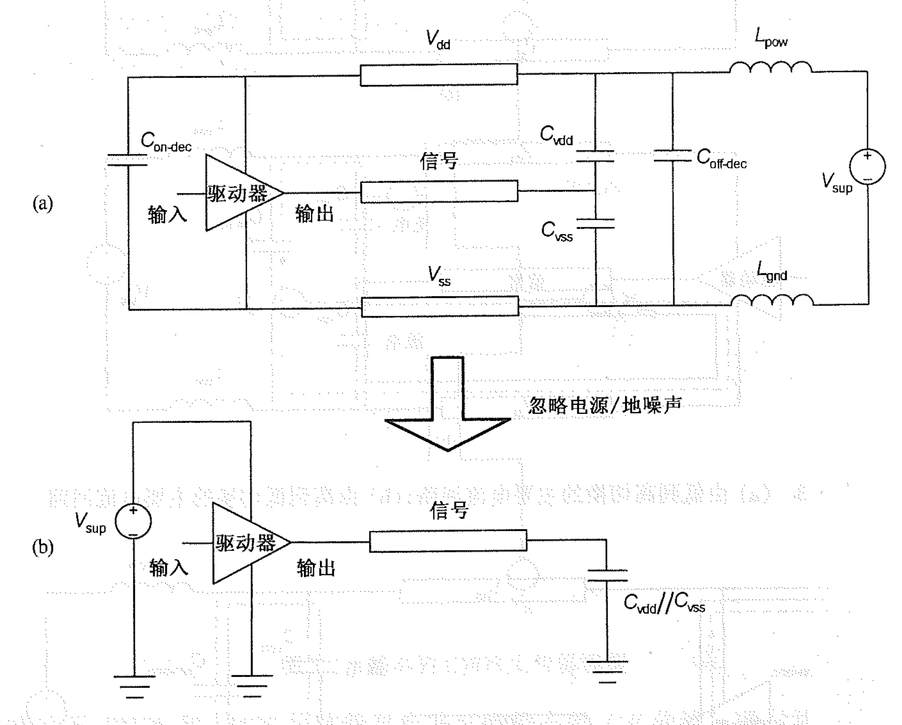


图 3.2 封装模型:(a) 包括供电电源的寄生效应;(b) 不包括供电电源的寄生效应

PDN 上的噪声及其对信号线的耦合取决于网络中的电流回路。电流回路是与状态切换相关的。图 3.3(a)给出图 3.2(a)所示例子中由低到高切换产生的主要电流回路。CMOS 驱动器将输出上拉到 V_{dd},因此连接到电源的负载电容(C_{vdd})放电,而连接地的负载电容(C_{vss})则通过片外去耦电容器进行充电。信号电流主要通过电源线返回。类似地,对于从高到低的切换,返回电流会流经地线,如图 3.3(b)所示。由于引入的电感 L_{pow}和 L_{gnd}较大,电压源不能提供高频电流,因此图中未画出经过电压源的电流路径。

由图 3.3 可知,返回电流是在 V_{ss}平面还是 V_{dd}平面取决于切换类别。因此,在对封装进行建模时,不能将 V_{dd}和 V_{ss}的连接等同起来,尤其是当它们关于信号线不对称时。然而,在有足够多的片上去耦电容的情况下,这种简化可以证明是正确的。图 3.4 所示为另一种情况(其中只有由低到高的切换),其中片上电容器提供了图 3.3(a)所示电流路径以外的电流路径。片上电容器此时也允许电流在 V_{ss}平面上返回。将图 3.3(a)和图 3.4 中的电流回路叠加起来,可以看出返回电流被 V_{dd}和 V_{ss}线所共享。因此,图 3.2(b)所示的简化模型比较适用,其中将 V_{dd}和 V_{ss}看成是 AC 短路,并假设去耦电容器有足够高的电容和足够低的电感。

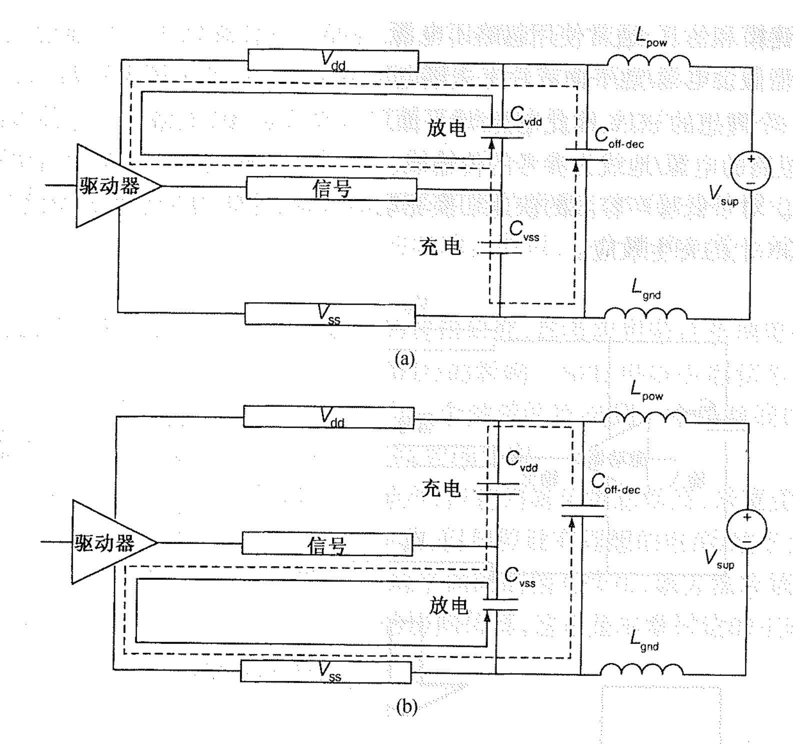


图 3.3 (a) 由低到高切换的主要电流回路;(b) 由高到低切换的主要电流回路

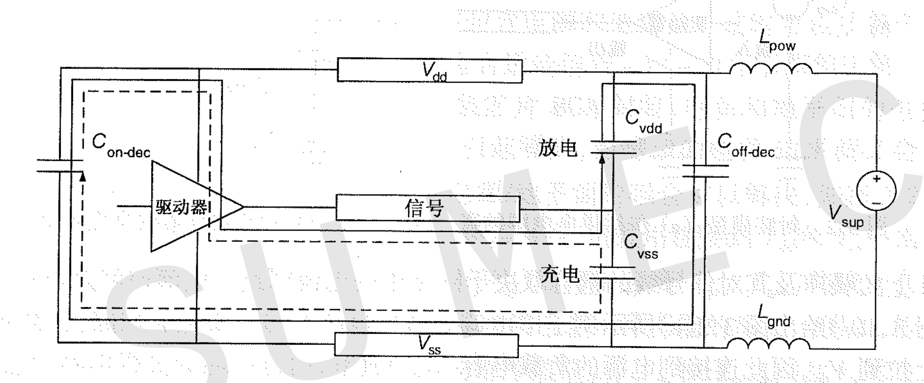


图 3.4 由低到高切换过程中单独由片上去耦电容支持的电流回路(此外,还有图3.3(a)中的电流回路)

3.2.1 输出缓冲器建模

对于精确的 SI 仿真来说,恰当地对输出缓冲器进行建模是很重要的。图 3.5 所示为一个基本的 CMOS 推挽驱动器,其功能相当于反相器。当输入电压 V_{in} 为高时,上拉的 PMOS 晶体管关闭,而下拉的 NMOS 晶体管开启,因此输出电压 V_{out} 下拉到低电平 V_{ss}。相反地,当输入电压为低时,输出电压则上拉到高电平 V_{dd},正如第 1 章所描述的那样。

IBIS(I/O buffer information specification,I/O 缓冲信息规范)广泛应用于 I/O 缓冲器模型,它通过测试负载上的静态的电流-电压(I-V)数据和瞬态波形来提供 I/O 器件特性[1]。目前 IBIS 缓冲器在许多工具中已经作为一种元件(如 HSpice 中的 B-element[2])使用。IBIS 主要是一个为

缓冲器的电路仿真汇集必要信息的文件格式。它并没有定义任何的仿真方法,因此在电路仿真器中就可以用多种方法来实现 IBIS 模型[3][4][5]。与晶体管级 Spice 模型相比,IBIS 模型的主要优点在于它的速度,以及它不会暴露任何电路或工艺信息。理论上,IBIS 模型也可用于 SSN 仿真,但其精确度受到限制[6]。IBIS 模型和晶体管级 Spice 模型代表了一类专用的缓冲器模型。为了评估各种类型缓冲器封装的性能,我们还需要一个更加灵活的模型。

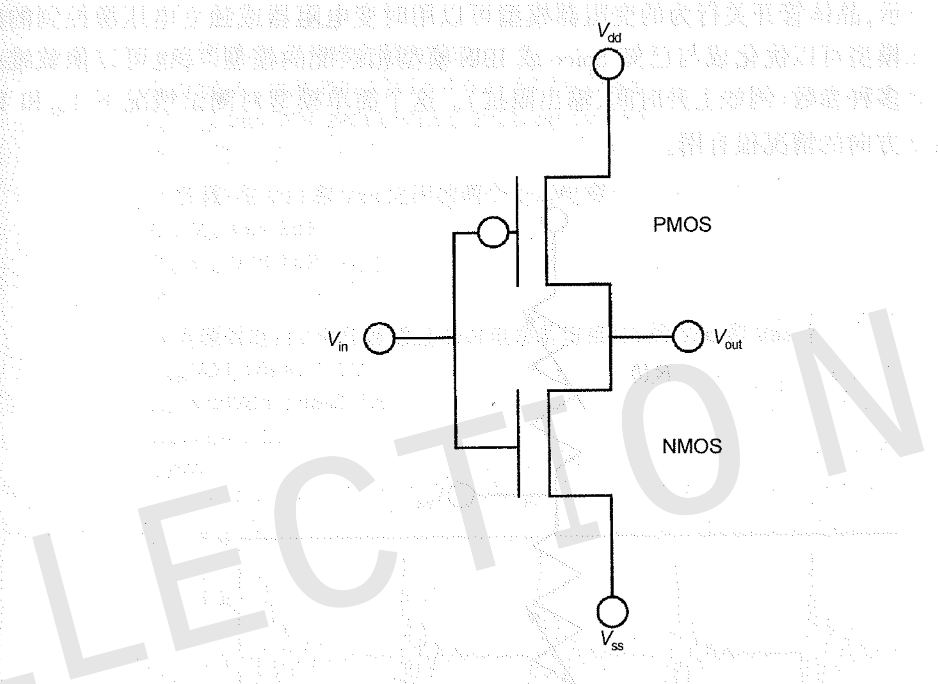


图 3.5 基本的 CMOS 反相器模型

通常情况下,PMOS 和 NMOS 晶体管具有非线性静态的 I-V 曲线。通过将这个曲线线性化为近似晶体管的输出阻抗,我们可以得到一个近似的戴维南(Thevenin)模型[7]。戴维南源电压通常建模为轨对轨电压幅度为 V_{dd}(假定 $V_{ss}=0$)的梯形波形,具有特定负载下的上升/下降边。对于相等的上拉和下拉电阻及可以忽略的电源/地噪声,这个简单的线性模型可以用来表示一个 CMOS 反相器,如图 3.6 所示。

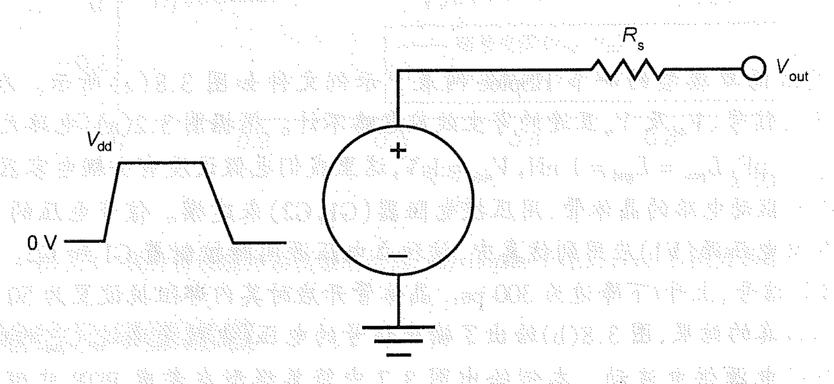


图 3.6 上拉和下拉输出电阻相等且忽略电源/地噪声的线性驱动器模型

图 3.6 中所示的线性驱动器模型不是非常精确，但它是一个灵活的模型。通常，它可以方便地用来表征上升/下降边、输入信号的周期性和驱动器的输出阻抗。这样一来，我们就可以研究多种假设的情况。由于该模型简单，可以更清晰地观察到封装和互连对信号质量的影响。然而，这种模型中假设是理想的 PDN 和对称的晶体管，使用图 3.7 中的线性特性模型[7]，就可以克服这些限制[8]。

如图 3.7 所示，晶体管开关行为的变阻器模型可以用时变电阻器或独立电压源控制的电阻器来建模。该模型可以优化成与已知 Spice 或 IBIS 模型相匹配的模型[9]，也可以像戴维南模型那样延伸到多种参数(例如上升时间、输出阻抗)。这个简单模型对测试情况下 V_{dd} 和 V_{ss} 端电流突然改变方向的情况很有用。

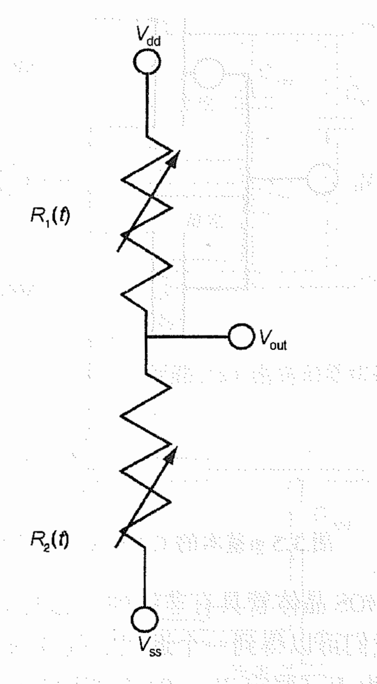


图 3.7　基于压控电阻器的线性特性驱动器模型

举例

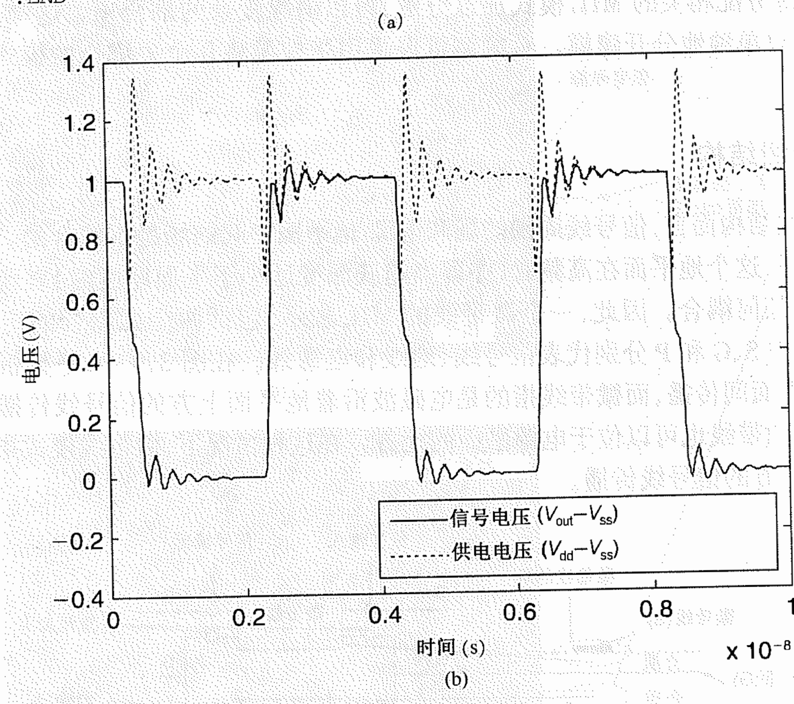
用来实现该简单模型的一个 HSpice 网表[2]示例文件如图 3.8(a)所示。在本例中，如图 3.2(a)所示的信号、V_{dd} 及 V_{ss} 互连的寄生效应忽略不计。根据图 3.2(a)，电路元件的值设置为：$C_{vss} = C_{vdd} = 1$ pF，$L_{pow} = L_{gnd} = 1$ nH，$V_{sup} = 1$ V，这里我们也假设没有去耦电容器。

构成 CMOS 驱动电路的晶体管，用压控电阻器(G1，G2)来建模。信号电压的上升/下降边和周期通过独立电压源(V1)应用到仿真中，该独立电压源同时控制着 G1 和 G2。输入电压为 250 MHz 的时钟信号，上升/下降边为 300 ps。晶体管开启时其内部阻抗设置为 50 Ω。

作为示例仿真的结果，图 3.8(b)给出了输出信号的电压(也就是通过 C_{vss} 的电压)和通过缓冲器观察到的电源供电波动。本例给出图 3.7 中简单模型在考虑 PDN 非理想特性时的应用。


```
* 线性特性缓冲器模型
.TRAN 10p 10n
.PRINT TRAN output = PAR( V(Vout) - V(Vss)')
*
* 输入电压:上升/下降边 300ps,周期 4ns
V1 Vin 0 PULSE 0 1 0 300p 300p 1.7n 4n
*
* 输出缓冲:晶体管电阻为 50Ω
G1 Vdd Vout VCR PWL(1)Vin 0 0v + 50 1v,1meg
G2 Vout Vss VCR PWL(1)Vin 0 0v,1meg 1v + 50
*
* 负载:在 Vdd 和 Vss 之间的两个 1pF 电容
Cvss Vout Vss 1pF
Cvdd Vout Vdd 1pF
*
* 电源供电:1V 电压源通过 1nH 电感器连接 IC 的 Vdd 和 Vss 上
Vsup Vdd_ideal 0 1V
Lpow VddVdd_ideal 1n
Lgnd Vss 0 1n
.END
```

(a)



(b)

图 3.8　线性特性缓冲器模型的仿真：(a) HSpice 子电路；(b) 示例仿真结果

3.3　传输线及平面建模

由于传播时间和反射等变得很重要，在高速信号下就必须考虑互连的分布特性。为了做到这一点，一节节阻抗受控的互连可以用传输线模型表示，而短的突变则可以用集总模型表

示。传输线模型表示的是横向电磁(TEM)波的传播,其中传播方向和电场及磁场方向是垂直的,而在突变周围激起的非传播电磁波可以用集总模型表示。

所有的高频封装都包含平面,用来给 IC 提供电源。一个平面对由绝缘材料隔开,包括两个平面(称为 V_{dd}和 Gnd),在高频时表现为一个谐振腔。输出驱动器开关电路对 V_{dd}和 Gnd 平面有一个时变的充电过程,可以将其看成是谐振腔中的一个电流源。该电流源在谐振腔中产生放射状的电磁波,此电磁波从平面边缘反射从而引起谐振腔谐振。取决于谐振腔的频率响应(可包含多种谐振模式),平面上的供电电压可能会发生波动或反弹。平面反弹(指电源噪声)指的是分布在平面表面上的电压和地节点间电位差的变化。

通常,封装和 PCB 中的传输线都是在假设理想 PDN 的情形下进行建模的。在这种情况下,假设电源和地平面是完全相同的。例如,尽管在叠层中带状线的上层和下层平面可以分配不同的 DC(直流)电位,但在二维仿真计算特性阻抗时,它们都假设处于地电位。然而,带有同时开关驱动器的高速系统电源/地噪声会影响系统的性能,忽略了电源/地平面耦合效应的简单传输线模型对 SSN 建模是不够的。

在接下来的几节中,介绍考虑非理想电源/地平面的传输线模型。这种模型基于多导体传输线(MTL)理论。除了信号线之外,还同样将电源/地平面定义为独立的导体。信号线和电源/地平面的组合建模通常会产生许多耦合项。这一问题可以用模态分解的技术加以解决。把与信号传输和电源分配相关的 MTL 模式加以分解,可以消除复杂的耦合项。这样,信号线和电源/地系统就可以单独地分开建模。总的解可以采用受控源将几个去耦合的模式在终端再次叠加而得到。

3.3.1　微带线结构

对于微带线结构而言,信号线周围的场和电源/地平面中间的场是不耦合的。假设微带线以地平面为参考,这个地平面在高频时(亦即当趋肤深度远小于平面厚度时)表现为一个防护屏蔽,防止产生任何耦合。因此,一个微带线的 MTL 表示,包括两个无耦合的传输线[10]。如图 3.9 所示,其中 S、G 和 P 分别代表信号线、地线和电源线。在图 3.9 中,平行板指的是电磁波在电源和地平面间传播,而微带线指的是电磁波沿着地平面上方的信号线传播。在另外一种叠层分配中,微带线也可以位于电源平面的上方。在这种情况下,微带线模式指的是电磁波沿着电源平面上方的信号线传播。

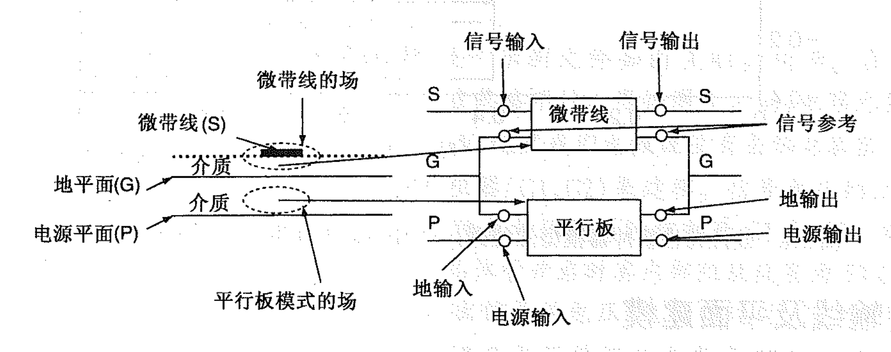


图 3.9　微带线的几何结构和模型

在图 3.9 中,信号线用一个四端传输线模型表示,该传输线模型包含一个输入端、一个输出端和两个参考端。类似地,平面对也用一个四端模型表示,包含输入、输出和每头的参考端。信号线的参考端和平面模型中的输入和输出端短路连接,因此,信号线和平面间的耦合仅仅在输入和输出端口处发生。

举例

为了更好地说明将场分布分离成一些无耦合的模式,我们使用一个二维电磁(EM)仿真器对微带线结构进行仿真。多层的磁场穿透效应如图 3.10 所示。采用一个厚度为 35 μm 的导线(铜质)来说明磁场在剖面中的分布和幅度。图 3.10(a)表示的是 $f = 1$ kHz、相应的趋肤深度为 2087 μm 时的情况。由于 35 μm 的平面厚度远小于趋肤深度,于是磁场就穿透了整个平面的横截面,进而造成经由实心金属导体而形成的平面层间耦合。当 $f = 500$ MHz 时,趋肤深度为 2.95 μm,此时 35 μm 的平面厚度是趋肤深度的 10 余倍。因此,磁场只能穿透平面很浅的深度,如图 3.10(b)所示。因此,在这个频率情况下平面层间的耦合就可以忽略不计。在以后的章节中,我们都假设频率足够高以致趋肤效应很明显,磁场不能穿透平面。

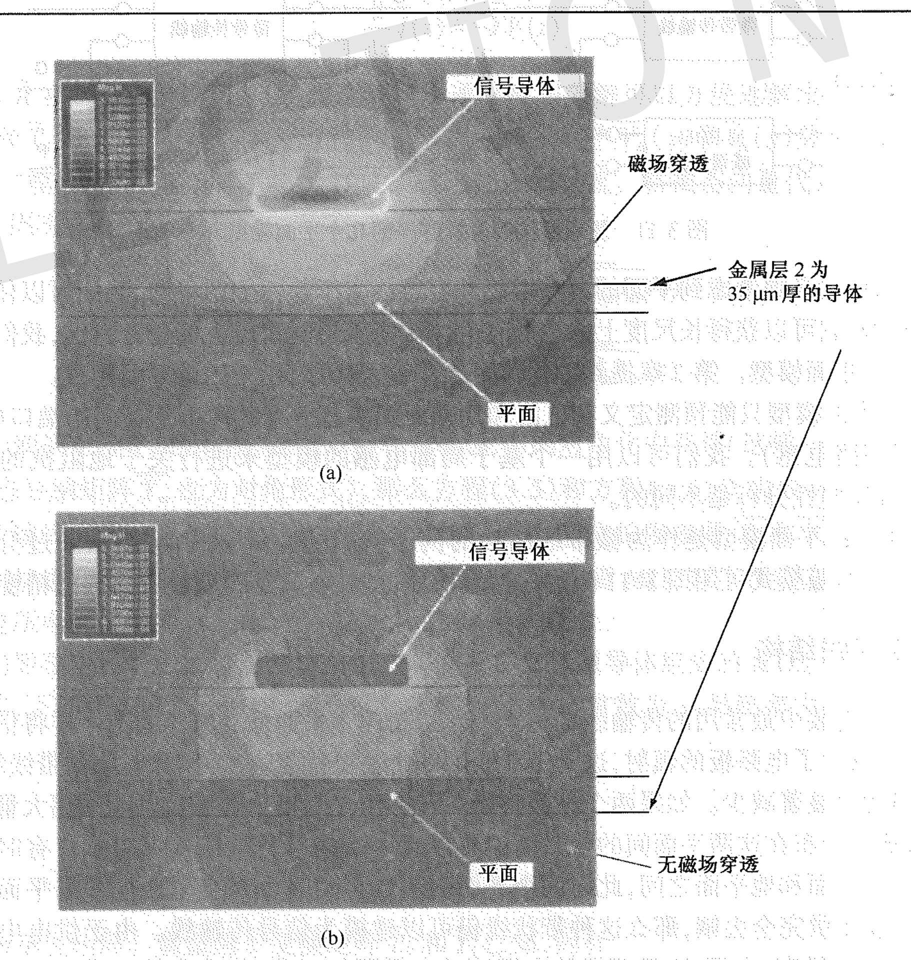


图 3.10　磁场穿透:(a) $f = 1$ kHz;(b) $f = 500$ MHz

既然平行板和微带线模式不耦合，那么在对平面进行建模时就可以忽略掉信号线。依靠电源/地平面的结构和所需的最高频率，可以使用各种复杂度的平面模型，如图 3.11 所示。在最简单的情况下，假设平面是理想的(例如，平面扩展至无限大，那么平面间的距离就相对趋于零)。这样，平面可以用一个无限电容器进行建模。在电路仿真器中实现这个模型的一个实际办法就是采用一个理想电压源，该理想电压源的电压值由连接到平面的实际 DC 电压给定。如果考虑到有限大小和平面间的非零介质厚度，那么平面在低频就可以看成是由一个平行板电容和串联电感组成。

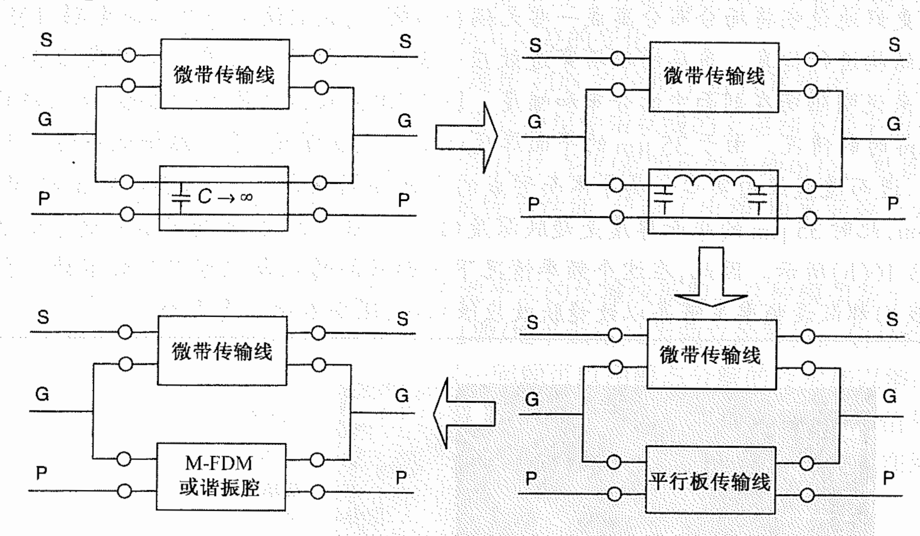


图 3.11　复杂度按顺时针排序的几个平面模型

在高频时，就必须考虑到平面的分布电感和电容。对于长而细的平面，我们可以使用平行板传输线模型，它可以获得长尺度上的分布特性。为了获得宽尺度上的分布特性，我们就必须使用一个二维平面模型。第 2 章提到的任何平面模型，都可以用于二维平面建模。

图 3.11 中的模型只能预测定义在电源和地平面间垂直分布的两个节点间的端口电压(也就是使用了回路电感)。我们可以用一个基于局部电感的模型来进行关于地阻抗的 EMI 研究，这与电源完整性分析是不同的。

图 3.11 中的平面模型是作为微带线结构的例子给出的。对于其他结构，通过分解 MTL 方程得到的平行板模式可用图 3.11 中的任何平面模型表示，其选择取决于所需的精度。

3.3.2　带状线结构

带状线是封装中最常用的传输线结构之一。由于两个平面像屏蔽三明治一样将信号线夹在中间，因此减少了电路板的辐射，这是带状线的一个主要优点。另外，相对于微带线结构，邻近网络的串扰也显著减少。如果两个平面为避免在它们之间发生电压波动而采用大量过孔将它们相连，那么分布在这两平面间的带状线就可以用一个信号传输线模型表示。有时信号线会分布在电源平面和地平面之间，此时两个平面就不能再用过孔短接了。但如果平面电容和去耦电容器能提供完全去耦，那么这种带状线仍可以建模为信号传输线。由于供电电压的降低和边沿速率的提高，电源/地平面间的电压波动变得更加显著，但这个简化模型未能考虑这种电压波动。本节将介绍一个能够表示这种电压波动的带状线模型。

3.3.2.1　多导体传输线(MTL)方程

信号线的 MTL 方程由下式给出：

$$\frac{\partial}{\partial z}\overline{V}(z,t)=-\overline{\overline{R}}\,\overline{I}(z,t)-\overline{\overline{L}}\frac{\partial}{\partial t}\overline{I}(z,t) \tag{3.1}$$

$$\frac{\partial}{\partial z}\overline{I}(z,t)=-\overline{\overline{G}}\,\overline{V}(z,t)-\overline{\overline{C}}\frac{\partial}{\partial t}\overline{V}(z,t) \tag{3.2}$$

其中 $\overline{V}(z,t)$ 和 $\overline{I}(z,t)$ 分别表示电压和电流向量，z 为位置坐标，t 为时间坐标。我们假设 MTL 在 xy 平面剖面均匀不变，并且支持准横向电磁波沿 z 轴方向传播。在方程(3.1)和方程(3.2)中，$\overline{\overline{R}}$、$\overline{\overline{L}}$、$\overline{\overline{G}}$ 和 $\overline{\overline{C}}$ 分别表示单位长度(pul)的电阻、电感、导纳和电容矩阵。有关方程(3.1)和方程(3.2)的细节，在许多传输线方面的教材中都可以找到[11][12][13]。

假设 $e^{j\omega t}$ 为一时变量，那么 MTL 方程就可以在频域中表示为

$$\frac{d}{dz}\overline{V}(z)=-\overline{\overline{Z}}\,\overline{I}(z) \tag{3.3}$$

$$\frac{d}{dz}\overline{I}(z)=-\overline{\overline{Y}}\,\overline{V}(z) \tag{3.4}$$

其中 $\overline{\overline{Z}}=\overline{\overline{R}}+j\omega\overline{\overline{L}}$，$\overline{\overline{Y}}=\overline{\overline{G}}+j\omega\overline{\overline{C}}$，$\omega$ 为角频率。通过模态分解可以方便地解出这些方程。使用矩阵 $\overline{\overline{T}}_V$ 和 $\overline{\overline{T}}_I$ 定义 $\overline{V}(z)=\overline{\overline{T}}_V\overline{V}_m(z)$ 和 $\overline{I}(z)=\overline{\overline{T}}_I\overline{I}_m(z)$，其中 $\overline{V}_m(z)$ 和 $\overline{I}_m(z)$ 分别表示模态电压和电流。"模态"指的是相对于基本 TEM 模式的电压和电流。将模态向量代入方程(3.3)和方程(3.4)，则有

$$\frac{d}{dz}\overline{V}_m(z)=-\overline{\overline{T}}_V^{-1}\overline{\overline{Z}}\,\overline{\overline{T}}_I\overline{I}_m(z)=-\overline{\overline{Z}}_m\overline{I}_m(z) \tag{3.5}$$

$$\frac{d}{dz}\overline{I}_m(z)=-\overline{\overline{T}}_I^{-1}\overline{\overline{Y}}\,\overline{\overline{T}}_V\overline{V}_m(z)=-\overline{\overline{Y}}_m\overline{V}_m(z) \tag{3.6}$$

假设两个变换矩阵 $\overline{\overline{T}}_V$ 和 $\overline{\overline{T}}_I$ 从方程(3.5)和方程(3.6)的对角化中获得(这样一来模态阻抗矩阵 $\overline{\overline{Z}}_m$ 和模态导纳矩阵 $\overline{\overline{Y}}_m$ 也为对角形式)，那么方程(3.5)和方程(3.6)就构成 $n+1$ 个导体的 n 个信号传输线方程。这是模态分解的基本思想。模态单位长度参数 $\overline{\overline{Z}}_m$ 和 $\overline{\overline{Y}}_m$ 非常有用，因为只要对端接进行一些更改，单个传输线模型就可以用于仿真 MTL，以实现模态电压和电流向量到真实电压电流的转换。

我们需要考虑的一种重要情况是由均匀介质中的理想导体组成的 MTL。对均匀介质中的理想导体，下列等式成立。其中，介质的电导率为 σ，介电常数为 ε，导磁率为 μ：

$$\overline{\overline{R}}=\overline{\overline{0}} \tag{3.7}$$

$$\overline{\overline{C}}\,\overline{\overline{L}}=\overline{\overline{L}}\,\overline{\overline{C}}=\mu\varepsilon\overline{\overline{1}} \tag{3.8}$$

$$\overline{\overline{G}}\,\overline{\overline{L}}=\overline{\overline{L}}\,\overline{\overline{G}}=\mu\sigma\overline{\overline{1}} \tag{3.9}$$

其中，$\overline{\overline{1}}$ 为单位矩阵。假设两个变换矩阵 $\overline{\overline{T}}_V$ 和 $\overline{\overline{T}}_I$ 已知，则有

$$\overline{\overline{T}}_V^{-1}\overline{\overline{L}}\,\overline{\overline{T}}_I=\overline{\overline{L}}_m \tag{3.10}$$

其中$\overline{\overline{L}}_m$为对角矩阵，称为模态单位长度电感矩阵。对方程(3.10)两边分别求逆矩阵可得

$$\begin{aligned}\overline{\overline{L}}_m^{-1} &= \left(\overline{\overline{T}}_V^{-1}\overline{\overline{L}}\,\overline{\overline{T}}_I\right)^{-1} \\ &= \overline{\overline{T}}_I^{-1}\overline{\overline{L}}^{-1}\overline{\overline{T}}_V \\ &= \frac{1}{\mu\varepsilon}\overline{\overline{T}}_I^{-1}\overline{\overline{C}}\,\overline{\overline{T}}_V \\ &= \frac{1}{\mu\sigma}\overline{\overline{T}}_I^{-1}\overline{\overline{G}}\,\overline{\overline{T}}_V\end{aligned} \tag{3.11}$$

通过观察可以看出，如方程(3.10)所示，如果能够找到将$\overline{\overline{L}}$对角化的变换矩阵$\overline{\overline{T}}_V$和$\overline{\overline{T}}_I$，那么矩阵$\overline{\overline{C}}$和$\overline{\overline{G}}$也能对角化。

3.3.2.2 带状线建模为 MTL

带状线的剖面如图 3.12 所示，图中忽略了导体的厚度。下基板和上基板的厚度分别为h_1和h_2，平面和信号导体的宽度分别为w_p和w_s。

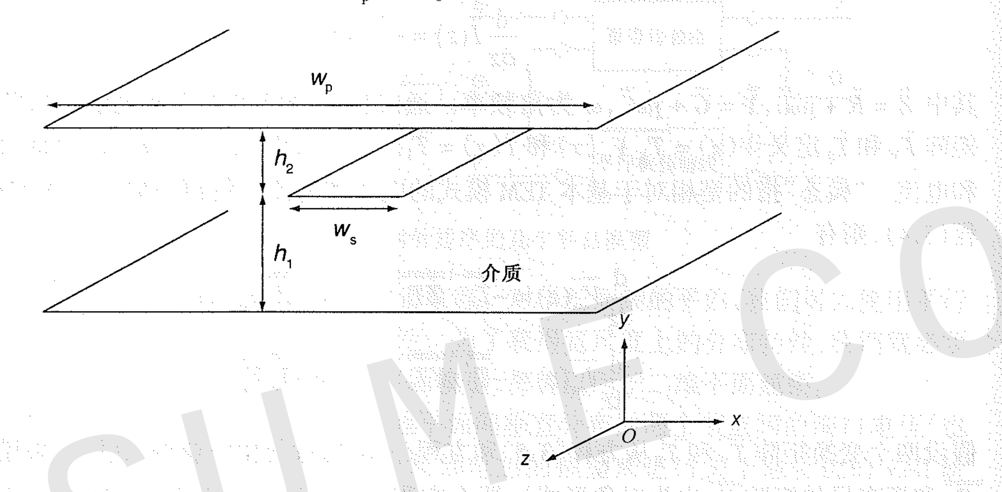


图 3.12 带状线的剖面图(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415-426, Aug. 2006, © 2006 IEEE)

假定导体损耗可忽略不计，平面间的电介质是均匀的(单一电介质)，并且电磁场限定在平面之间。那么带状线就可以看成是均匀介质中三个理想导体组成的 MTL。凭直觉可以判断这种结构中存在两种 TEM 模式：平行板模式(波在电源和地平面间传播)和带状线模式(波沿信号线传播)。在接下来的讨论中，我们会发现这种猜想对于同种均匀介质的带状线来说是正确的；然而，在非均匀介质(即在电源和地平面间使用多种电介质)中，这两种模式却是耦合的。

在平行板模式中，所有流入一个平面的电流都会在另外一个平面返回。而在带状线模式中，也就是在信号传输的工作模式中，平面间没有电压差分。将地平面设置为参考导体，如图 3.13所示，上述内容则可用变换矩阵的形式表示为

$$\overline{I}(z) = \begin{pmatrix} I_p(z) \\ I_s(z) \end{pmatrix} = \overline{\overline{T}}_I\overline{I}_m(z) = \begin{pmatrix} 1 & a \\ 0 & b \end{pmatrix}\begin{pmatrix} I_{par}(z) \\ I_{str}(z) \end{pmatrix} \tag{3.12}$$

$$\overline{V}(z) = \begin{pmatrix} V_p(z) \\ V_s(z) \end{pmatrix} = \overline{\overline{T}}_V\overline{V}_m(z) = \begin{pmatrix} c & 0 \\ d & 1 \end{pmatrix}\begin{pmatrix} V_{par}(z) \\ V_{str}(z) \end{pmatrix} \tag{3.13}$$

其中下标 par 和 str 分别代表平行板和带状线模式，p 和 s 分别代表电源平面和信号导体。例如，当信号线上没有电流时($I_s(z)=0$)，带状线模式就得不到激活($I_{str}(z)=0$)；类似地，当电源和地平面处于同一电位时($V_p(z)=0$)，平行板模式就得不到激活($V_{par}(z)=0$)。变量 a、b、c、d 可取任意值，它们将在对方程(3.10)采用$\overline{\overline{T}}_V$和$\overline{\overline{T}}_I$对角化$\overline{\overline{L}}$的过程中得到，这将在下一节有讨论。

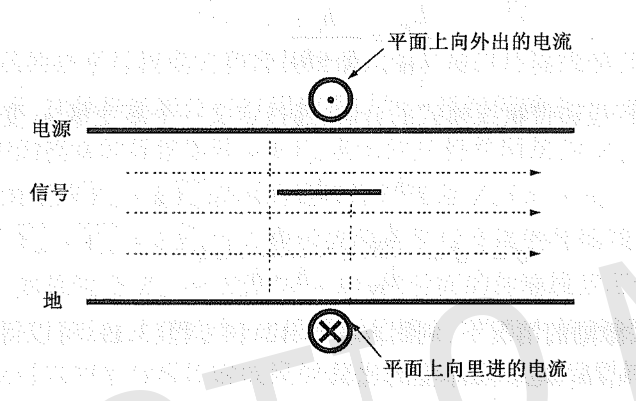


图 3.13 用于计算电感矩阵的均匀磁通量线(水平)和虚构线(垂直)的分布(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415-426, Aug. 2006, © 2006 IEEE)

对于均匀介质中的理想导体(即$\overline{\overline{R}}=0$)，如果$\overline{\overline{L}}$可以通过变换矩阵$\overline{\overline{T}}_V$和$\overline{\overline{T}}_I$对角化，那么$\overline{\overline{C}}$和$\overline{\overline{G}}$也可对角化，正如方程(3.11)所示。因此，为了选择合适的变换矩阵，只要证明$\overline{\overline{L}}$可以通过$\overline{\overline{T}}_V^{-1}\overline{\overline{L}}\,\overline{\overline{T}}_I$对角化即可。通过显式执行这个相乘计算，可证明$\overline{\overline{L}}$可以根据下列公式对角化：

$$\begin{aligned}\overline{\overline{T}}_V^{-1}\overline{\overline{L}}\,\overline{\overline{T}}_I &= \begin{pmatrix} \frac{1}{c} & 0 \\ -\frac{d}{c} & 1 \end{pmatrix}\begin{pmatrix} L_{pp} & L_{sp} \\ L_{sp} & L_{ss} \end{pmatrix}\begin{pmatrix} 1 & a \\ 0 & b \end{pmatrix} \\ &= \begin{pmatrix} \frac{1}{c}L_{pp} & \frac{a}{c}L_{pp}+\frac{b}{c}L_{sp} \\ -\frac{d}{c}L_{pp}+L_{sp} & -\frac{ad}{c}L_{pp}+aL_{sp}-\frac{db}{c}L_{sp}+bL_{ss} \end{pmatrix} = \begin{pmatrix} L_{par} & 0 \\ 0 & L_{str} \end{pmatrix}\end{aligned} \tag{3.14}$$

为了使非对角线元素为零，下列关系必须成立：

$$a = -\frac{L_{sp}}{L_{pp}}b \tag{3.15}$$

$$d = \frac{L_{sp}}{L_{pp}}c \tag{3.16}$$

其中L_{pp}和L_{sp}分别表示上平面单位长度的自感和上平面与信号导体间单位长度互感。此外，下标 par 和 str 分别表示平行板和带状线模态量。因此，问题就简化为根据给定的带状线几何结构求出L_{sp}/L_{pp}的比值。

通常，单位长度电感矩阵的元素可以通过画出每个导体到参考导体的虚构线框，进而计算

穿越这些虚构线框的磁通量来获得[11]。在带状线中，L_{sp}/L_{pp}的比值可以很容易地从基板厚度得到。假设信号导体上没有电流流过，那么上平面中的电流就会经下平面返回。如果从信号线到参考导体任意画一条虚框，如图 3.13 所示，那么 L_{sp}就可以由穿透这条虚框的磁通量和平面中的电流之比得出。同样，在两个平面间画一条虚框，L_{pp}也可由穿透这条虚框的磁通量和平面中流经的电流之比得出。对于这样一种激励，当忽略边缘效应时，平面间的电磁场就可以近似地认为是均匀分布的。那么我们可以观察到下式是成立的：

$$\frac{L_{sp}}{L_{pp}}=\frac{h_1}{h_1+h_2} \tag{3.17}$$

为了实现所需的平行板和带状线模式的分解，通过定义一个新变量 k，变换矩阵中的元素可选择如下：

$$b=c=1 \tag{3.18}$$

$$a=-d=-\frac{L_{sp}}{L_{pp}}=-\frac{h_1}{h_1+h_2}=k \tag{3.19}$$

有趣的是，在带状线模式激励的情况下，利用方程(3.12)和方程(3.19)可以得到上平面和下平面间返回电流的比值为 h_1/h_2(电介质厚度的比)。

举例

当一个电介质的厚度远远大于另外一个电介质时，带状线就近似于一个微带线结构。例如，当 h_1 远远小于 h_2 时，它就变成了一个以地平面为参考面的微带线。在这种情况下，$k=0$，并且在信号传输模式和平行板模式间没有耦合。另外一种极端情况，即 h_1 远远大于 h_2 时，传输线中所有的返回电流都在电源平面，这时 $k=-1$。因此，对于任意一种带状线结构来说，耦合系数都处于 0 和 -1 之间。

通过检查变换矩阵可以得到一个等效四端口带状线模型，如图 3.14 所示。模态传输线位于模型的中间。Z^c_{par}和 Z^c_{str}分别为平行板模式和带状线模式的特性阻抗。为了从模态电压和电流中得到实际的电压和电流，变换矩阵必须用电路元件来实现，对于给定的模型是采用受控源来做的。上标 i 和 o 分别表示输入和输出(例如，当输入位于 z 坐标的 0 处，输出位于 z 坐标的 l 处，那么 $I^i_s=I_s(0)$，$I^o_s=I_s(l)$，等等)。

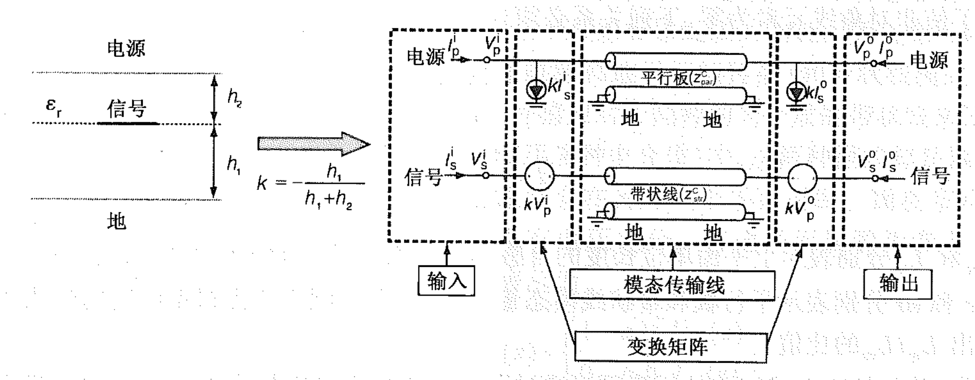


图 3.14　带状线等效电气模型

3.3.2.3　带状线的一种备选模型

图 3.14 所示的电气模型可以表示成它的导纳矩阵形式：

$$\begin{pmatrix} I^i_p \\ I^o_p \\ I^i_s \\ I^o_s \end{pmatrix}=\begin{pmatrix} k^2\overline{\overline{Y}}_{str}+\overline{\overline{Y}}_{par} & k\overline{\overline{Y}}_{str} \\ k\overline{\overline{Y}}_{str} & \overline{\overline{Y}}_{str} \end{pmatrix}\begin{pmatrix} V^i_p \\ V^o_p \\ V^i_s \\ V^o_s \end{pmatrix} \tag{3.20}$$

其中$\overline{\overline{Y}}_{par}$和$\overline{\overline{Y}}_{str}$表示的是平行板模式和带状线模式中二端口传输线模型的导纳矩阵。类似于二端口的 π 模型表示，这种导纳矩阵可以用四端口的 π 模型精确表示，如图 3.15(a)所示。

图 3.15(a)中间模块的导纳矩阵 $-k\overline{\overline{Y}}_{str}$表示的是特性阻抗为 $Z^c_{str}(h_1+h_2)/h_1$ 的传输线。下边模块中的导纳矩阵$\overline{\overline{Y}}_{str}+k\overline{\overline{Y}}_{str}$表示的是特性阻抗为 $Z^c_{str}(h_1+h_2)/h_2$ 的传输线。上边模块中的导纳矩阵 $k^2\overline{\overline{Y}}_{str}+\overline{\overline{Y}}_{par}+k\overline{\overline{Y}}_{str}$可以表示成两条平行连接的传输线，其特性阻抗分别为 Z^c_{par}和 $Z^c_{str}/(k^2+k)$。如果假设 $Z^c_{par}\ll Z^c_{str}/(k^2+k)$，则后面的传输线就可以省略掉，这和最初的假设是一致的，即在平行板模式激励中，如果平面足够大，平面中的磁场均匀分布。在这种假设下，第一个模块就可以用平行板传输线模型表示，而相应的备选模型如图 3.15(b)所示。

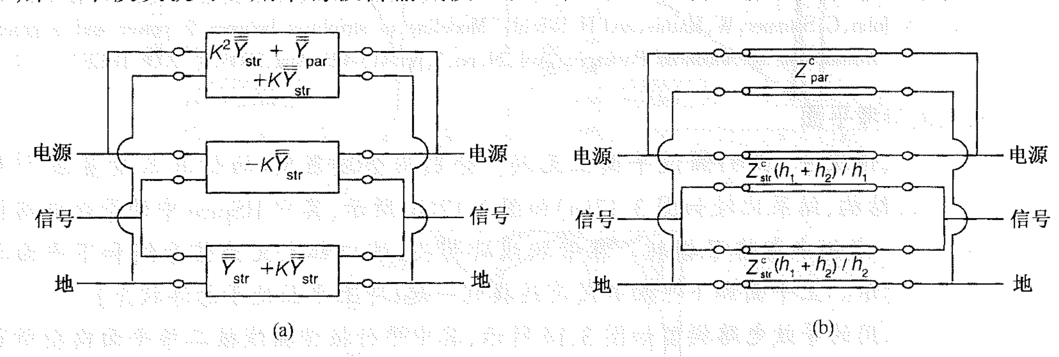


图 3.15　(a) 带状线的参考 π 模型；(b) 由参考 π 模型得到的备选模型(内容来自 A.E.Engin, W.John, G.Sommer, W.Mathis, and H.Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol.29, no.3, pp.415-426, Aug.2006, © 2006 IEEE)

平行板传输线模型可以用第 2 章讨论的任何一个二维平面模型来取代。这种取代之所以可行，是因为带状线模式和平行板模式是去耦合的，并且也可以应用于图 3.14 所示的模型中。

图 3.14 所示的模型与图 3.15(b)中所示的备选模型相比，它的优点是只需要一半数量的传输线(不包括平面)。只要加上必要的受控源和平面模型，马上可以应用于扩展已有的理想二端口带状线模型。对耦合带状线的扩展并不复杂。这种情况下，平行板模式和带状线模式之间的相互作用也可以用简单的受控源表示[14]。

举例

本例中，我们分析以有洞的电源/地平面为参考的信号传输线引起的平面反弹。带状线的俯视图和剖面图如图 3.16(a)所示，在上平面上有一个正方形的洞。上、下基板的厚度分别为 100 μm 和 200 μm，介电常数都为 4，信号线宽度为 100 μm。图 3.14 所示的带状线模型的平面，

采用了平行板传输线模型；而本例中为了适合任意平面结构的情况，我们换成了一个二维平面模型。

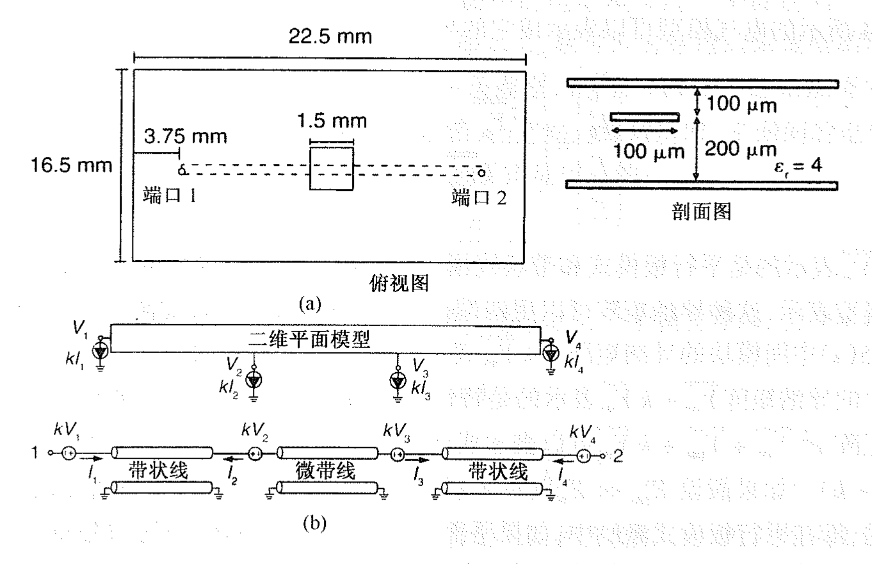


图 3.16 (a) 其中一个参考平面上有洞的带状线；(b) 参考平面上有洞带状线的等效电气模型(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol.29, no.3, pp.415-426, Aug. 2006, © 2006 IEEE)

无洞的连续参考平面

在第一种测试情况中，我们假设平面上无洞。分别用全波 2.5D 场仿真器动量法[15]和 HSpice[2] 来仿真此结构，结果比较如图 3.17(a)和图 3.17(b)所示，其中 HSpice 中的等效电路模型如图 3.14 所示。本例中忽略了损耗。在带状线的两头，端口都定义为信号线和下平面之间，如图 3.16(a)所示。上平面和下平面并没有连接到一起(即上平面处于悬浮状态)。

这种情况下采用的等效电路模型如图 3.14 所示，其中平行板传输线被二维平面模型所取代，二维平面模型基于第 2 章讨论的有限差分方法。平面分解为 15×11＝165 个单元，因此在高达 10 GHz 下每个单元的尺寸都小于 λ/10～10 GHz，其中 λ 为介质中的波长。在电路模型和全波仿真之间有很好的吻合，如图 3.17(a)和图 3.17(b)所示。微小的差异可能归因于传输线模型，因为它不能解释边缘效应(例如，由于传输线长度有限而在近端和远端产生的边缘场)。

有洞的参考平面

在平面模型中，平面上的洞可以看成是去掉了相应位置上的单元形成的。在研究过的情况中，上平面有一个洞，而下平面是连续的。因此，在洞的位置上带状线结构突然变成微带线结构。相应地，由洞和端接引起的带状线、微带线和平行板间的模式变换，都可以用图 3.16(b)所示的模型来考虑。

图 3.17(c)和图 3.17(d)所示为从全波仿真器和等效电路模型中得到的 S 参数。结果同样吻合得很好。我们注意到和前面无洞的情况相比较，S 参数的特征有很大差异。从 7 GHz 开始模型和全波仿真结果间的幅度产生偏离，主要是由带状线模型到微带线模型的突然变化引起的。在突变处增加一个寄生电容用来表示微带线和上平面间的耦合，可能会增加模型的精度。

很明显，在两种情况中，平面的谐振特性都耦合在 S 参数中。这种特性和由电小间距过孔连接两平面的普通带状线模型的期望 S 参数有很大差异。图 3.17(e)给出了 S_{12}，并将理想传输线(假设理想平面处于地电位)和这两种(有洞和无洞)情况进行了对比，可以看出，有洞时 S_{12} 偏离理想情况很严重。前面研究过的上平面悬浮情况，典型地代表了当两平面处于不同 DC 电位(如 I/O 电源和地)时且带状线附近没有去耦电容器的情况。

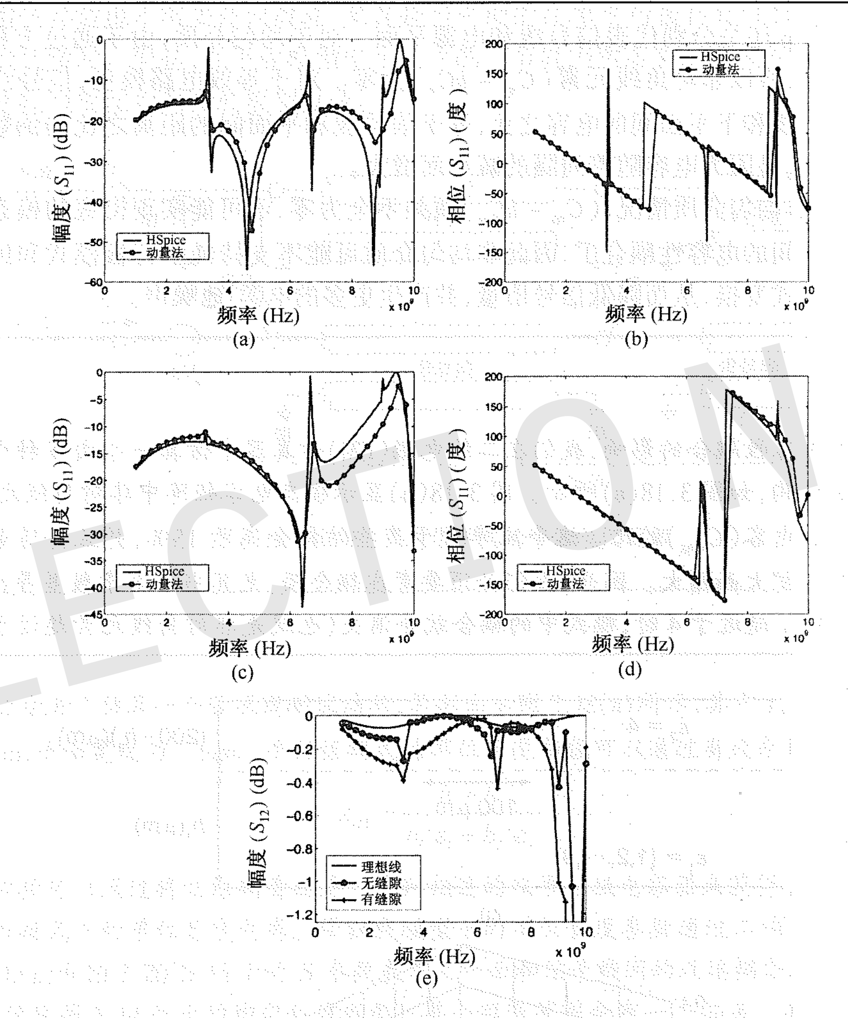


图 3.17 在没有洞的情况下，S_{11} 的(a)幅度和(b) 相位；在有洞的情况下，S_{11} 的(c)幅度和(d) 相位，(e) 在有狭缝、无狭缝和理想传输线情况下 S_{12} 的幅度对比(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, [14], © 2006 IEEE)

3.3.2.4 非均匀介质

在前面一节中，我们推导了均匀介质中带状线的模型。通常在芯片封装和 PCB 中用到电介质材料的导磁率可以假定为常数，并且等于真空中的导磁率。实际中，会有多层不同介电常数的介质层。这种情况下，由于电感与介电常数无关，电感矩阵仍然可以根据前面所述的变换矩阵分块对角化。但电容矩阵就没必要也由变换矩阵进行分块对角化，因为方程(3.8)及由此导出的方程(3.11)都不成立了，这一点可以通过矩阵相乘得到的模态电容看出：

$$\overline{\overline{T_I}}^{-1}\overline{\overline{CT_V}}=\begin{pmatrix}1 & -k\\0 & 1\end{pmatrix}\begin{pmatrix}C_{pp} & C_{sp}\\C_{sp} & C_{ss}\end{pmatrix}\begin{pmatrix}1 & 0\\-k & 1\end{pmatrix}=\begin{pmatrix}\approx C_{pp} & C_{sp}-kC_{ss}\\C_{sp}-kC_{ss} & C_{ss}\end{pmatrix} \tag{3.21}$$

这里的下标 s 和 p 还是分别代表信号线和电源平面。对于均匀介质，由于通过方程(3.11)电容矩阵被对角化，所以非对角线元素($C_{sp}-kC_{ss}$)为零。对于等效电路模型，信号线和上平面间的电容与信号线和下平面间的电容之比，等于信号线和平面间的距离之比的倒数。之所以有这个倒数关系，是因为电容随着间隔的减小而增大。

然而，对于非均匀介质情况，($C_{sp}-kC_{ss}$)项并不全为零，不可能实现彻底的模态分解。这时就须考虑模式间的电容性耦合了，因此非均匀介质可能不支持纯平行板模式和纯带状线模式。沿线会有模式变换，从而降低信号质量，并产生更多的电源/地噪声。

举例

为了研究电容性耦合的影响，我们在二维电磁(EM)仿真器中仿真一个由多种介电常数基板构成的测试结构，如图 3.18(a)所示。图 3.18(b)显示模态电容矩阵中非对角线元素(C_{off})与带状线模式的自电容(C_{diag})的比。这个比率对于某些结构会高于 15%，并且会随着两种基板介电常数差异的扩大而增大。因此，我们必须要考虑耦合项，尤其当介电常数差异很大时。注意，当介电常数 ε_1 趋近于 4 时，模式中的耦合就会消失(也就是非对角线元素趋近于零)。

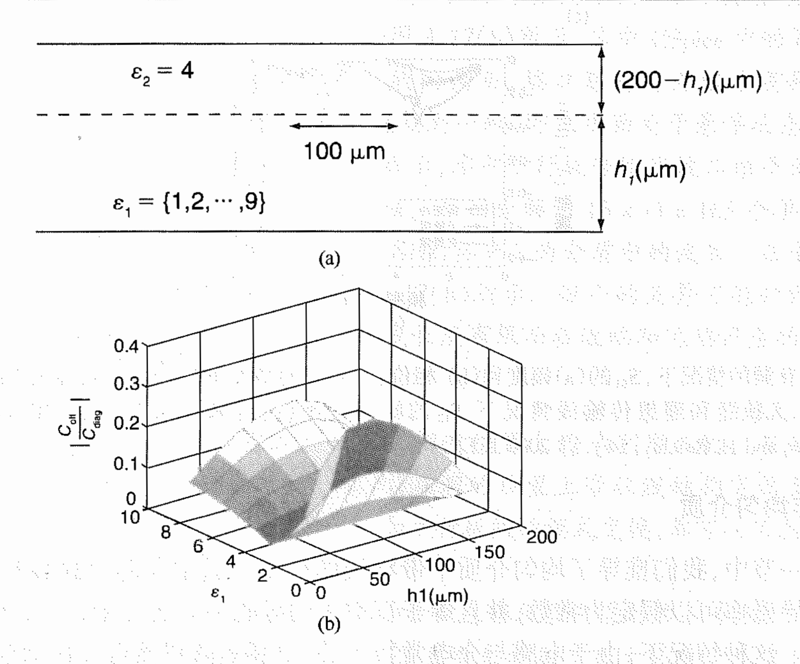


图 3.18 (a) 用于研究模式间容性耦合的测试结构；(b) 容性耦合项与带状线模式的电容之比(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415-426, Aug. 2006, © 2006 IEEE)

平行板模式和带状线模式间的容性耦合，可以通过将带状线模型中整个互连分解为电小尺寸的小节，并在其连接处使用耦合电容器的方法来考虑，如图 3.19 所示。这些电容器的单位长度的值可以从方程(3.21)中得到，为 $-(C_{sp}-kC_{ss})$。图 3.19 中所示的带状线模型中，我们假设两个平面都处于地电位，其单位长度电容的计算也必须包含这些耦合电容器。图 3.19 中平面模型的参数也不需要任何改动，尤其是当平面的简单平行板传输线模型用更复杂的二维平面模型代替时。但是，在平面模型电小尺寸的一节处仍然需要定义额外的端口。很显然，非均匀介质模型要比均匀介质模型复杂。

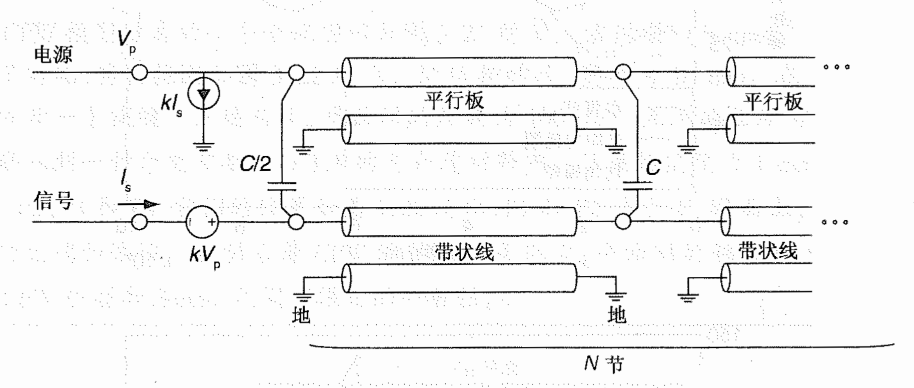


图 3.19 非均匀介质带状线的等效电气模型

举例

使用动量法[15]仿真一个带状线测试结构，其剖面如图 3.18(a)所示，其中 $\varepsilon_1=20$，$h_1=150\ \mu m$，长度为 1 cm，平面宽度为 5 mm。平行板模式的单位长度电容可以通过有效介电常数来计算：

$$\varepsilon_{eff}=\frac{h_1+h_2}{h_1/\varepsilon_1+h_2/\varepsilon_2} \tag{3.22}$$

有效介电常数可以通过将该结构看成是一系列相连的双平行板电容器来获得。通过分析也可以得出平行板模式中的单位长度电感。带状线模型中的单位长度参数通过二维 EM 仿真器计算出来。图 3.20(a)和图 3.20(b)所示的 *S* 参数表示上平面和信号线间的近端耦合。当忽略模式间的耦合时(即使用图 3.14 所示的均匀介质模型)，整个频带范围会有一个偏差。而当考虑到耦合电容的影响时，如图 3.19 所示的非均匀介质模型，其幅度和相位同全波仿真的结果吻合得相当好。

3.3.3 背靠导体共面波导结构

可以为背靠导体(conductor-backed)共面波导结构(Coplanar Waveguide Configuration, CPW)建立一个类似的模型。背靠导体 CPW 结构也是多引脚封装的一种常见结构，它允许在同一层上(如电源/地平面)进行互连布线，互连布线是通过在平面上创建狭缝(slot)来获得的，如图 3.21 所示。尽管图 3.21 中剖面地平面的上方只有三个导体，但我们假设 V_{dd} 导体是相连的，并且作为单个导体来看待。因此，所示的剖面可以看成是连续地平面(参考导体)上的一个双导体传输线。

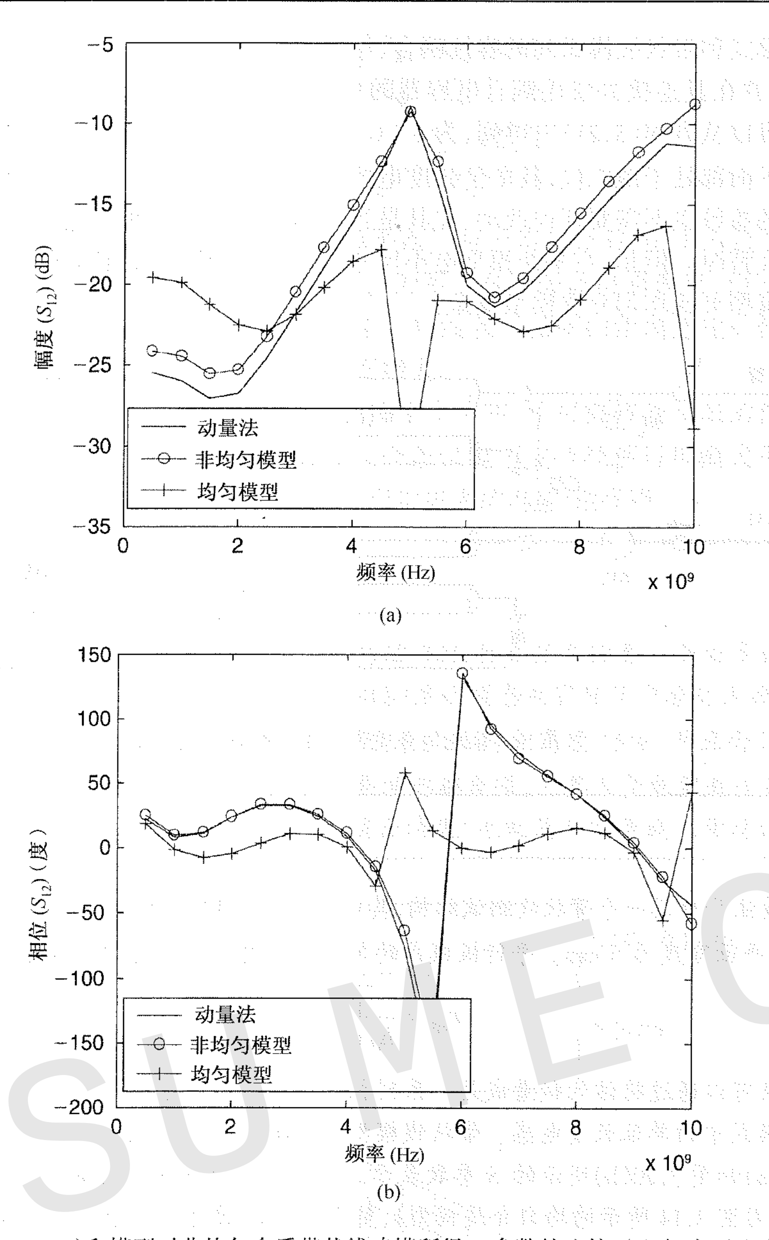


图 3.20 动量法(Momentum)和模型对非均匀介质带状线建模所得 S 参数的比较:(a) 幅度;(b) 相位(内容来自 A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415-426, Aug. 2006, ©2006 IEEE)

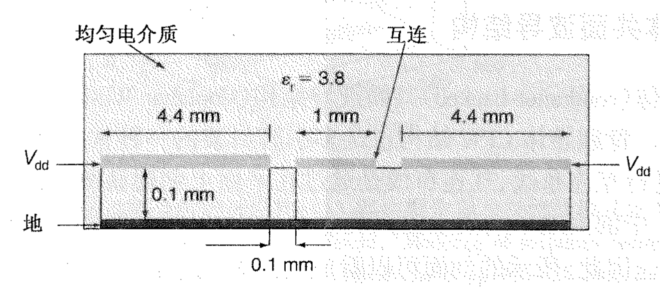


图 3.21 背靠导体共面波导结构剖面

背靠导体 CPW 结构中传播的两种模式为平行板模式和 CPW 模式。在 CPW 模式中 V_{dd} 平面和地平面间没有电压差分。因此,当图 3.14 中的带状线模型用背靠导体 CPW 模型取代时,通过模态分解得到的模型就和带状线模型一样。对于背靠导体 CPW 结构,我们还不能通过简单的解析方程得到耦合系数 k。在这种情况下,得到 k 的一条途径便是用二维场求解程序来计算出单位长度电感矩阵。

举例

利用 CPW 模型仿真的一个测试实例如图 3.21 所示。该模型和 Sonnet[16] 得出的全波仿真结果进行了对比,其俯视图如图 3.22 所示。此结构的长、宽都为 10 mm。在平面的中间互连布线的地方开一个狭缝。互连与 V_{dd} 平面间的距离为 100 μm。互连的长度为 7.4 mm,并且整个结构都嵌入到一种介电常数 $\varepsilon_r = 3.8$ 的电介质材料中。互连的宽度为 1 mm。4 个端口分别定义为 P1、P2、P3 和 P4,它们的位置如图 3.22 所示,P1 和 P2 位于 V_{dd} 平面上,而 P3 和 P4 分别位于互连的近端和远端。表明沿着 CPW 的传播以及与 V_{dd} 平面间的耦合的 S 参数如图 3.23 所示。在 CPW 模型和 Sonnet 之间有很好的一致性。

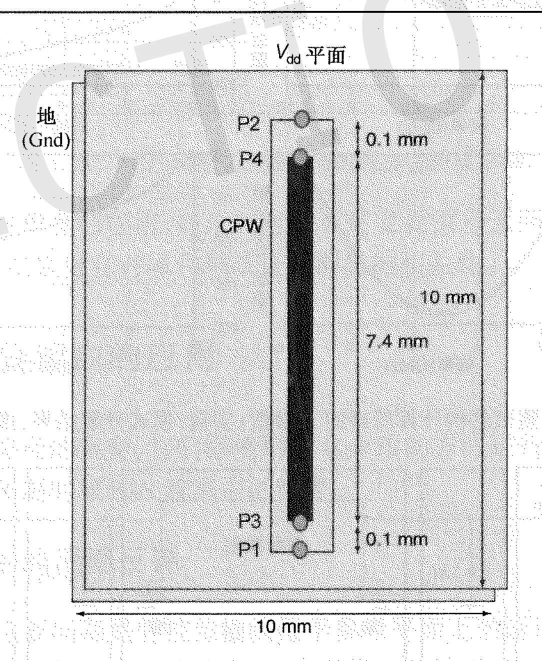


图 3.22 验证 CPW 模型的一种测试结构

3.3.4 模态分解法小结

前面几节中讲到过的微带线模型、带状线模型及背靠导体 CPW 模型都可以用图 3.24 中所示的单个模型表示。相应的传输线模型和电源/地平面模型的耦合由模态分解技术得到的受控源来实现。受控源的值取决于耦合系数 k。对不同的传输线结构可以用不同的方法得到 k 值,如图 3.25 所示。在图中,地平面是为定义 k 而选择的参考导体。最简单的情况是微带线:微带线以地平面为参考时(因此信号线的返回电流仅仅在地平面上),$k = 0$;微带线以电源平面为参考时(因此信号线的返回电流仅仅在电源平面上),$k = -1$。对于带状线,信号线返

回电流分布在电源和地平面之间，这里的耦合系数可以很容易通过电介质的厚度得到。对于 CPW 来说，并没有简单的解析方程，这种情况下，我们可以通过二维场求解程序来获得耦合系数。对于非均匀介质，如果不经过修改，带状线和 CPW 模型就可能不会正常工作，因为使用模态分解法不可能将单位长度电感和电容矩阵同时对角化。然而，我们可以通过增加额外的电容器来建立一个改进的模型，进而对由非均匀介质引起的模式变换进行建模。对于非均匀介质的微带线模型，不经过修改也可以正常工作。

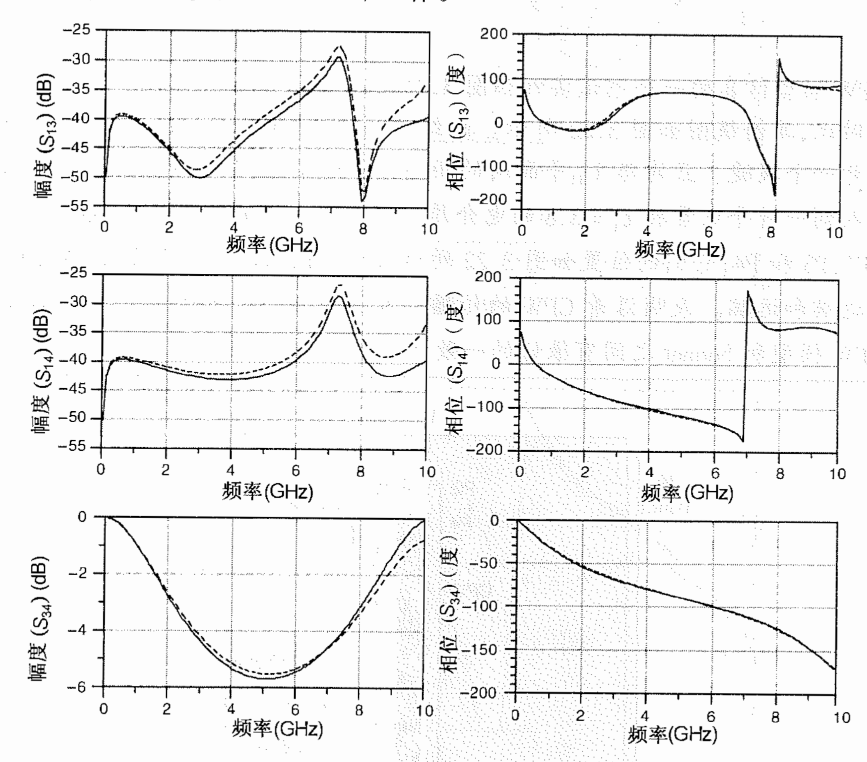


图 3.23 CPW 测试结构计算所得的 S 参数；实线：模式分解结果；虚线：Sonnet 结果

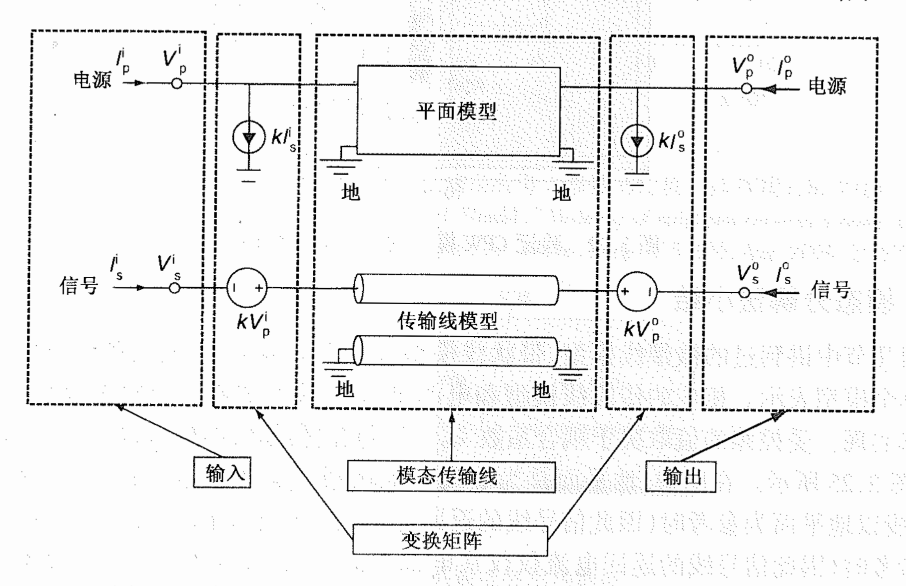


图 3.24 能用于微带线、带状线和背靠导体 CPW 结构的通用模型

传输线类型	均匀介质 $(\varepsilon_1=\varepsilon_2)$ 中的耦合系数 k	非均匀介质 $(\varepsilon_1\neq\varepsilon_2)$
以地平面为参考的微带线 信号 电源 地 ε_1 ε_2	$k=0$	可以采用模态分解计算
以电源平面为参考的微带线 信号 电源 地 ε_1 ε_2	$k=-1$	可以采用模态分解计算
带状线 信号 电源 地 ε_1 ε_2 h_1 h_2	$k=-h_1/(h_1+h_2)$	必须考虑电容耦合项
背靠导体 CPWG 信号 电源 地 ε_1 ε_2 电源	从 2D 场求解器获得到 k	必须考虑电容性耦合项

图 3.25 用于不同传输线结构的模态分解法小结

后面几节给出了这些模型的应用，讨论如何表示突变处信号返回电流路径改变时的模式变换。同时，还将讨论测试装置在时域和频域进行测量的相关性。

3.4 模型在时域分析中的应用

本节介绍几种返回路径的突变，它们都使用本章介绍的方法进行建模。每种模型都用一个测试装置来验证它在预测时域 SSN 波形中的精度。

3.4.1 返回电流产生的平面反弹

高速系统中 SSN 的主要问题是管控传输线位于参考平面上的返回电流，这个返回电流引起平面反弹。这种影响对于估计高速系统中 IC 电源供电的波动性非常重要。第 2 章所述的平面建模方法及前几节中所讲的模态分解方法，都可以用来对平面反弹建模，因为它们都能精确地考虑平面上的返回电流。

在本节中，我们通过有源电路板实验来分析返回电流对 SSN 的影响。设计一个测试装置并对其进行测量，以在时域中验证模态分解法的有效性。

3.4.1.1 测试装置

图 3.26 所示为包含平面、传输线和非线性驱动器的测试装置[17]。该测试装置为七层结构的电路板，其中互连由四条特性阻抗 $Z_0=22\ \Omega$ 的非常宽的微带线组成。它们长度大约为

20 英寸(约 50 cm),由 TI 的 ABT244 缓冲驱动器驱动。电源和地平面宽 0.3 英寸(7.6 mm),长度和传输线长度相近。测试装置的叠层包括四个电源平面层和三个信号层,其顺序为:$sig_1/V_{dd1}/Gnd_1/sig_2/sig_3/V_{dd2}/Gnd_2$。各铜层间的填充材料为 FR-4,除了 sig_2 层和 sig_3 层间为 24 mil 外,其余各层间距离都为 4 mil。测试装置的左侧安装 4 个硅驱动器,驱动器封装为 20 引脚 DIP。它们通过过孔由 V_{dd1} 和 Gnd_1 驱动。在 Gnd_1 平面层和 V_{dd2} 平面层之间嵌入两组 50 Ω 的带状传输线。这里不讨论这些传输线上的噪声,详细的内容可以从参考文献[17]中找到。在测试装置的左侧,两个电源平面间和两个地平面间并没有连接,这样就可以单独测量 4 个平面间的电压。在测试装置的右侧,V_{dd} 平面和 Gnd 平面是相连的。该测试装置用于放大 SSN 波形。

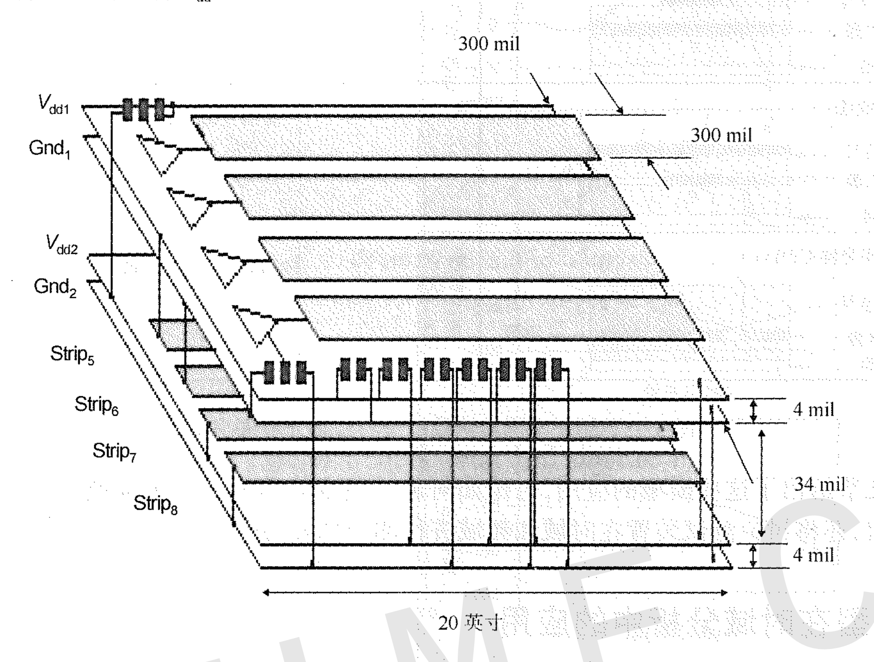


图 3.26 验证 SSN 建模正确性的测试装置(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

测试装置的右侧有一个 5 V 的电源为其供电。当驱动器同时切换时,在驱动器附近对噪声进行监测。在两种实验条件下进行测量:(1)微带传输线的远端处于开路状态,(2)微带传输线的远端通过 43 Ω 的电阻器分别与 V_{dd} 平面和 Gnd 平面相连。驱动器的电源供电噪声用 TDS 794D 示波器来采集。

在驱动器附近测量的噪声电压包括:

1. V_{dd1} 和 Gnd_1 间的电压(差分电压为 PP1);
2. V_{dd2} 和 Gnd_1 间的电压(差分电压为 PP2);
3. V_{dd2} 和 Gnd_2 间的电压(差分电压为 PP3)。

正如前面所提到的,SSN 问题已从电感问题转换为平面反弹问题。对于包含平面的多层结构,平面上来自传输线的返回电流会显著增加平面反弹。使用本章前面讨论过的微带线结构的模态分解法,测试装置的模型可以表示为如图 3.27 所示的结构。图中只画出一条微带传

输线,并且为了简明去掉了带状线。微带线以 V_{dd1} 平面为参考平面,如图 3.26 所示。通过与非线性驱动器相连接,图 3.27 中的电路模型就可以使用任何一个仿真器来仿真。

图 3.27 中,使用一个四端传输线模型(包括输入端、输出端和位于两头的两个参考端)来对微带线模式建模。这些模型在大多数电路仿真器中都可以获得,如 HSpice[12]。图 3.26 所示的 20 英寸长的传输线模型参数为:$Z_0 = 22\ \Omega$,时延 = 3 ns。可以使用包含趋肤效应的更复杂传输线模型,进而获得更精确的信号波形。每个平面对都可以用第 2 章所述的谐振腔法单独进行建模,并且在输入和输出端口相连。由于考虑趋肤效应,除了端口间的耦合之外,假设此模型中平面对间没有耦合。

在图 3.27 所示平行板模式的等效电路中,平面所用的模式为 $0 \leqslant m \leqslant 8$,$n = 0$,正如第 2 章所述。由于测试装置中平面的长度相对于宽度来说很长,该平面就表现为一维传输线,因此 $n = 0$。

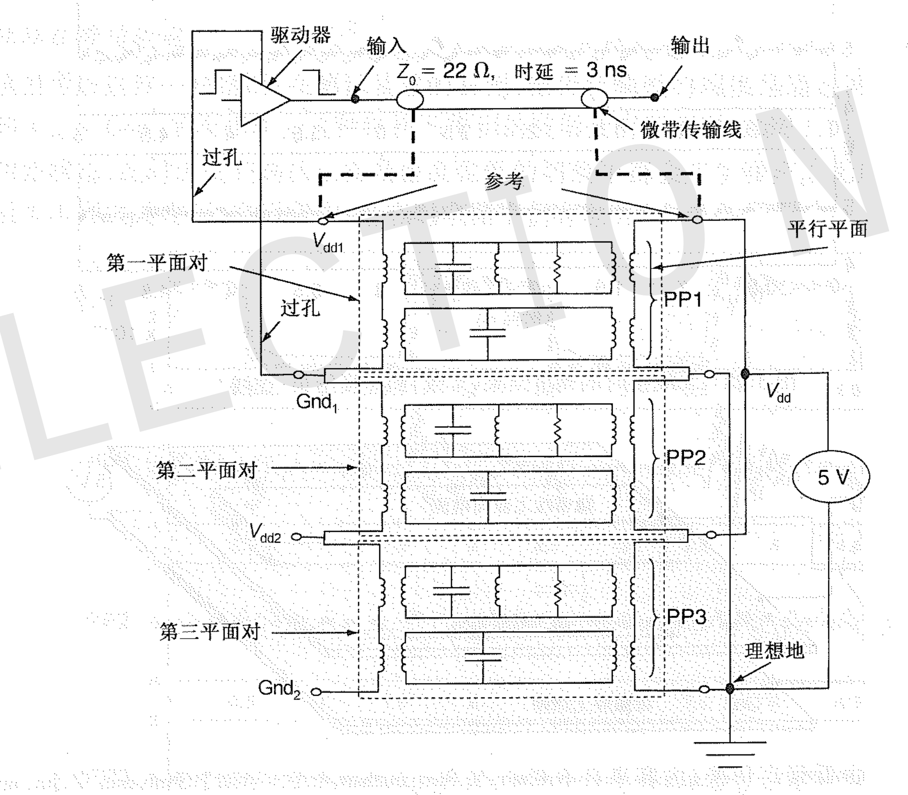


图 3.27 测试装置的电路模型(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

无端接微带传输线

图 3.28 所示为远端无端接时微带传输线的建模和测量结果。在驱动器由高到低的切换中会产生噪声,而在由低到高的切换中则基本不会产生噪声。这种差异可以通过返回电流来解释。

首先,我们考虑驱动器在低状态时的初始稳态条件。由于微带线是无端接的,因此,电路中没有电流。从这个低状态,驱动器切换到高状态。驱动器通过一个小电阻器(图 3.29 中的 R_{on1})将 V_{dd1} 平面和传输线连接起来,电流流入传输线,将其充电,而返回电流则在 V_{dd1} 平面上。电流回路经由 V_{dd1} 平面、驱动器电阻、传输线及传输线和 V_{dd1} 平面组成的电容,如图 3.29

所示。Gnd_1 平面不是电流回路的一部分,因此,电路中的电流不会在 V_{dd1} 和 Gnd_1 平面间激起任何波。

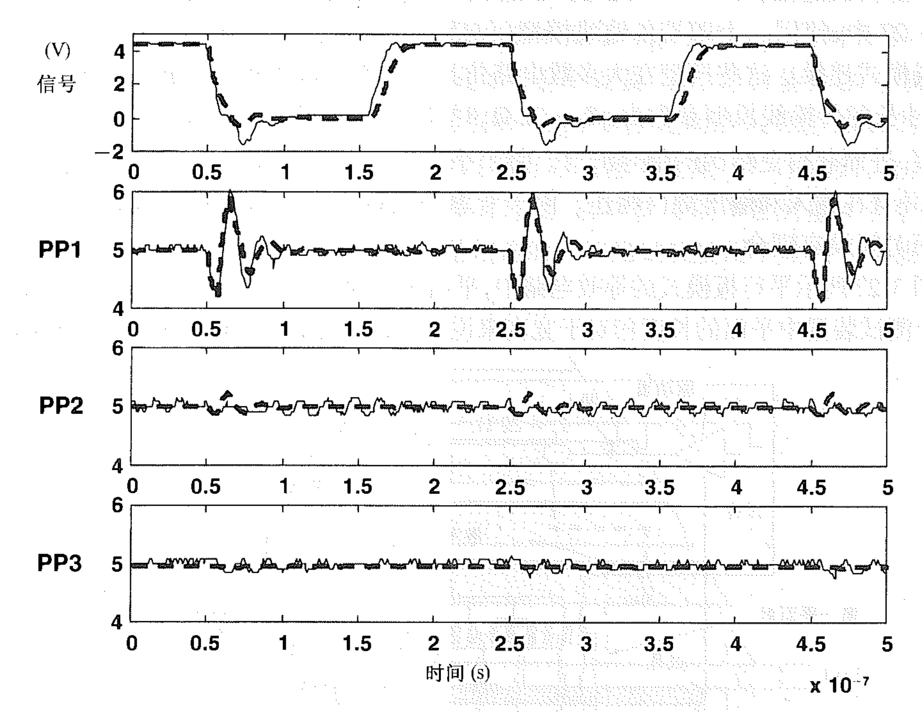


图 3.28 无端接时的测量结果(实线)和建模结果(虚线)

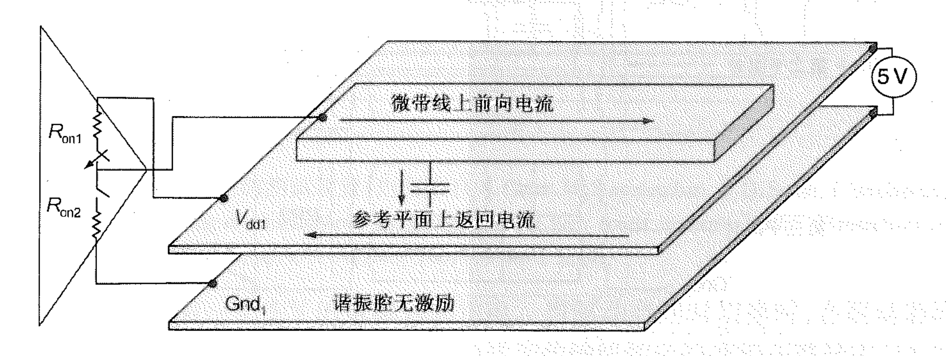


图 3.29 无端接下由低到高切换(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

接下来,我们考虑驱动器处于高状态时的稳态条件。如前所述,微带线是无端接的,因此电路中没有电流。此时驱动器由高到低切换。驱动器通过一条低阻抗路径(图 3.30 中的 R_{on2})将传输线和 Gnd_1 平面连接起来。传输线中的电流流入驱动器附近的 Gnd_1 平面。传输线上的电流也会在 V_{dd1} 平面引起返回电流。为了保证驱动器附近电流的连续性,在 Gnd_1 和 V_{dd1} 平面间产生了一个垂直的电流源,它在数值上和位移电流源相等,如图 3.30 所示。电流源在平面间会激起一个辐射波,该辐射波在平面边缘反射,进而引起平面反弹。

在图 3.28 中,由于没考虑封装电感,模型的振铃很小。另外,图中也给出了其他层的耦合噪声(尽管很小)。

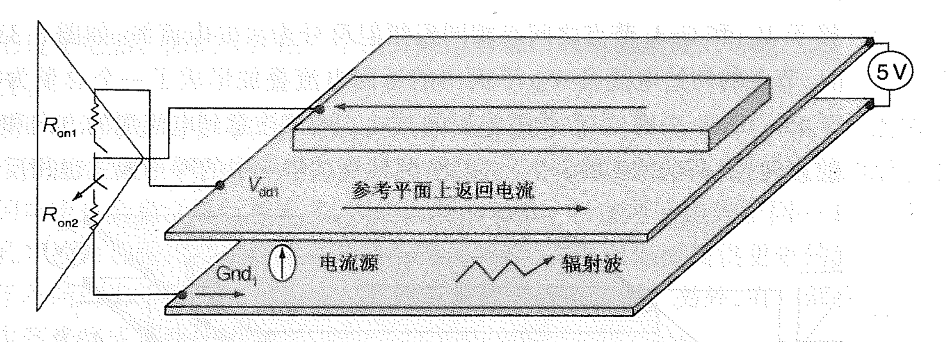


图 3.30 无端接下由高到低切换(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

端接微带传输线

这里考虑这样一种情况:在测试装置的右侧,微带传输线的端接是通过两个 43 Ω 电阻器分别和 V_{dd1} 及 Gnd_1 平面相连。这种结构下得到的波形会有所不同,如图 3.31 所示。由于传输线的初始状态,此时由低到高的切换及由高到低的切换中都会产生噪声。无端接和端接传输线的根本不同之处在于:在后者中,稳态时电路中仍有电流。

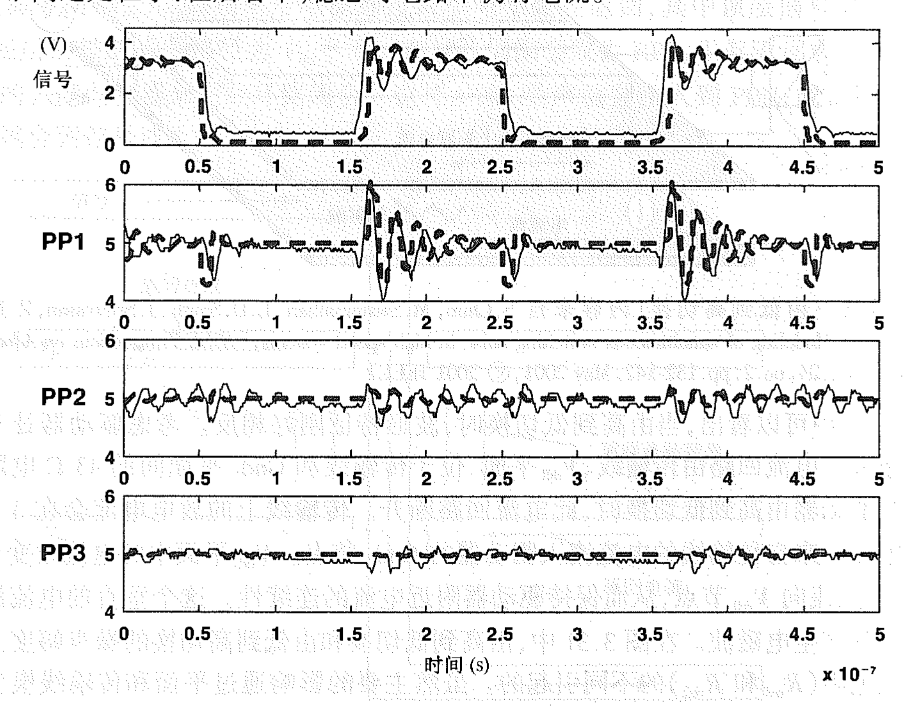


图 3.31 在有端接下的测量结果(实线)和建模结果(虚线)

考虑驱动器处于状态低时的初始条件。电流通过微带线和 V_{dd1} 平面之间的 43 Ω 电阻器从测试装置的右侧电源提供电流到 22 Ω 微带传输线。驱动器中的下拉器件将电流导入 Gnd_1 平面,并在 Gnd_1 平面返回到测试装置的右侧,如图 3.32 所示。在这些初始条件下,驱动器实现了由低到高的切换。当驱动器中的下拉器件变为高阻抗状态时,最初的电流回路为开路。此时没有电流流入驱动器的 Gnd_1 节点。考虑流入 Gnd_1 节点的初始电流,可以将此干扰理解

为好像有一个连接于 V_{dd1} 和 Gnd_1 节点之间有相同振幅但符号为负的电流源，如图 3.33 所示。此电流与流经 Gnd_1 节点的初始电流及 V_{dd1} 平面中的返回电流叠加形成了一个总量为零的电流。电流源激活了 Pwr_1/Gnd_1 平面，引起供电电压的波动。应该注意到电流源的方向和无端接微带线中电流源的方向(由高到低切换)相反，因此，两种测试情况中的噪声模式也相反。

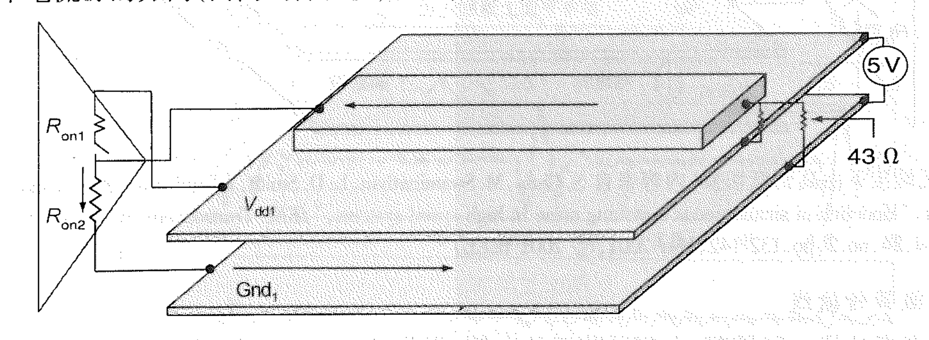


图 3.32　有端接时由低到高切换的初始条件(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

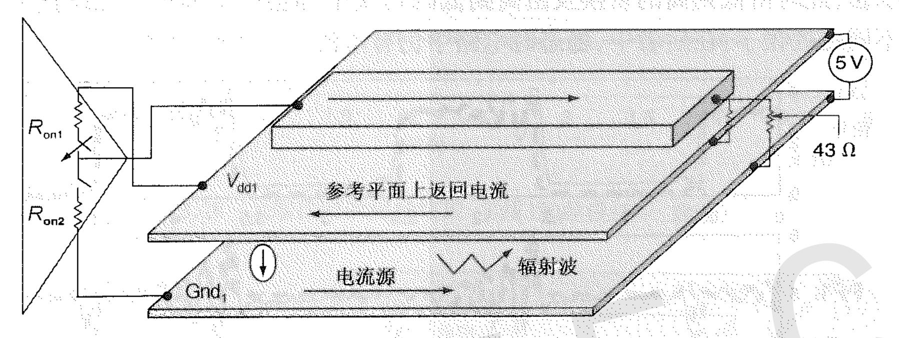


图 3.33　有端接下由低到高切换(内容来自 S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001, © 2001 IEEE)

从图 3.31 中可以看出，当由高到低切换时，波形特征刚好相反。考虑驱动器处于高状态时的初始条件。电流回路由传输线、V_{dd1} 平面、位于传输线和 Gnd_1 平面间的 43 Ω 电阻器及电源组成。当驱动器由高到低切换时，此电流回路断开。传输线上的放电电流会在 V_{dd1} 平面上引起返回电流。来自传输线的电流流入驱动器的 Gnd_1 节点。V_{dd1} 平面中的电流改变会引起电流从 Gnd_1 节点流向 V_{dd1} 节点，从而保持驱动器附近电流的连续性。这个垂直的电流源会在电源和地平面间产生电磁波。在图 3.31 中，由高到低切换和由低到高切换的噪声幅度差异是由驱动器开关电阻(R_{on1} 和 R_{on2})的不同引起的。虽然主要的影响通过平面和传输线模型加以描述，但不考虑封装中的寄生效应，仍然会引起建模结果的微小差异。

总之，图 3.28 和图 3.31 中的测量结果都表明噪声波形特征是由返回电流和边界条件(端接)引起的。

3.4.2　微带线到微带线的过孔切换

在多层芯片封装和多层电路板中，需要过孔来连接位于不同层中的信号线。过孔造成的主要问题有：过孔与参考平面间的容性耦合，以及由过孔反焊盘周围的电流挤进和过长的信号线造成的过量电感。因此经常用一个由并联电容和串联电感组成的等效二端口电路表示过孔的突变性。

连接以不同平面为参考的信号线过孔会引起 RPD(返回路径突变)。换言之，返回电流必须从一个平面跳到另一平面形成电流回路的闭合，从而增加电流回路的电感，影响信号完整性。返回电流也会激活平行板模式，引起显著的 EMI。当参考平面处于同一 DC 电平时，就可以在过孔切换附近采用多个短路过孔将两平面相连，为返回电流提供更短的路径。而当这些平面处于不同的 DC 电平时，可以在过孔附近添加去耦电容器。另外，有一部分返回电流通过平面间电容来完成环路的闭合。

本节讨论由微带线到微带线过孔切换引起的 RPD。本章后面会给出一种用于微带线到带状线过孔切换频域分析的测试装置。第三种常见的过孔类型为带状线到带状线情况，它和前面讨论的过孔类型相似。

简单的二端口过孔模型中假设是完全的去耦合，并忽略平面间的电压波动。如果在有些频率上，由平面过孔、去耦电容器及电源/地平面等形成的寄生电感不能忽略不计，那么这个假设就不成立。

图 3.34 所示为四层电路板中两条微带线间的过孔侧视图，其内层平面被设计为地平面(V_{ss})和电源平面(V_{dd})。高频信号电流通过最小电感路径返回，其中顶层信号的返回路径为 V_{ss} 平面，底层信号的返回路径为 V_{dd} 平面。在过孔周围会发生 RPD，引起返回电流通过平面电容和附近的去耦电容器来完成环路闭合。这样一来，噪声就会注入到 PDN；或者相反，PDN 中的噪声将耦合到信号线上。

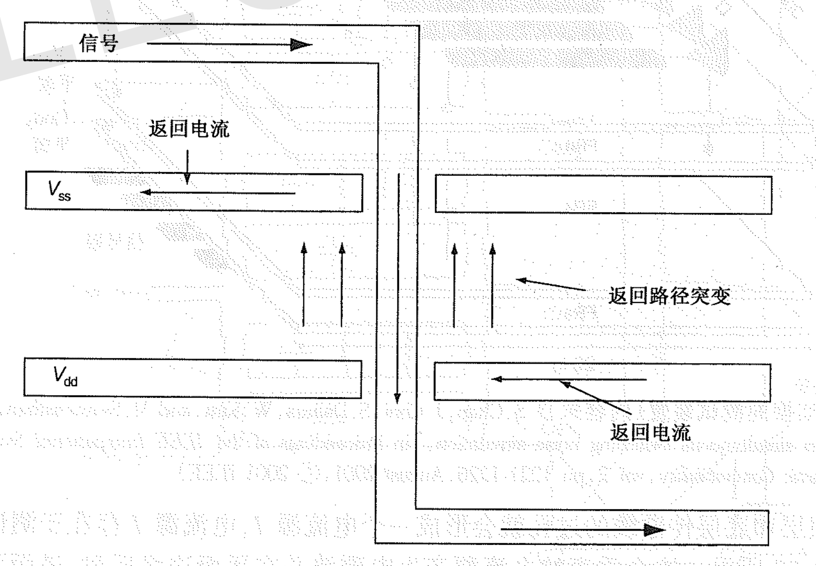


图 3.34　过孔切换的电流路径(微带线到微带线)

可以用图 3.9 中的模型将顶层和底层的信号线表示成微带传输线。在过孔洞处，微带线的参考平面会突然改变。可以用 π 模型表示由过孔突变产生的寄生电感和电容，进而得到图 3.35 所示的过孔模型[18]。在图 3.35 中，过孔的每一头都用一个包含微带线和平行板模式的模态分解模型表示。在过孔突变处，与过孔模型相连的端口，获取由 RPD 产生的平行板波导模式的激励。

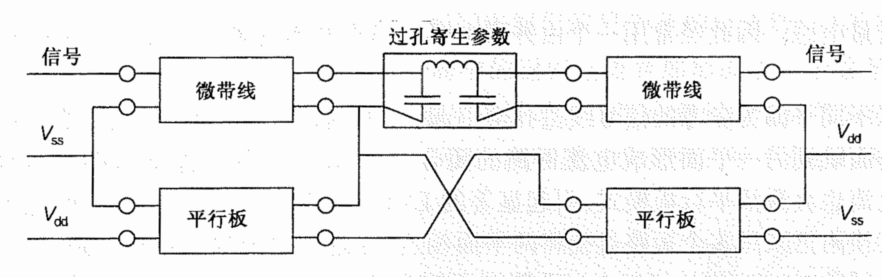


图 3.35 微带线到微带线切换的过孔模型

3.4.2.1 测试装置

图 3.36 所示为一个与图 3.26 相似的测试装置，包括驱动器、传输线、过孔和平面[19]，它是一个六层电路板。微带传输线的一半（长度为 10 英寸，或 25 cm）位于顶层（V_{dd1} 平面的上部），另一半位于底层（Gnd_2 平面下部）。这里的微带传输线是无端接的。考虑微带传输线的充电情况，如图 3.37 所示。当顶层的传输线从驱动器接收信号时以邻近的平面（V_{dd1} 平面）为参考。因此传输线的返回电流在 V_{dd1} 平面上流动，而在 V_{dd1} 平面的过孔位置产生时变的负电荷，如图 3.37所示。底层的传输线则以 Gnd_2 平面为参考，由于传输线的充电而产生的返回电流在 Gnd_2 平面的过孔位置会产生时变正电荷的累积。

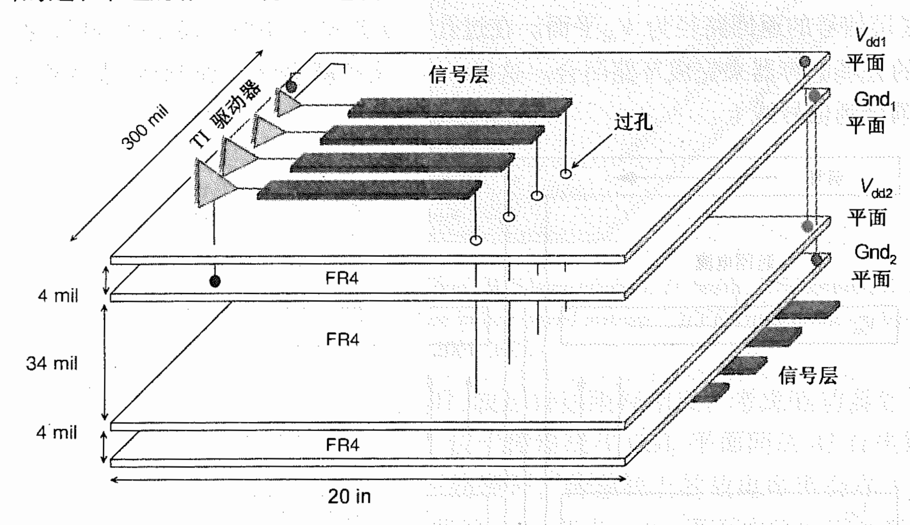


图 3.36 带有过孔切换的测试装置（内容来自 S. Chun, J. Choi, S. Dalmia, W. Kim, and M. Swaminathan, "Capturing via effects in simultaneous switching noise simulation," in Proceedings of the *IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1221-1226, August 2001, © 2001 IEEE）

由此，连接顶层和底层传输线的过孔就会形成一个电流源 I，电流源 I 存在于测试装置的垂直剖面，如图 3.37 所示。这个垂直的电流源产生电磁波并在平面边缘反射，进而引起平面反弹。平面反弹会引起驱动器电源供电轨道的电压波动。

图 3.38 采用与图 3.27 相似的模型。其中过孔建模为电感和电容，以此代表过孔处阻抗的不匹配。过孔电感和电容用 EM 仿真器 Sonnet[16] 得到。对平面建模时采用了谐振腔模型。

本节的主要假设是，当信号线以不同的平面为参考时，平面反弹由返回电流引起。因此，是过孔（产生返回电流的不同路径）突变引起了平面反弹。如果这种假设成立，那么采用图 3.38 的简单电路模型，应能求得平面上的电压波动。

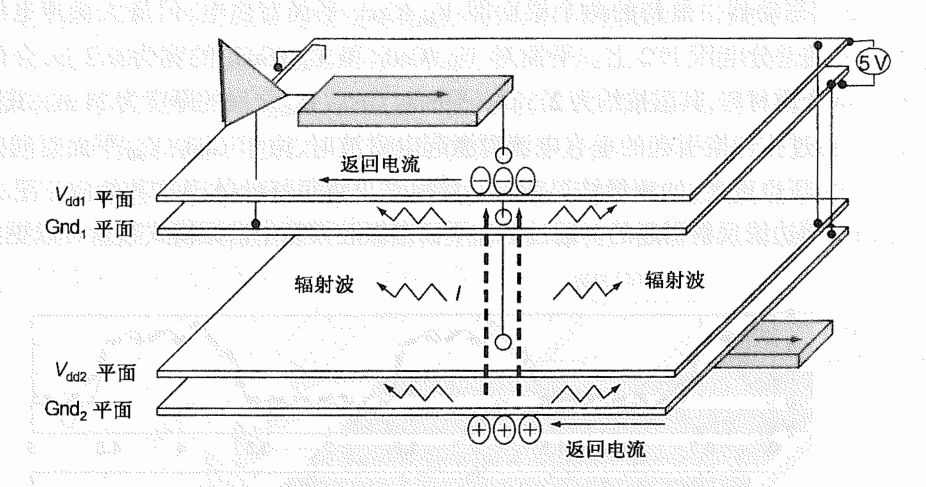


图 3.37 由过孔切换造成的平面反弹

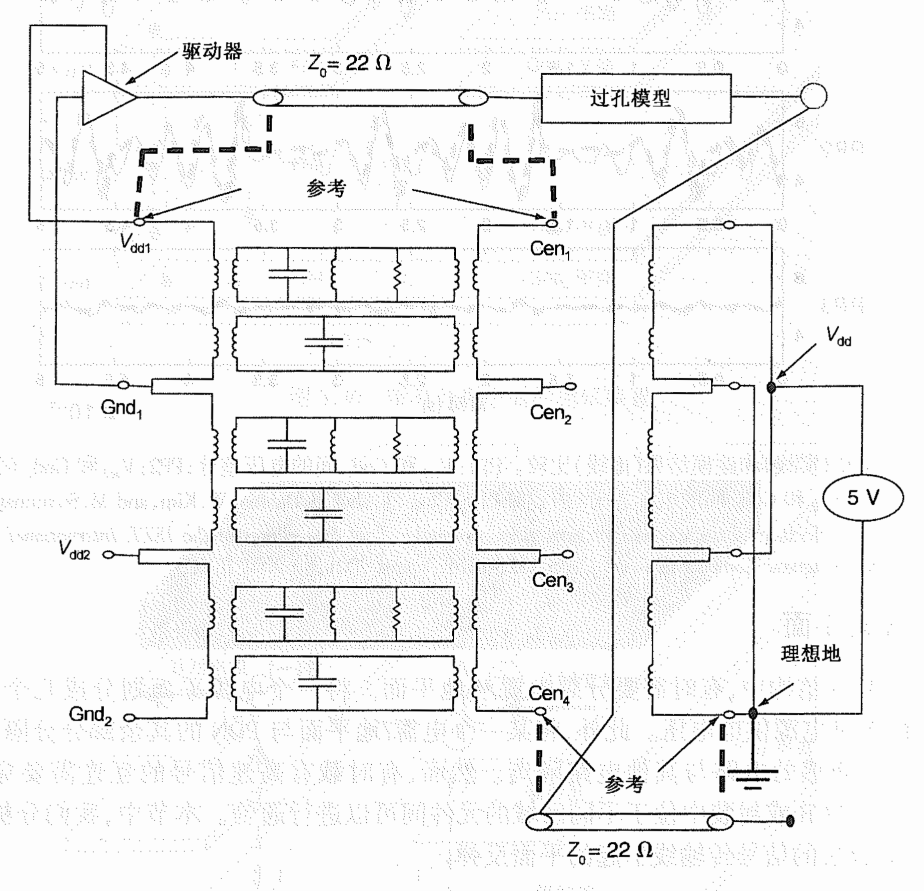


图 3.38 带有过孔切换的测试装置电路模型（内容来自 S. Chun, J. Choi, S. Dalmia, W. Kim, and M. Swaminathan, "Capturing via effects in simultaneous switching noise simulation," in *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1221-1226, August 2001, © 2001 IEEE）

图 3.39 将测量结果和建模结果进行了对比，其中微带传输线的远端是无端接的。在仿真中没有考虑驱动器封装的寄生模型，结果有力地表明它们之间实现了很好的吻合。

注意到，尽管驱动器由最初的两个层面即 V_{dd1}/Gnd_1 平面对供电，但最大噪声电压发生在 Gnd_1/V_{dd2} 平面对的差分电压 PP2 上。平面对 V_{dd1}/Gnd_1 和 V_{dd2}/Gnd_2 的宽为 0.3 in，介质厚度为 4 mil，对于 FR-4 介质材料，其阻抗约为 2.3 Ω。平面对 Gnd_1/V_{dd2} 之间的厚度为 34 mil，其阻抗约为 20 Ω。因此，当由过孔切换引起的垂直电流源激起电磁波时，由于 Gnd_1/V_{dd2} 平面对间的阻抗更大，相应的差分电压也更大，如测量结果所示。建模结果将很好地体现这种效应。图 3.39 中的振荡波形是由平面边缘反射引起的。通过增加平面谐振腔模型中谐振模式数量可以更好地获取该效应。

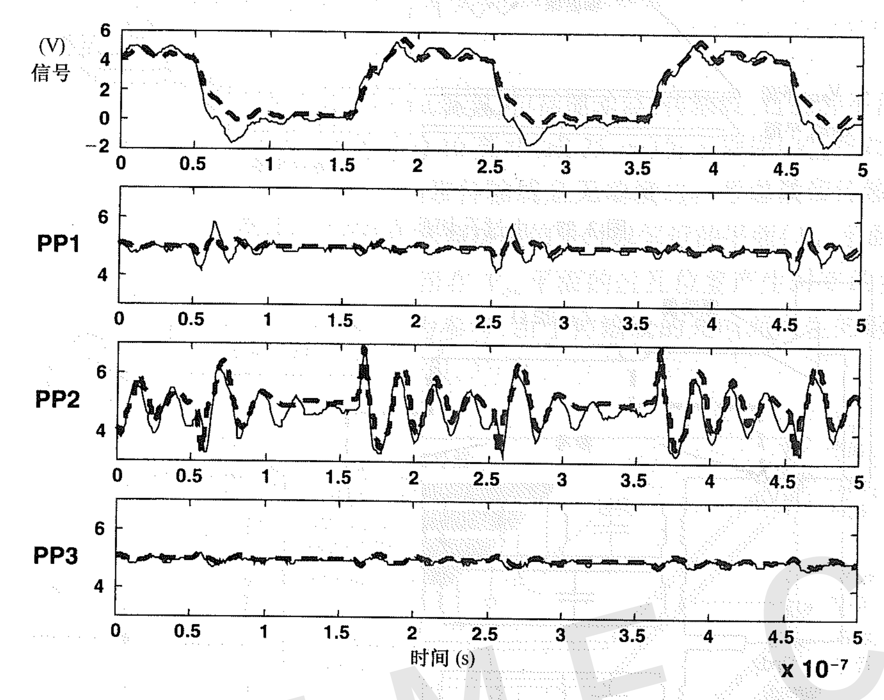


图 3.39 测量结果（实线）和建模结果（虚线）比较。PP1：V_{dd1} 和 Gnd_1 间的电压差分；PP2：V_{dd2} 和 Gnd_1 间的电压差分；PP3：V_{dd2} 和 Gnd_2 间的电压差分（内容来自 S. Chun, J. Choi, S. Dalmia, W. Kim, and M. Swaminathan, "Capturing via effects in simultaneous switching noise simulation," in *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1221-1226, August 2001, © 2001 IEEE）

3.4.3 分裂平面

在多层 PCB 结构中，有时需要分裂电源和地平面。将一个电源平面划分成几个区域，可以用于分配多种电源供电电压。此外，将某一个电源/地平面与 PDN 的其余部分分隔，可以使嘈杂的或者是敏感的电路与其他电路隔离。然而，有时载有高速信号的互连需要穿越裂缝（split），这样在 PCB 或封装中位于不同区域的元件间可以进行通信。本节中，我们分析由穿越电源/地平面分裂的信号传输线引起的平面反弹。

3.4.3.1 测试装置

采用图 3.40 所示的测量和建模结构来研究信号线穿越分裂平面的影响。V_{dd1} 和 Gnd_1 平面从中间分裂成两个独立的平面。驱动器由连续的 V_{dd2}/Gnd_2 平面对供电。四条微带传输线穿越 V_{dd1} 和 Gnd_1 平面上的裂缝。传输线是无端接的。当传输线上载有高速信号时，会在其邻近平面的附近产生返回电流。考虑微带传输线被充电并载有前向电流的情形，如图 3.41 所示。传输线右半部分在 V_{dd1} 平面的右半部分引起的返回电流，造成平面上 A 处累积正电荷，如图 3.41 所示。类似地，传输线的左半部分在 V_{dd1} 平面的左半部分引起的返回电流，造成平面上的 B 处累积负电荷。在裂缝处，传输线的返回电流在 V_{dd2} 平面上流动，正好位于传输线的正下方。这样，平面的分裂引起了平面中返回电流路径的突变。由于电流必须是连续的，电流以位移电流 I 继续流动，如图 3.41 所示。这个位移电流就像一个垂直的电流源，能够产生辐射波，引起平面反弹。

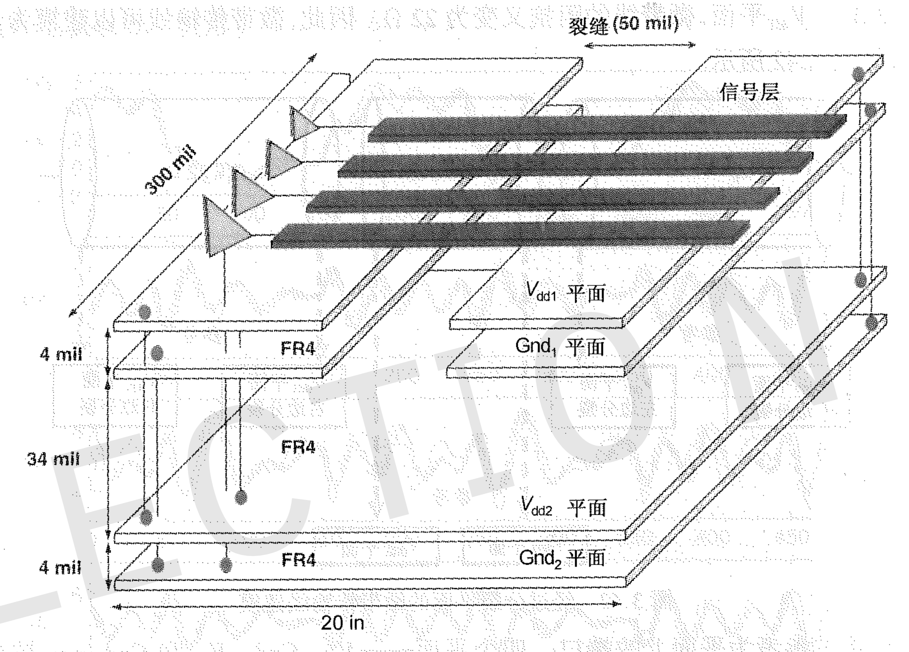


图 3.40 带有分裂平面的测试装置

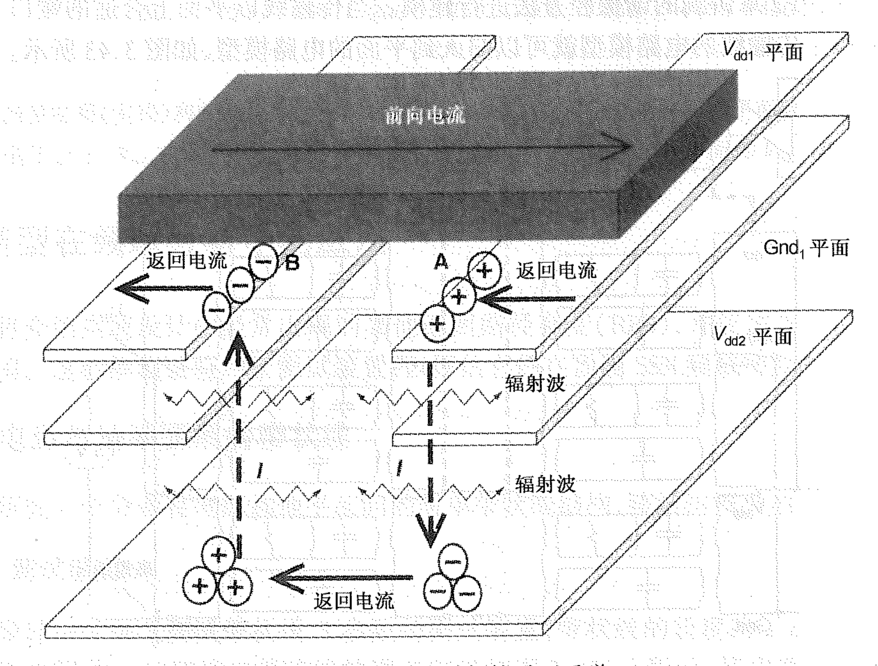


图 3.41 裂缝引起的平面反弹

为了获取由裂缝引起的平面反弹，必须将微带传输线以恰当的平面为参考进行建模。尽管测试装置中的微带传输线是连续的信号导体，但由于参考平面的突变，它必须建模为一系列阻抗不同的传输线。当信号在微带传输线上传输时，如图 3.41 所示，它首先遇到的是 22 Ω 的阻抗，该阻抗对应于信号导体和参考平面间 4 mil 的距离。对于这一节传输线，其参考平面为 V_{dd1} 平面。当微带线穿越裂缝区域时，它遇到一个新的阻抗，对应于信号导体和参考平面间 42 mil 的距离。这一节传输线的参考平面为 V_{dd2} 平面，特性阻抗为 80.5 Ω。经过裂缝后，由于参考平面变成了 V_{dd1} 平面，微带线的阻抗又变为 22 Ω。因此，微带传输线可以建模为三节传输线的级联，如图 3.42 所示。

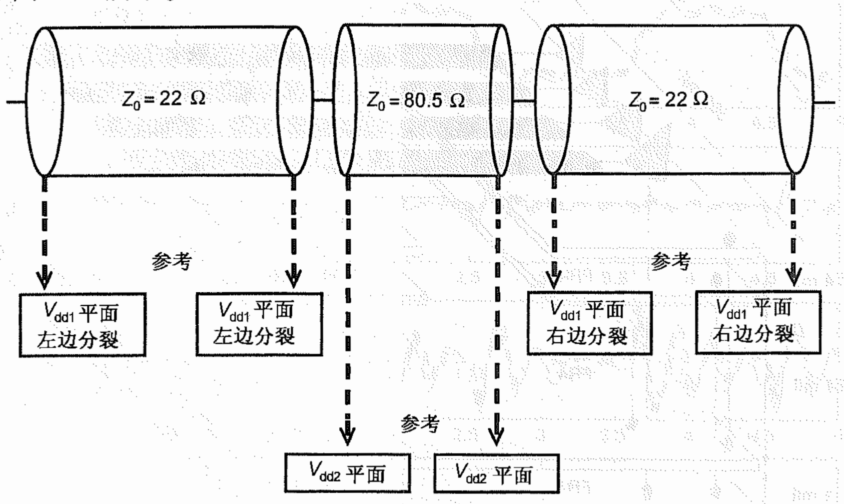


图 3.42　经过分裂平面的微带传输线建模

图 3.42 中的参考为平面上的端口。四个平面——V_{dd1}、Gnd_1、V_{dd2} 和 Gnd_2——被分裂成两个平面对，并用第 2 章讲到的谐振腔方法进行建模。当传输线以平面上合适的端口为参考时，图 3.42中的微带传输线的电路模型就可以归入到平面的电路模型，如图 3.43 所示。

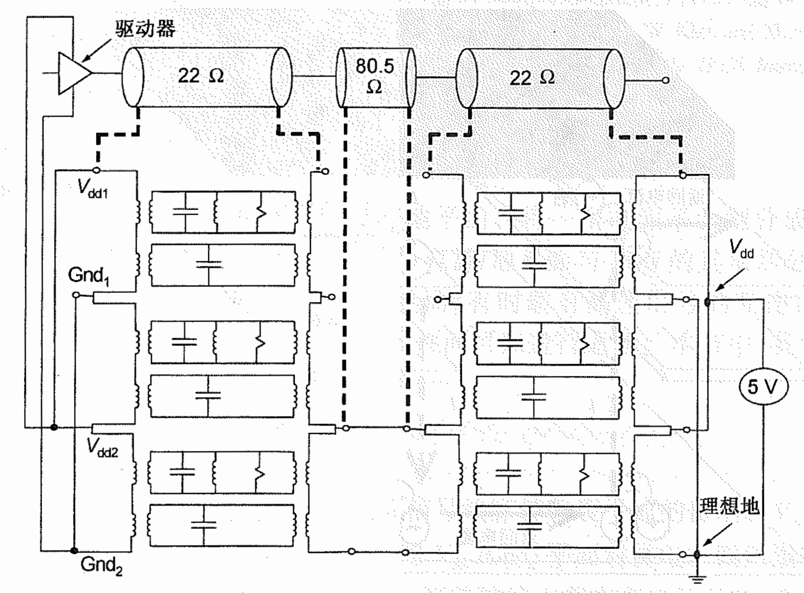


图 3.43　带有分裂平面测试装置的建模

图 3.43 所示的电路在 HSpice[12] 中进行了仿真，裂缝附近的电压波形和测量值的比较如图 3.44所示。图 3.44(a)所示为以本地 Gnd_2 平面为参考的驱动器输出信号。测量裂缝附近的噪声电压有：(1) V_{dd1} 的右半平面和 Gnd_2 平面间的电压，如图 3.44(b)所示；(2) V_{dd1} 的左半平面和 Gnd_2 平面间的电压，如图 3.44(c)所示；(3) Gnd_1 的右半平面和 V_{dd2} 平面间的电压，如图 3.44(d)所示。图 3.44(c)和图 3.44(b)中的噪声类型的极性相反，这是由于当返回电流穿越裂缝时位移电流源 I 的方向相反，正如图 3.41 所示。可以从图 3.44 中看出，这样建模的结果能够很好地获取噪声波形。

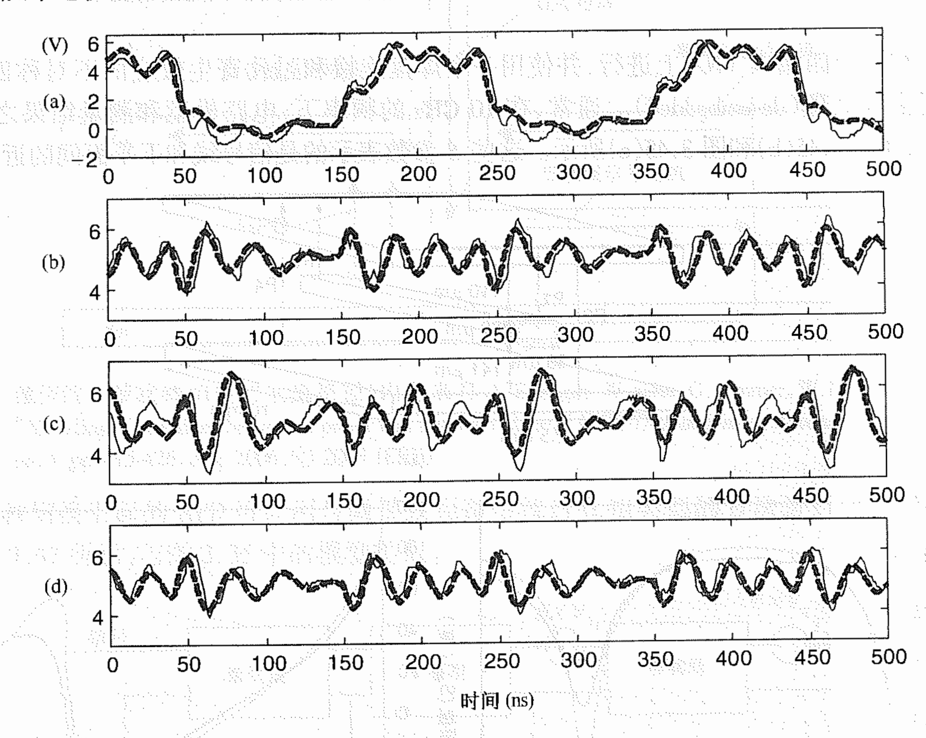


图 3.44　测量结果(实线)和建模结果(虚线)：(a) 驱动器输出信号；(b) V_{dd1} 右半平面和 Gnd_2 平面之间的电压；(c) V_{dd1} 左半平面和Gnd_2 平面之间的电压；(d) Gnd_1 右半平面和 V_{dd2} 平面之间的电压

3.5　模型在频域分析中的应用

本节将介绍高速设计中经常出现的其他返回路径突变(RPD)，并使用本章中所介绍的方法进行建模。这些模型被应用于测试装置，以评估它们在预测 SSN 频域特性时的精度。

3.5.1　电源与地平面间的带状线

本节研究一个分布在电源和地平面间的简单带状线结构，该结构模型如图 3.14 所示。

3.5.1.1　测试装置

我们设计一个用于测试带状线 S 参数的测试装置，带状线的长度为 1 cm，布线在两个不相连的平面之间[14]。该四端口带状线的端口定义如图 3.45(a)所示，其中选择上平面作为参

考导体。两个平面没有用过孔连接——这是两个平面被分配不同的电位(如 V_{dd}和 V_{ss})时的一种非常普通的结构。

从带状线的剖面,可以得到系数 $k = -110/(141+30+110) = -0.39$。平行板传输线的单位参数可以通过剖面和材料的参数($\varepsilon_r = 4.1, \tan\delta = 0.02$)计算出来。带状线模型的单位参数可以从二端口带状线结构的测量数据中计算出来,其中两个平面是由过孔连接在一起的。参数的频率相关性可以使用导体损耗[20]和基板损耗[21]的等效电路模型来考虑。总的互连可以用 10 个 π 模型的级联表示,其中每个小节的长度在 10 GHz 以内都小于 $\lambda/15$,λ 为基板中的波长。

测量在一个四端口 VNA 上进行,并使用一个焊盘连接和过孔寄生效应的不对称四端口 π 模型进行去埋处理(de-embedded)。通常,在 10 GHz 的频率下,电路模型和测量结果之间有很好的吻合,如图 3.45(b)和图 3.45(c)所示。这些 S 参数表示的是信号线和下平面间的近端耦合。

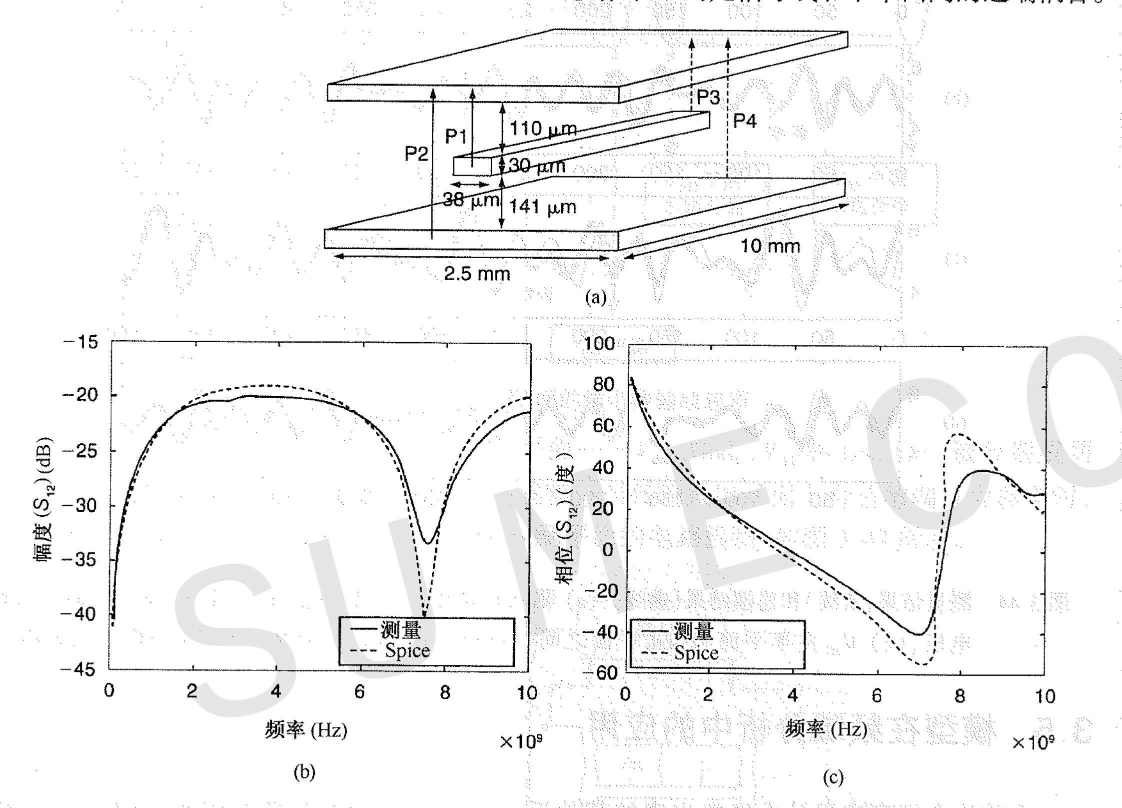


图 3.45 (a) 四端口带状线端口的定义;(b) 四端口带状线 S 参数测量与 Spice 比较:幅度;(c) 四端口带状线 S 参数测量与 Spice 比较:相位(内容来自 A.E.Engin, W.John, G.Sommer, W.Mathis, and H.Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol.29, no.3, pp.415-426, Aug.2006, © 2006 IEEE)

3.5.2 微带线到带状线的过孔切换

为了把密集线网布线引到下一个过孔洞,可能需要短微带线。因此,微带线到带状线的过孔,常出现在面阵芯片封装的突围区域。在高密度 PCB 中,为满足布线需求也会用到这种过孔。

图 3.46 所示为四层结构封装或电路板中微带线到带状线过孔切换的侧视图。信号电流通过最小电感路径返回,对于顶层走线来说就是 V_{ss}平面。如前所述,带状线的返回电流分布在 V_{dd}和 V_{ss}平面之间,两平面电流的大小与它们到信号线的距离成反比,正如先前讨论的那样。当信号线被充电时,在过孔周围会发生 RPD,激活平行板模式,如图 3.46 所示。

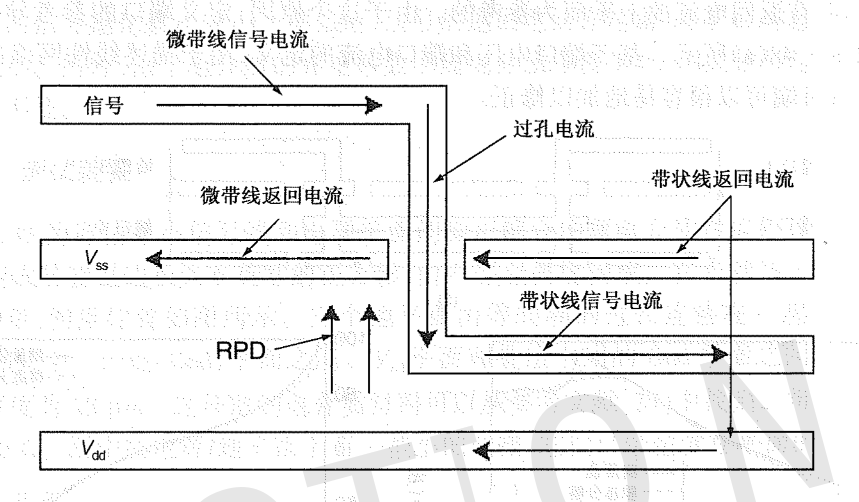


图 3.46 微带线到带状线切换的电流路径(内容来自 A.E.Engin, W.John, G.Sommer, W.Mathis, and H.Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol.29, no.3, pp.415-426, Aug.2006, © 2006 IEEE)

这种切换引起的 RPD 可以用与微带线到微带线过孔相类似的方法进行建模。最终的模型如图 3.47 所示,与图 3.35 中的模型类似。

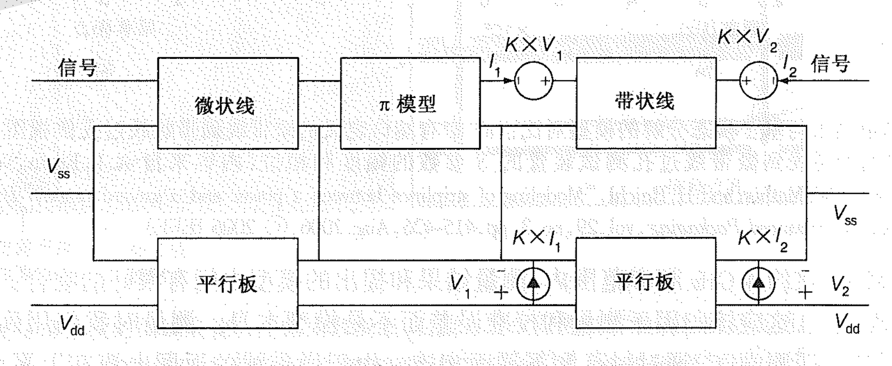


图 3.47 由微带线切换到带状线过孔的模型

3.5.2.1 测试装置

在测试装置[14]中构建了一个微带线到带状线的过孔切换。端口定义的侧视图如图 3.48(a)所示。该测试结构包含两个过孔,总长度为 17 mm。

该结构可以用图 3.47 中所示的等效电路进行建模。这个带状线结构和图 3.45 中的四端口带状线有相同的剖面。因此,前面得出的单位参数可以用于平行板传输线和四端口带状线。而微带线的单位参数则可以通过使用 Maxwell 2D Extractor[22]从它的剖面提取。

图 3.48(b)和图 3.48(c)将 S_{12}的测量结果和使用等效电路模型得到的结果进行了对比,给出了由于微带线、带状线和平行板模式间的模式变换而在信号线和电源平面间产生的耦合。

这里,采用一个四端口的矢量网络分析仪进行测量。为了得到精确的测量结果,采用了焊盘连接寄生效应的非对称四端口 π 模型对测量结果进行去埋处理,以此消除探测焊盘的寄生效应。该模型的参数可以通过对探测焊盘进行更详尽的测量来得到。测试结构的布局最初是以下平面为测量参考导体的。然而当定义端口的参考导体选择为上平面时,结果会更容易理解,因为带状线就是以载有返回电流的上平面为参考的。由于这个原因,定义端口的参考导体被移到了上平面,如图 3.48(a)所示。基于端口电压和端口电流的定义,用于描述线性网络的 n 端口网络矩阵,其参考端可以很容易地加以修正。

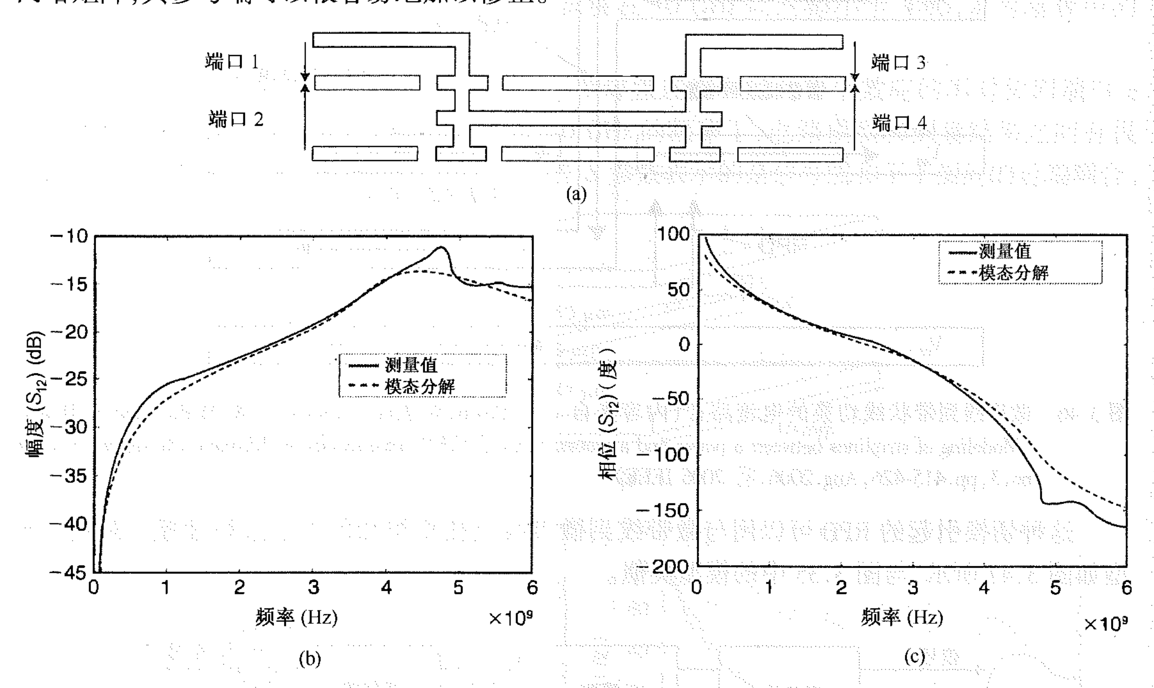


图 3.48 测量结果与基于模态分解的模型对比:(a) 带有端口定义的微带线到带状线过孔侧视图;(b)、(c)分别为微带线到微带线过孔测试装置的 S 参数的幅度和相位(内容来自 A.E.Engin, W.John, G.Sommer, W.Mathis, and H.Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol.29, no.3, pp.415-426, Aug.2006, © 2006 IEEE)

总的来说,在约 4 GHz 频率范围内,测量结果和提出的模型之间有很好的吻合。当频率更高时会出现偏差,这应该归因于测量和校准误差而不是模型本身。测量时我们用到了 GSGSG 型探测仪,其地探测端(G)通过过孔和下平面相连。由于微带线的返回电流在上平面,但测量时是以下平面为参考导体的,该探测焊盘的设计使得两个信号导体(微带线和上平面)间产生了过多的耦合。这个非理想的电流返回路径是测量误差的主要来源。因此,选择这种参考导体就需要有一套精确的校准和去埋处理程序。可以发现,在设计测试结构时若以上平面作为参考导体,测量所得的噪声会减小。

应该注意到,在本例中,图 3.47 的等效电路模型中额外的过孔电感和电容被忽略不计了。尽管如此,它们的相关性却非常好。这表明过孔突变的主要影响是 RPD。例如,S_{12} 表示的是注入电源/地平面的噪声,它仅和过孔有关(也就是当没有过孔时,S_{12} 就为零),可以被精确地建模。

3.5.3 采用薄电介质减小噪声耦合

减小信号互连和电源/地平面间耦合的一种方法,就是在电源/地平面间使用薄的介质材料。由于平面的阻抗随着电介质厚度变薄而减小,当高速信号经由过孔切换穿越这种平面时,RPD 引起的信号退化就比较小。类似地,信号的返回电流在电源/地平面间造成的供电电压波动也会减小。另外,由于电介质的介电常数不随电介质厚度变化,因此信号过孔和平面间的寄生电容也不变。

3.5.3.1 测试装置

图 3.49 为评估减小信号线和电源平面间噪声耦合的薄电介质性能而设计的一个测试装置[23]。测试装置是边长为 6 英寸的正方形,由六层金属层构成。在带状线上进行了二端口 S 参数的测量,测量位置如图所示。三个地平面由等间隔的过孔连接在一起。带状线分布在 V_{dd} 平面和其中一个地(Gnd)平面之间。V_{dd} 平面和叠层中间的 Gnd 平面之间介质的介电常数为 3.5,厚度为 18 μm。这种薄的电介质材料可以从参考文献[24]中找到。带状线的特性阻抗设计为 50 Ω。图中的电源/地平面上有一些小的开槽,它们已经包含在平面的仿真过程中。

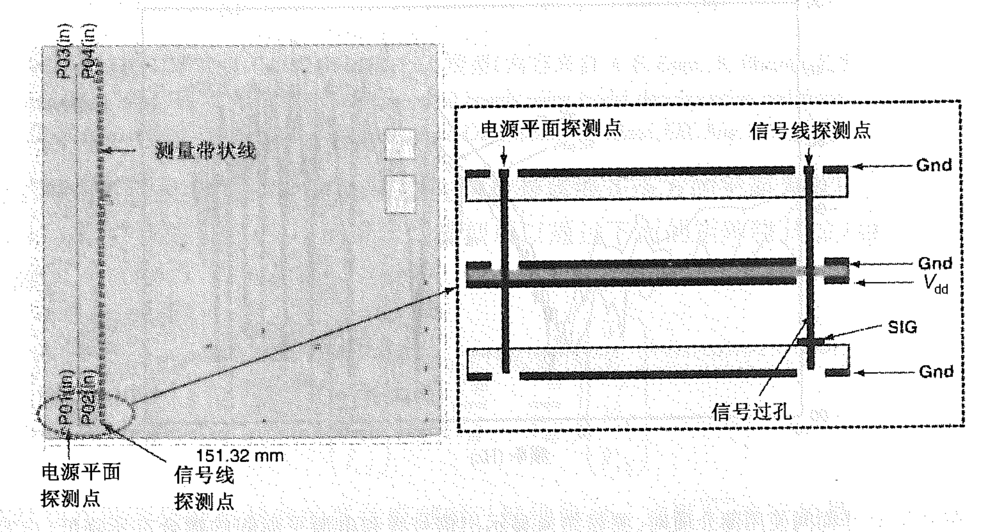


图 3.49 评估薄介质的测试装置。左侧为俯视图,右侧为显示探测点详细信息的剖面图(内容来自 P.Muthana et al., "I/O decoupling in high-speed packages using embedded planar capacitors," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

图 3.50 所示为测得的 S_{12} 的幅度。一个测量端口位于信号线两头中的一头,另一个端口在 V_{dd} 平面中和第一个端口距离很近的位置上。因此,S_{12} 表示的是信号线和电源平面之间的耦合。测量时传输线的远端是无端接的。这种结构也用本章中前面介绍的带状线模型仿真过,两种结果吻合得很好。当平面谐振时会有更明显的耦合。当频率小于 200 MHz 时,建模和测量结果间的差异不是很明显,这是因为没有谐振,耦合也就很弱。

我们还构造了另外两种测试板,它们在 V_{dd} 和 Gnd 平面间的电介质厚度不同。测量结果如图 3.51 所示,三种介质厚度分别为 18 μm、25 μm 和 50 μm。使用薄电介质时的噪声耦合明显减小,即使是处于谐振频率时,耦合仍然很弱(-40 dB 左右)。然而,实际的设计中都包含

有大量的过孔切换(而不是这里的信号线),它们会产生明显的噪声。尤其是在同时开关驱动器时,噪声会更大。

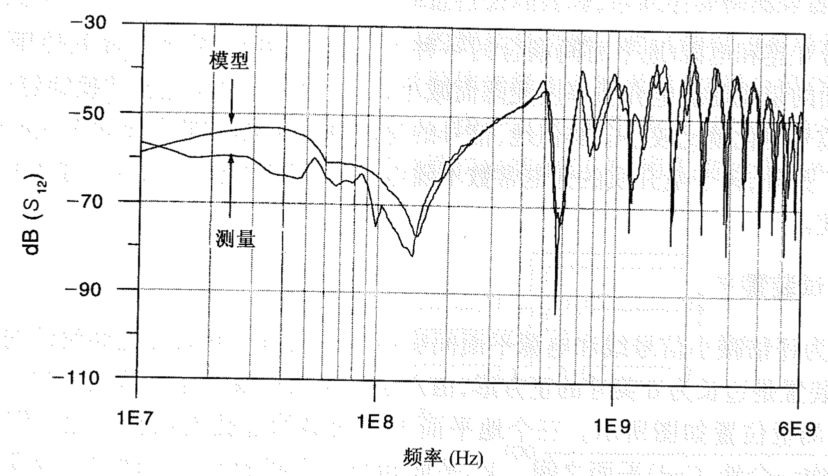


图 3.50 信号线和电源平面间耦合测量和仿真结果

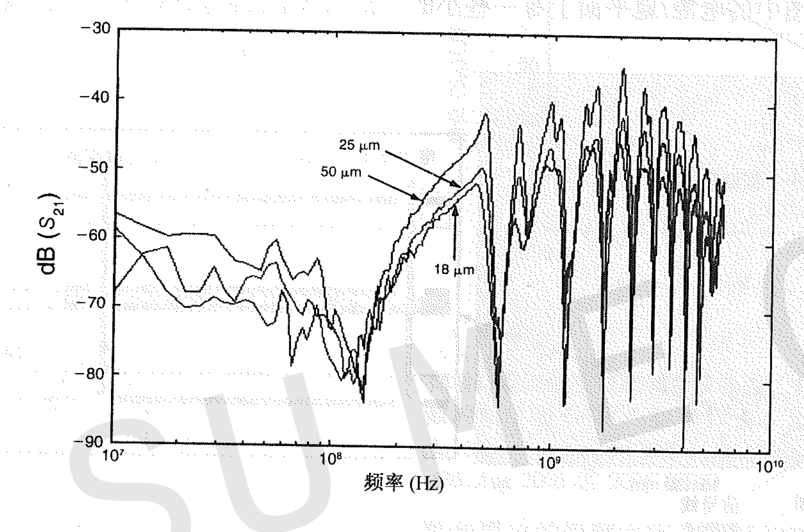


图 3.51 在电源/地平面间使用薄介质时,测量结果显示出信号线和电源平面间的耦合有所降低(内容来自 P. Muthana et al.,"I/O decoupling in high-speed packages using embedded planar capacitors," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

3.6 M-FDM 扩展至包含传输线

本章所举的例子是用于说明模态分解概念的简单测试情况。因此,谐振腔法等一些简单方法都可以用于仿真。在实际封装和 PCB 设计中,电源/地平面结构及传输线结构都复杂得多。第 2 章所讲的多层有限差分方法(M-FDM)就可以用于复杂电源/地结构的仿真。本节介绍在模态分解技术的基础上,M-FDM 是如何扩展至包含传输线的[25]。

图 3.52(a)所示为嵌入到两个平面间的一条带状线,这两个平面可以不同于理想的地平面。因此,在带状线的近端和远端处平面中不同点的电压 V_1、V_2、V_3 和 V_4 可能都是非零的。

另外有一平面选定为理想的地平面,它通常是叠层中最底层的平面。其他各平面上所有的节点电压都是以这个理想的地平面为参考。

带状线的相关模型如图 3.52(b)所示。这个模型和图 3.14 中的带状线模型在本质上是一样的,不同的是图 3.52(b)中的两个平面都可以为电压平面(也就是没有假设其中的一个平面为理想地平面)。耦合系数 k 可以用本章前面所讲的方法得出。因此,使用电路模型可以很容易地将传输线纳入 M-FDM,如图 3.52(b)所示。

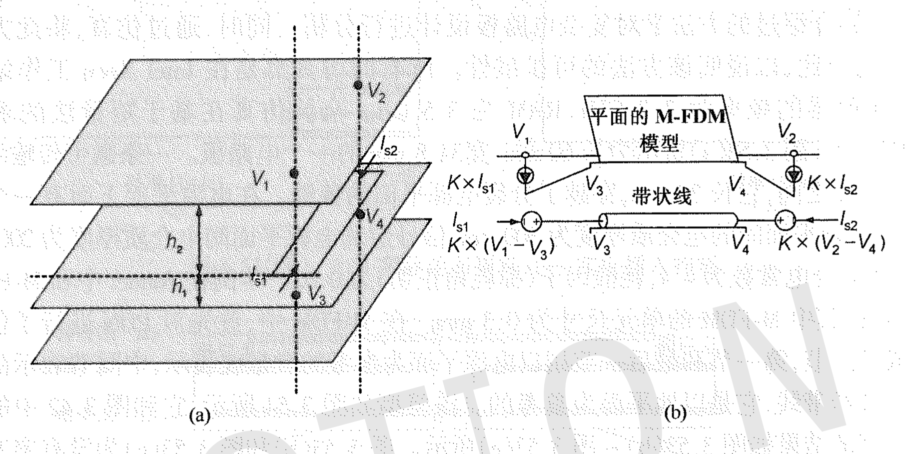


图 3.52 多层板结构中带状线:(a) 几何结构;(b) 模型(内容来自 A.E.Engin, K.Bharath, K.Srinivasan, and M.Swaminathan, "Modeling of multilayered packages and boards using modal decomposition and finite difference methods," in *IEEE International Symposium on Electromagnetic Compatibility*, Portland, OR, Aug. 2006, © 2006 IEEE)

为了得到表示 M-FDM 的导纳矩阵,首先假设带状线正下方的平面为电压的参考平面,那么 $V_3=V_4=0$,并且图 3.52(b)中的带状线模型可以通过下面的矩阵将其加入到 M-FDM 总的导纳矩阵:

$$\begin{pmatrix} I_1 \\ I_2 \\ I_{s1} \\ I_{s2} \end{pmatrix} = \begin{pmatrix} k^2\overline{\overline{Y}}_{str} & k\overline{\overline{Y}}_{str} \\ k\overline{\overline{Y}}_{str} & \overline{\overline{Y}}_{str} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \\ V_{s1} \\ V_{s2} \end{pmatrix} \tag{3.23}$$

该结果在前面研究带状线的备选模型时已经推导过。这里 $\overline{\overline{Y}}_{str}$ 表示的是带状线模式下二端口模型的导纳矩阵。可以将微带线看成是带状线的一种特殊情况,如图 3.25 中概括的那样,其中的 $k=0$ 或 $k=-1$,则要视是否以电压参考平面为参考而定。在通常不选择带状线正下方或正上方的平面作为电压参考平面的情况下,通过使用等效无限导纳矩阵形式,可以将带状线模型加入到节点导纳矩阵:

$$\begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \\ I_{s1} \\ I_{s2} \end{pmatrix} = \begin{pmatrix} k^2\overline{\overline{Y}}_{str} & (-k^2-k)\overline{\overline{Y}}_{str} & k\overline{\overline{Y}}_{str} \\ (-k^2-k)\overline{\overline{Y}}_{str} & (k^2+2k+1)\overline{\overline{Y}}_{str} & (-k-1)\overline{\overline{Y}}_{str} \\ k\overline{\overline{Y}}_{str} & (-1-k)\overline{\overline{Y}}_{str} & \overline{\overline{Y}}_{str} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \\ V_{s1} \\ V_{s2} \end{pmatrix} \tag{3.24}$$

通过这些操作，在模态分解技术的基础上，M-FDM 就可以扩展至包含传输线。这个程序是非常通用的，可以将其应用于任何数量的传输线。如果需要分析的传输线数量不是很多，那么图 3.52(b)中的网络模型也可以用于通用电路求解程序。这种情况下，M-FDM 只能用于求解平面的频率响应。

3.6.1 复杂电路板设计分析

这里，利用介绍过的方法学对复杂电路板设计进行分析。同时，通过仿真，将此方法学和全波仿真进行对比，以说明该方法的可扩展性。所有的仿真都是在 Intel Xeon 工作站上进行的，工作站处理器的频率为 3.2 GHz，RAM 为 3.5 GB。全波仿真在基于矩量法的求解程序 Sonnet[16] 中进行。图 3.53(a)所示为长 60 mm、宽34.8 mm 的一个电路板。一条微带传输线连接在端口 1 和端口 2 之间，它长 34 mm，穿越了分裂电源平面的狭缝。在电源平面下面有一个连续的地平面。电源/地平面间的电介质厚度为 300 μm，信号层和电源平面间电介质厚度为 200 μm。介质材料为 FR-4，介电常数为 4.4，耗散因子(损耗角正切)为 0.02。本例在 Sonnet 中和 M-FDM 分别都进行了仿真，其中 M-FDM 的单元尺寸为 0.3 mm。在 M-FDM 中，首先对 PDN 进行了仿真。传输线被分成了三节，第一节和最后一节用以电源平面为参考的微带线表示，中间节表示的是位于狭缝上的一节微带线，它是以地平面为参考的。该模型如图 3.54 所示，它和图 3.42 中的模型非常相似。仿真的结果如图 3.53(b)～图 3.53(e)所示。图 3.53(b)和图 3.53(c)为没有突变下理想微带线的情况，由于没有突变并且特性阻抗为 54 Ω，dB(S_{12})非常接近于零。图 3.53(d)和图 3.53(e)为当微带线分布在狭缝上时的返回损耗和插入损耗，在这种情况中插入损耗明显要高。从返回损耗和插入损耗结果中可以看出，在Sonnet 和 M-FDM 之间有很好的一致性。Sonnet 仿真分析每个频率点需 800 s，而 M-FDM 只需 3.2 s，在速度上快了 200 倍。

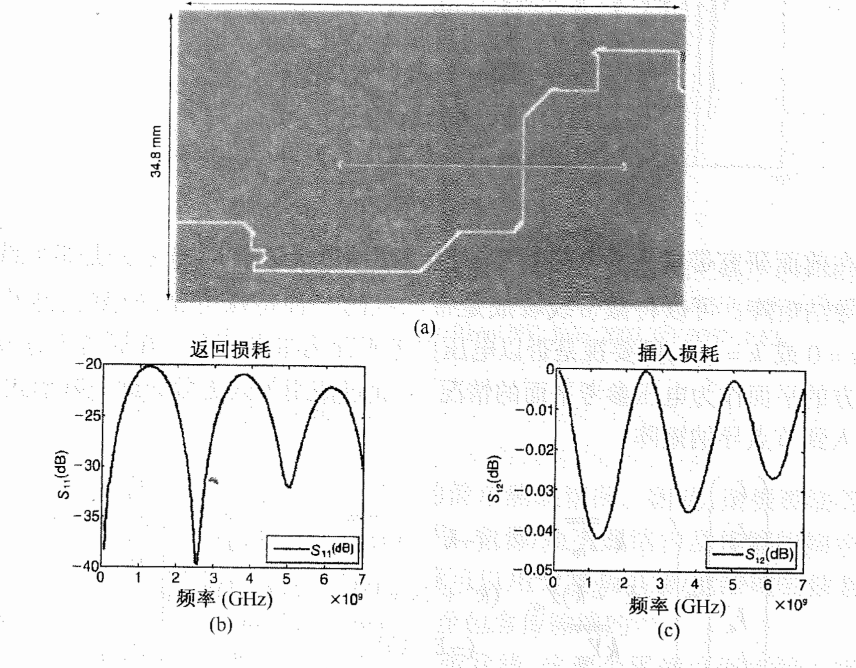


图 3.53 (a) 穿越狭缝(图中为从点 1 到点 2)的传输线，单元面积 = 0.3 mm；(b) 理想微带线的返回损耗；(c) 理想微带线的插入损耗

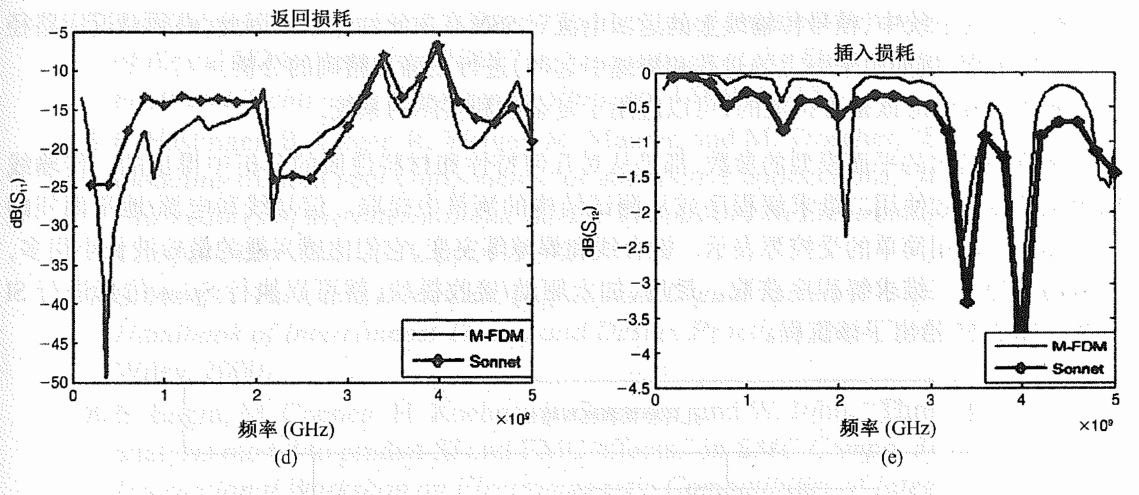


图 3.53(续) (d) 实际返回损耗；(e) 实际插入损耗

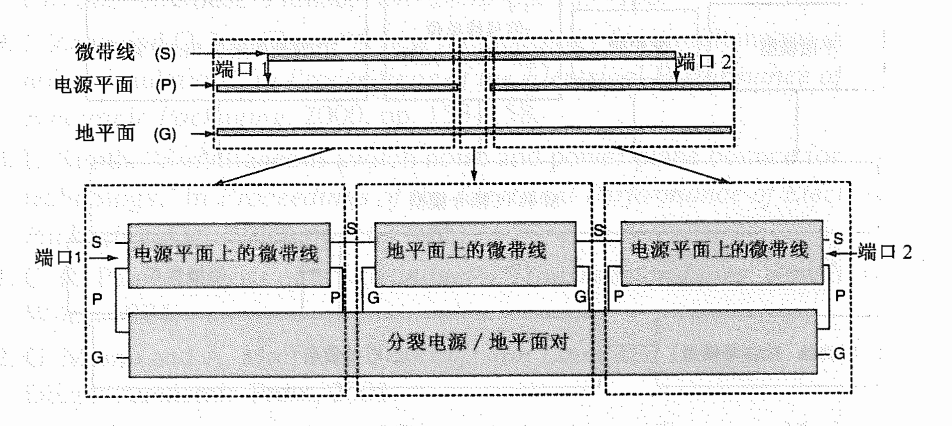


图 3.54 穿越分裂平面的微带线模型(S、P 和 G 分别代表信号线、电源平面和地平面的外引出端)

3.7 总结

在这一章中，我们介绍了对封装及 PCB 中信号线和电源/地平面的相互作用进行建模的方法。利用已经建立的模型去分析由非理想电源/地系统引起的各种效应，比如由返回路径突变引起的模式变换。本章所描述的模型和方法的仿真结果与实际 PCB 版图的测量噪声有很好的一致相关性。

在高频时，由于平面表现为谐振腔的特性，支持波的传播，因此对平面对间波传播进行建模时必须考虑电感和电容。另外，为表示由有损导体和电介质引起的波传播衰减，必须将电阻包括进去。为此，有必要开发出一种精确又有效的建模方法，仿真由于电磁波在平面边缘反射时的 SSN，该建模方法要能采集并获取信号线及平面的分布式效应。对高速系统中 SSN 的建模，需注意的重要问题有

- 平面在当今 PDN 中有重要的地位，因此必须对其精确建模，以表示所有的分布式效应(见第 2 章)。
- 在对多层高性能封装和电路板系统的建模时，其建模方法必须能够表征多个平面和多个互连的堆叠关系。

- 在高速系统中，信号传输线上的返回电流对 SSN 有主导性作用。因此，必须对返回路径的突变(例如由平面上的过孔和裂缝引起的)进行正确和精确的分析。
- 建模方法应该是可扩展的，可以应用于复杂的和实际的系统。

本章中给出的平面模型的参数，都是从对几何特性和材料性质的分析中得出的。传输线的单位长度参数使用二维求解程序或从测试结构的测量中提取。信号线和电源/地平面间的相互作用可以用简单的受控源表示。键合线和焊球等突变，它们比感兴趣的最短波长小很多，可以用准静态三维求解程序获取。最后，加上驱动/接收模块，就可以执行 Spice 仿真进行 SI 分析。图 3.55 给出了该流程。

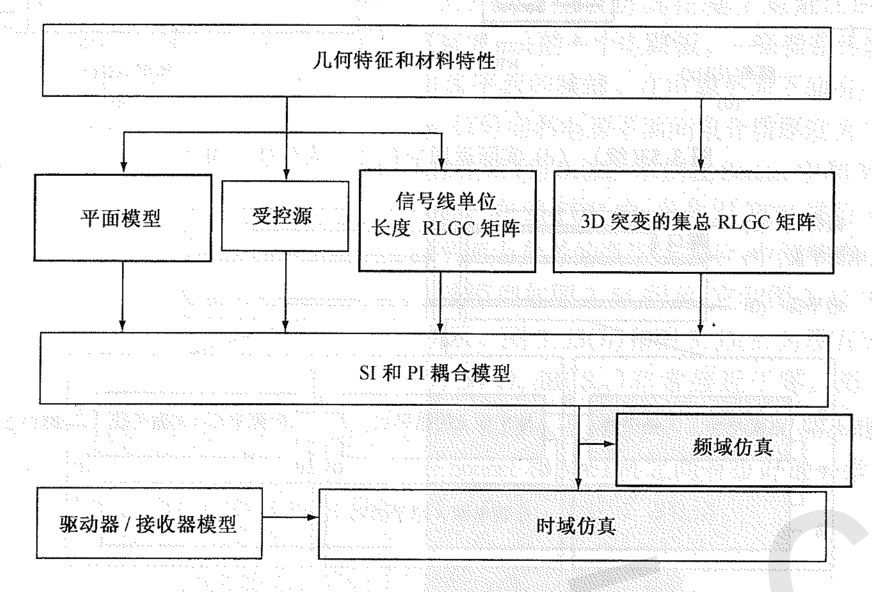


图 3.55　信号完整性和电源完整性协同仿真的建模方法学流程图

通过引入必要的平面模型和受控源，利用前面提出的建模方法，可以对基于一个理想电源/地系统的传统方法进行扩展。通过在电路仿真器中使用这些模型，就可以进行布线前和布线后的分析，帮助设计者选择合适的参数。例如，考虑返回路径突变时如何安排叠层和配置焊盘。

参考文献

1. http://www.eigroup.org/ibis/.
2. *HSPICE Simulation and Analysis User Guide*, Release U-2003.03-PA, Synopsys, Inc., 2003.
3. Y. Wang and H. N. Tan, "The development of analog SPICE behavioral model based on IBIS model," in *Proceedings of the Ninth Great Lakes Symposium on VLSI*, 1999.
4. I. A. Maio, I. Stievano, and F. G. Canavero, "Signal integrity and behavioral models of digital devices," in *Proceedings of the International Zurich Symposium on Electromagnetic Compatibility*, 1999, pp. 149–154.

5. P. F. Tehrani, Y. Chen, and J. Fang, "Extraction of transient behavioral model of digital I/O buffers from IBIS," in *Proceedings of the Electronic Components and Technology Conference*, 1996, pp. 1,009–1,015.
6. F. Haslinger, B. Unger, R. Weigel, M. Maurer, and M. Troscher, "EMC modeling of nonlinear components for automotive applications," in *Proceedings of the International Zurich Symposium on Electromagnetic Compatibility*, Feb. 2001, pp. 419–424.
7. S. Hall, G. Hall, and J. McCall, *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. New York: Wiley, 2000.
8. E. Engin, M. Coenen, H. Koehne, G. Sommer, and W. John, "Three-pole analysis model to predict SI and EMC effects," in *EMC Compo, 3rd International Workshop on Electromagnetic Compatibility of Integrated Circuits*, Toulouse, France, Nov. 2002, pp. 105–108.
9. J. Zhao and Q. lun Chen, "A new methodology for simultaneous switching noise simulation," in *Proceedings of the Electrical Performance of Electronic Packaging*, 2000, pp. 155–158.
10. L. Smith, "Simultaneous switch noise and power plane bounce for CMOS technology," in *Proceedings of the Electrical Performance of Electronic Packaging*, Oct. 1999, pp. 163–165.
11. C. R. Paul, *Analysis of Multiconductor Transmission Lines*. New York: Wiley, 1994.
12. G. Miano and A. Maffucci, *Transmission Lines and Lumped Circuits*. San Diego: Academic Press, 2001.
13. Kenneth D. Granzow, *Digital Transmission Lines: Computer Modelling and Analysis*. Oxford: Oxford University Press, 1998.
14. A. E. Engin, W. John, G. Sommer, W. Mathis, and H. Reichl, "Modeling of striplines between a power and a ground plane," *IEEE Transactions on Advanced Packaging*, vol. 29, no. 3, pp. 415–426, Aug. 2006.
15. Agilent EEsof EDA E8921A/AN Momentum Product Overview, Nov. 2000, http://literature.agilent.com/litweb/pdf/5968-1613E.pdf.
16. Sonnet, ver. 10.52, Sonnet Software Inc., Syracuse, NY.
17. S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, "Modeling of simultaneous switching noise in high-speed systems," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132–142, May 2001.
18. A. E. Engin, M. Coenen, H. Köhne, G. Sommer, and W. John, "Modeling and analysis of the return path discontinuity caused by vias using the 3-conductor model," in *IEEE International Symposium on Electromagnetic Compatibility*, Istanbul, Turkey, May 2003.

19. S. Chun, J. Choi, S. Dalmia, W. Kim, and M. Swaminathan, "Capturing via effects in simultaneous switching noise simulation," in Proceedings of the *IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1,221–1,226, August 2001.

20. A. E. Engin, W. Mathis, W. John, and G. Sommer, "Lumped skin-effect model for interconnects," in *International Symposium on Signals, Systems, and Electronics ISSSE '04*, Linz, Austria, Aug. 2004.

21. A. E. Engin, W. Mathis, W. John, G. Sommer, and H. Reichl, "Time-domain modeling of lossy substrates with constant loss tangent," in *Proceedings of the IEEE Workshop on Signal Propagation on Interconnects*, Heidelberg, Germany, May 2004.

22. Maxwell 2D Extractor, Ansoft Corporation, Pittsburgh, PA.

23. P. Muthana, K. Srinivasan, E. Engin, M. Swaminathan, R. Tummala, D. Amey, K. Dietz, S. Banerji, "I/O decoupling in high-speed packages using embedded planar capacitors," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007.

24. DuPont Interra HK 04 Series Planar Capacitor Laminate Data Sheet, http://www.hurricanerelief.dupont.com/Interra/en_US/assets/downloads/pdf/hk4-DATASHEET.pdf.

25. A. E. Engin, K. Bharath, K. Srinivasan, and M. Swaminathan, "Modeling of multilayered packages and boards using modal decomposition and finite difference methods," in *IEEE International Symposium on Electromagnetic Compatibility*, Portland, OR, Aug. 2006.

第 4 章　时域仿真方法

4.1　引言

第 2 章中,我们讨论了平面建模的方法。这些方法可以用来获得平面上某些特定位置的频率响应。第 3 章中,我们在模态分解技术的基础上讨论了将互连从平面分离,以及模型重新组合的方法。这些方法允许单独分析互连和平面,从而可以分别提取它们的频域模型。这些模型可以重新组合以保持原有结构的基本模态性能。下一步就是要寻找一种可以将这些概念应用到时域中的方法,以便获得信号线和电源配送网络(PDN)上的波形。因此类似于第 2 章中所描述的平面模型,本章是要根据频率响应建立一个电路模型。与第 2 章所描述的物理模型不同,这里要建立的是非物理模型。非物理模型同物理结构之间没有相关性,它只是将频率响应在时域得以再现。

这一章,我们主要讨论两种方法。第一种是基于有理函数插值的方法,通常称之为宏模型,利用这种方法可以根据频率响应建立黑盒子模型。因此平面或互连中端口到端口的频率响应可以利用黑盒子模型表示。利用递归卷积或生成子电路模型可以将宏模型集成到 Spice 一类的电路仿真器中。具有宏模型处理能力的 Spice 仿真器通常称为宽带仿真器。第二种方法是基于信号流图的卷积,这里提取的频率响应可以直接应用到电路仿真中。也可以将信号流图重新写成改进节点法的形式,以便集成到 Spice 一类的电路仿真器中。这两种方法都能用来仿真频域网络参数与非线性网络(例如驱动器和接收器)参数。但为了分析简单起见,本章举例采用的都是线性端接。本章中也讨论了两种方法各自的优缺点。

4.2　有理函数法

4.2.1　基本理论

考虑图 4.1,它由一个黑盒子组成,其输入/输出端口代表电源/地平面或者互连上的点,频率响应就是从这些点处提取的。因此这个黑盒子模型包含了我们所感兴趣点之间的频率响应。在一个电源地平面对中,如果一个点位于其中一个平面上,在另一个平面上有一个位于其正下方或正上方的参考点与其对应,这样的一对点就定义为一个端口。我们的目标就是建立一个函数,用这个函数来获得 I/O 端口之间的频率响应。这个函数可以用下式表示:

$$H_{ij}(s) = c_{ij} + \sum_{m=1}^{M} \frac{k_m^{ij}}{s - p_m} \quad \text{或} \quad H_{ij}(s) = \frac{\sum_{n=0}^{N} a_n^{ij} s^n}{\sum_{m=0}^{M} b_m s^m} \tag{4.1}$$

19. S. Chun, J. Choi, S. Dalmia, W. Kim, and M. Swaminathan, "Capturing via effects in simultaneous switching noise simulation," in Proceedings of the *IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1,221–1,226, August 2001.

20. A. E. Engin, W. Mathis, W. John, and G. Sommer, "Lumped skin-effect model for interconnects," in *International Symposium on Signals, Systems, and Electronics ISSSE '04*, Linz, Austria, Aug. 2004.

21. A. E. Engin, W. Mathis, W. John, G. Sommer, and H. Reichl, "Time-domain modeling of lossy substrates with constant loss tangent," in *Proceedings of the IEEE Workshop on Signal Propagation on Interconnects*, Heidelberg, Germany, May 2004.

22. Maxwell 2D Extractor, Ansoft Corporation, Pittsburgh, PA.

23. P. Muthana, K. Srinivasan, E. Engin, M. Swaminathan, R. Tummala, D. Amey, K. Dietz, S. Banerji, "I/O decoupling in high-speed packages using embedded planar capacitors," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007.

24. DuPont Interra HK 04 Series Planar Capacitor Laminate Data Sheet, http://www.hurricanerelief.dupont.com/Interra/en_US/assets/downloads/pdf/hk4-DATASHEET.pdf.

25. A. E. Engin, K. Bharath, K. Srinivasan, and M. Swaminathan, "Modeling of multilayered packages and boards using modal decomposition and finite difference methods," in *IEEE International Symposium on Electromagnetic Compatibility*, Portland, OR, Aug. 2006.

第 4 章　时域仿真方法

4.1　引 言

第 2 章中,我们讨论了平面建模的方法。这些方法可以用来获得平面上某些特定位置的频率响应。第 3 章中,我们在模态分解技术的基础上讨论了将互连从平面分离,以及模型重新组合的方法。这些方法允许单独分析互连和平面,从而可以分别提取它们的频域模型。这些模型可以重新组合以保持原有结构的基本模态性能。下一步就是要寻找一种可以将这些概念应用到时域中的方法,以便获得信号线和电源配送网络(PDN)上的波形。因此类似于第 2 章中所描述的平面模型,本章是要根据频率响应建立一个电路模型。与第 2 章所描述的物理模型不同,这里要建立的是非物理模型。非物理模型同物理结构之间没有相关性,它只是将频率响应在时域得以再现。

这一章,我们主要讨论两种方法。第一种是基于有理函数插值的方法,通常称之为宏模型,利用这种方法可以根据频率响应建立黑盒子模型。因此平面或互连中端口到端口的频率响应可以利用黑盒子模型表示。利用递归卷积或生成子电路模型可以将宏模型集成到 Spice 一类的电路仿真器中。具有宏模型处理能力的 Spice 仿真器通常称为宽带仿真器。第二种方法是基于信号流图的卷积,这里提取的频率响应可以直接应用到电路仿真中。也可以将信号流图重新写成改进节点法的形式,以便集成到 Spice 一类的电路仿真器中。这两种方法都能用来仿真频域网络参数与非线性网络(例如驱动器和接收器)参数。但为了分析简单起见,本章举例采用的都是线性端接。本章中也讨论了两种方法各自的优缺点。

4.2　有理函数法

4.2.1　基本理论

考虑图 4.1,它由一个黑盒子组成,其输入/输出端口代表电源/地平面或者互连上的点,频率响应就是从这些点处提取的。因此这个黑盒子模型包含了我们所感兴趣点之间的频率响应。在一个电源地平面对中,如果一个点位于其中一个平面上,在另一个平面上有一个位于其正下方或正上方的参考点与其对应,这样的一对点就定义为一个端口。我们的目标就是建立一个函数,用这个函数来获得 I/O 端口之间的频率响应。这个函数可以用下式表示:

$$H_{ij}(s) = c_{ij} + \sum_{m=1}^{M} \frac{k_m^{ij}}{s - p_m} \quad \text{或} \quad H_{ij}(s) = \frac{\sum_{n=0}^{N} a_n^{ij} s^n}{\sum_{m=0}^{M} b_m s^m} \tag{4.1}$$

在极点－留数形式中，H_{ij}表示端口 i 与 j 之间的传递函数，s 表示拉普拉斯变量，p_m 表示第 m 个极点，k_m^{ij} 表示与 p_m 和 H_{ij}对应的留数，M 表示函数的阶数，c_{ij}表示常数。在有理函数表示形式中，a_n^{ij} 与 b_m 表示系数，N、M 分别为分子和分母的阶数。这些在有理函数表示形式中的系数可以同时乘以一个常数。为消除这种歧义，令 b_0 等于 1。方程(4.1)以有理函数的形式近似表示了频率响应，这里 H 可以表示散射(S)、导纳(Y)或者阻抗(Z)参数。每一个传递函数元素都有相同的极点集合，这些极点的集合对于传递函数矩阵是相同的。根据方程(4.1)，我们的目标就是计算得到式中的留数及传递函数的极点，使得这个有理函数的响应逼近给定的频率响应 H_{ij}。为了使电感器对阻抗的影响和电容器对导纳的影响也包括在内，方程(4.1)的极点－留数形式中可以再增加一个线性单元 $d_{ij}s$。方程(4.1)中的有理函数还有一些非常有趣的性质，我们将在以后介绍。利用部分分式展开法，可以将有理函数形式展开得到极点－留数形式。

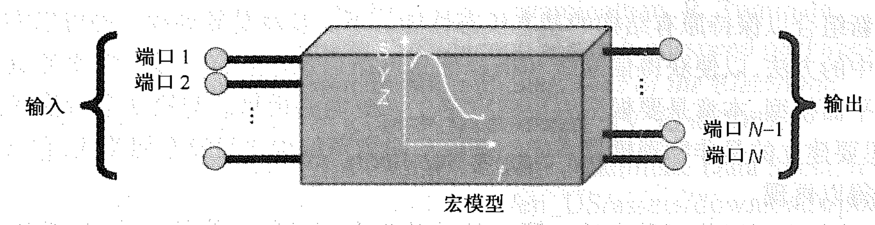


图 4.1 有理函数模型

Padé 逼近是一种将某个函数近似表示成两个多项式比值的方法，它是以 Henri Eugene Padé 的名字命名的。下面我们将通过一个简单的例子给出 Padé 逼近的应用。

举例

考虑函数 e^x。(2,2)阶 Padé 逼近可以写成如下形式：

$$e^x = \frac{a_0 + a_1 x + a_2 x^2}{1 + b_1 x + b_2 x^2} \tag{4.2}$$

式中 $b_0 = 1$，同前面的方程(4.1)。

函数 e^x 可以展开成 4 阶马克劳林(Maclaurin)级数：

$$e^x = 1 + x + \frac{x^2}{2} + \frac{x^3}{6} + \frac{x^4}{24} \tag{4.3}$$

将方程(4.3)代入方程(4.2)中，交叉相乘，使等式两边同阶 x 的系数相等，可以计算得到系数 $a_0 = 1$，$a_1 = 1/2$，$a_2 = 1/12$，$b_1 = -1/2$，$b_2 = 1/12$。因此，e^x 的(2,2)Padé 逼近可以写成

$$e^x = \frac{12 + 6x + x^2}{12 - 6x + x^2} \tag{4.4}$$

e^x 与 e^x 马克劳林展开式(4.3)的误差及与 e^x 的 Padé 逼近的误差如图 4.2 所示，其中 x 的取值范围为 $x = [-1,1]$。从图 4.2 中可以看出 Padé 逼近的误差在这个范围内比马克劳林展开式的要更小些，因此使用起来更好。

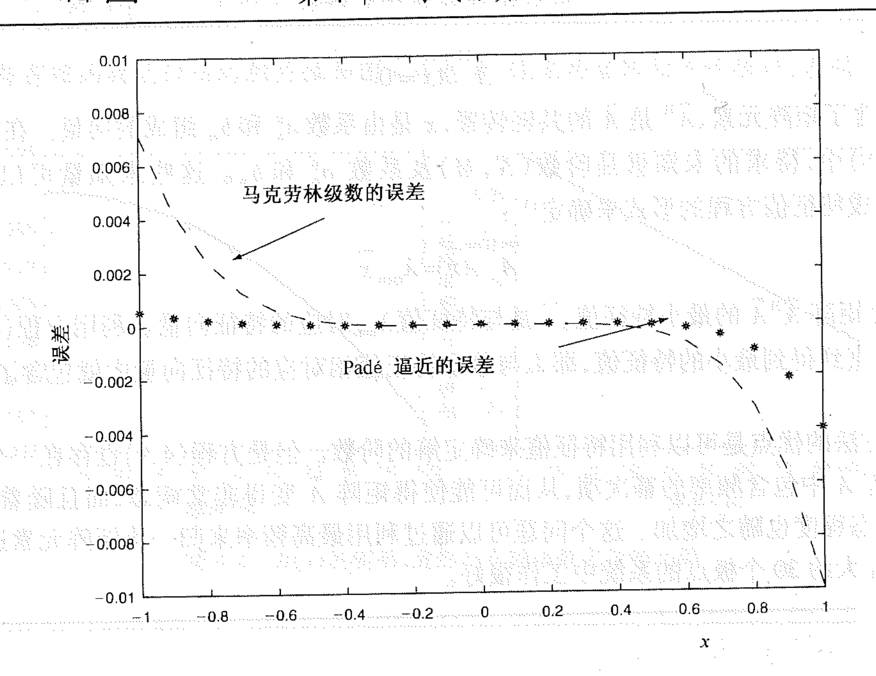


图 4.2 e^x 与马克劳林展开式、Padé 逼近之间的误差

4.2.2 插值方案

这一节的目的就是从原始数据中计算得到一个有理近似函数，这些原始数据为频率的函数。原始数据可以按照 S 参数、Y 参数或 Z 参数的形式给出。

4.2.2.1 特征值法

为了计算极点和留数，方程(4.1)可以写成方程(4.5)的形式：

$$H^{ij}(s) = \frac{a_0^{ij} + a_1^{ij} s + a_2^{ij} s^2 + \cdots + a_N^{ij} s^N}{b_0 + b_1 s + b_2 s^2 + \cdots + b_M s^M} \tag{4.5}$$

式中 a_n^{ij} 和 b_m 是要计算的系数。多项式的阶数 N 与 M 相等或最多相差 1。假设方程(4.5)中的矩阵元素有一个共同的极点集合，现在方程(4.5)可以写成方程(4.6)的形式：

$$\sum_{n=0}^{N} a_n^{ij} s^n - H^{ij}(s) \sum_{m=0}^{M} b_m s^m = 0 \tag{4.6}$$

因为系数 a_n^{ij} 和 b_m 都是实数(这是将有理函数转化成电路单元的一个重要性质)，使方程(4.6)两端的实部和虚部分别相等可得到：

$$\begin{aligned} &\sum_{n=0}^{N} a_n^{ij} \operatorname{Re}\{(j\omega_k)^n\} - \sum_{m=0}^{M} b_m \operatorname{Re}\{H^{ij}(j\omega_k)(j\omega_k)^m\} = 0 \\ &\sum_{n=0}^{N} a_n^{ij} \operatorname{Im}\{(j\omega_k)^n\} - \sum_{m=0}^{M} b_m \operatorname{Im}\{H^{ij}(j\omega_k)(j\omega_k)^m\} = 0 \end{aligned} \tag{4.7}$$

式中 ω_k 表示第 k 次采样的频率。由方程(4.7)得到的不是方阵(因为频率采样点数要大于参数的个数)，它可以表示成如下的矩阵形式：

$$\bar{\bar{A}}^{\mathrm{H}}\bar{\bar{A}}\bar{x}=\bar{0} \tag{4.8}$$

式中 $\bar{\bar{A}}$ 包含了矩阵元素，$\bar{\bar{A}}^{\mathrm{H}}$ 是 $\bar{\bar{A}}$ 的共轭转置，x 是由系数 a_n^{ij} 和 b_m 组成的向量。在方程(4.7)和方程(4.8)中，待求的未知量是阶数(N, M)及系数 a_n^{ij} 和 b_m。这些未知量可以通过将方程(4.8)写成特征值方程的形式来确定[1]：

$$\bar{\bar{A}}^{\mathrm{H}}\bar{\bar{A}}\bar{x}=\lambda_{\min}\bar{x} \tag{4.9}$$

式中 $\lambda_{\min}$是矩阵 $\bar{\bar{A}}^{\mathrm{H}}\bar{\bar{A}}$ 的最小特征值，$\bar{x}$ 是与特征值$\lambda_{\min}$对应的特征向量。利用方程(4.9)，通过改变阶数，直到得到最小的特征值，那么与最小特征值相对应的特征向量中就包含了所要计算的系数值。

这种方法的优点是可以利用特征值来确定解的阶数。但是方程(4.9)也存在一个问题，就是由于矩阵 $\bar{\bar{A}}$ 中包含频率的幂次项，从而可能使得矩阵 $\bar{\bar{A}}$ 变得非常病态，而且随着阶数的增加，$\bar{\bar{A}}$ 的病态程度也随之增加。这个问题可以通过利用最高频率来归一化矩阵元素进行控制，这种方法在大约 30 个极点的系统中工作很好。

举例

考虑传递函数，$H(s)=\mathrm{e}^{-s/2485}$，$s=\mathrm{j}\omega$。假设对这个函数从 1～100 Hz 进行等间隔点采样，这些数据用于构造方程(4.7)中的矩阵，其中 $i=j=1$。因此，这个传递函数矩阵仅由一个元素组成。

最小特征值 $\lambda_{\min}$(绝对值)与阶数 M 的关系如图 4.3 所示。当 $M=N=2$ 时，取得最小特征值，也就是最佳解。此时待求参数可以从与最小特征值所对应的特征向量中得到，有理函数的模型可以写成如下形式：

$$H(s)=\frac{7.3985\times10^{7}-1.4880\times10^{4}s+9.9844\times10^{-1}s^{2}}{7.3985\times10^{7}+1.4887\times10^{4}s+s^{2}} \tag{4.10}$$

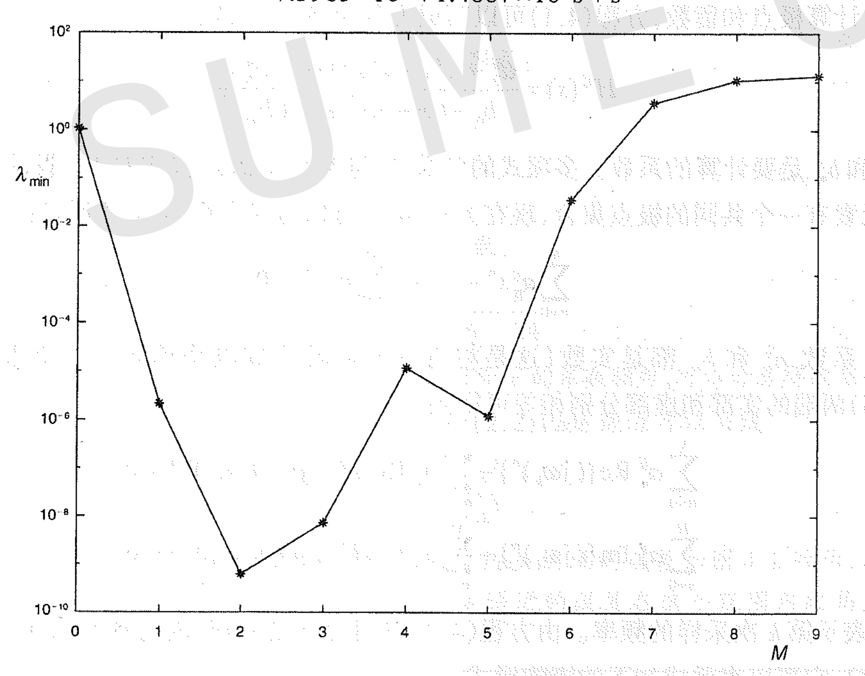


图 4.3　最小特征值与阶数的关系

数据与有理函数近似值的相关性如图 4.4 所示，这里两者的相关性很好，表明该模型的准确性很高。

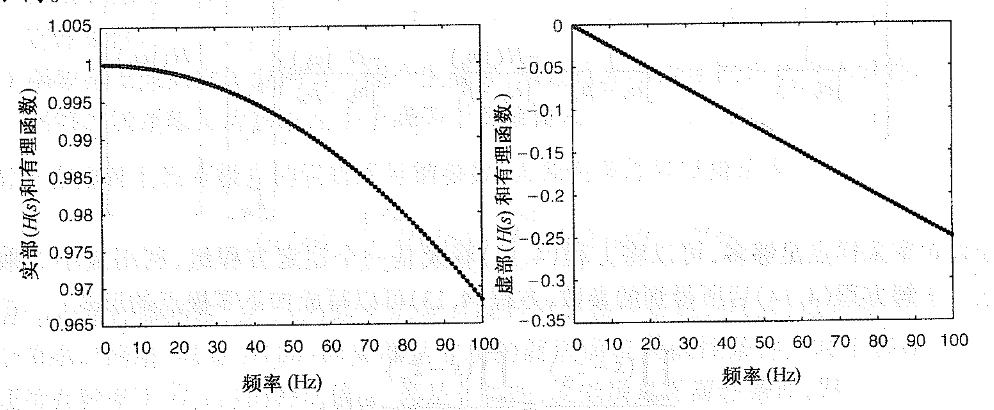


图 4.4　$H(s)$的实部、虚部与有理函数之间的比较

4.2.2.2　向量拟合法

有时最小特征值开始时收敛得很快，然后又慢了下来。收敛性的变化会给提取极点的准确性带来误差。向量拟合[2]能够提高极点的精度，它也是基于迭代技术的。

考虑方程(4.1)，其中 k_m^{ij} 和 p_m 是实数或以共轭对的形式出现，c_{ij}是实数。向量拟合法将方程(4.1)的求解分成两部分：一部分是极点的辨识，另一部分为留数计算。

极点辨识

首先利用前面章节介绍的特征值法来确定求解方程(4.1)的起始极点。用一个未知函数 $\sigma(s)$与方程(4.1)相乘，可以写成如下形式：

$$\sigma(s)H(s)=c+\sum_{m=1}^{M}\frac{k_m}{s-\bar{p}_m} \tag{4.11}$$

为简化起见省略 ij，$\bar{p}_m$ 是起始极点。函数 $\sigma(s)$可以写成如下有理函数的形式：

$$\sigma(s)=1+\sum_{m=1}^{M}\frac{\tilde{k}_m}{s-\bar{p}_m} \tag{4.12}$$

它与方程(4.11)有相同的极点，但是留数不同。函数 $\sigma(s)$在 s 为无穷大时是有界的。$H(s)$与方程(4.12)相乘等于方程(4.11)，

$$c+\sum_{m=1}^{M}\frac{k_m}{s-\bar{p}_m}=\left[1+\sum_{m=1}^{M}\frac{\tilde{k}_m}{s-\bar{p}_m}\right]H(s) \tag{4.13}$$

由于已经假设了起始极点，所以方程(4.13)可以简写成矩阵形式：

$$\bar{\bar{A}}\bar{x}=\bar{b} \tag{4.14}$$

其中 $\bar{\bar{A}}$ 的行向量与频率采样有关；$\bar{x}$ 中包含参数 k_m、$\tilde{k}_m$ 和 c；$\bar{b}$ 中包含了 $H(s)$的采样值。矩阵和向量的元素如方程(4.15)所示，其中 ω_k 是第 k 次采样频率。

$$\begin{bmatrix} \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & \dfrac{1}{j\omega_k-\bar{p}_1} & \cdots & \cdots & \dfrac{1}{j\omega_k-\bar{p}_M} & \dfrac{-H(j\omega_k)}{j\omega_k-\bar{p}_1} & \cdots & \dfrac{-H(j\omega_k)}{j\omega_k-\bar{p}_M} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \end{bmatrix} \begin{bmatrix} c \\ k_1 \\ \vdots \\ \vdots \\ k_M \\ \tilde{k}_1 \\ \vdots \\ \tilde{k}_M \end{bmatrix} = \begin{bmatrix} H(j\omega_1) \\ H(j\omega_2) \\ \vdots \\ H(j\omega_k) \\ \vdots \\ \vdots \end{bmatrix} \tag{4.15}$$

如果频率采样点足够多,可以将方程(4.14)看成是一个超定方程组,利用最小二乘法来解。通过求解方程(4.14)后所得到的参数,方程(4.13)可以写成如下零极点的形式:

$$\frac{\prod_{m=1}^{M}(s-z_m)}{\prod_{m=1}^{M}(s-\bar{p}_m)} = \frac{\prod_{m=1}^{M}(s-\tilde{z}_m)}{\prod_{m=1}^{M}(s-\bar{p}_m)}H(s) \tag{4.16}$$

其中 z_m 和 $\tilde{z}_m$ 是零点,通过将极点-留数形式转化成零极点形式得到。

从方程(4.16)中可以得到 $H(s)$:

$$H(s) = \frac{\prod_{m=1}^{M}(s-z_m)}{\prod_{m=1}^{M}(s-\tilde{z}_m)} \tag{4.17}$$

比较方程(4.13)和方程(4.17)可以看出,$\sigma(s)$的零点用来代替 $H(s)$的极点。这一过程一直进行到极点收敛为一个定常数。

留数辨识

在提取传递函数 $H(s)$的极点之后,可以将它代入方程(4.1)中,从而可以得到一个与方程(4.14)和方程(4.15)相似的新的矩阵方程,并可以计算出该矩阵方程的解,其中向量 x 中包含系数 c 和 k_m:

$$\begin{bmatrix} \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & \dfrac{1}{j\omega_k-\bar{p}_1} & \cdots & \cdots & \dfrac{1}{j\omega_k-\bar{p}_M} \\ \vdots & \vdots & \vdots & \vdots & \vdots \end{bmatrix} \begin{bmatrix} c \\ k_1 \\ \vdots \\ \vdots \\ k_M \end{bmatrix} = \begin{bmatrix} H(j\omega_1) \\ \vdots \\ H(j\omega_k) \\ \vdots \end{bmatrix} \tag{4.18}$$

有关向量拟合法的例子可以查阅参考文献[2]。

4.2.3 有理函数的性质

利用有理函数对数据进行插值的一个主要优点就是可以建立状态空间模型。这些模型可以转换成电路单元,从而集成到电路仿真器(例如 Spice)中。然而,有理函数模型必须满足某些性质。假定所得到的数据是无源网络时,这些性质如下:

1. 函数必须是实系数的,如方程(4.7)中所要求的。
2. 函数是稳定的,即意味着方程(4.1)中的极点不位于右半平面或者 $\mathrm{Re}(p_m)<0$。这称为稳定性条件。
3. 函数是无源的。无源网络不能产生能量,通过这点可以定性地判定无源性。因此无源网络的能量输出应该总是小于或等于能量输入。

对于在虚轴上没有极点的阻抗或导纳参数,无源性条件可以概括为

$$\overline{\overline{G}}(j\omega) = \frac{1}{2}\left(\overline{\overline{H}}(j\omega) + \overline{\overline{H}}^{H}(j\omega)\right) \geqslant 0 \quad \forall\omega \tag{4.19}$$

其中 $\overline{\overline{H}}(j\omega)$是传递函数,$\overline{\overline{H}}^{H}(j\omega)$是它的复共轭转置。换句话说,$\overline{\overline{G}}(j\omega)$应该是半正定的。对于一个单端口网络,只要 $H(j\omega)$的实部是非负的就能满足无源性条件。对于多端口网络,只要保证所有频率下 $\overline{\overline{G}}(j\omega)$的特征值 λ_i 都是非负的,就能满足无源性条件,即

$$\lambda_i\left(\overline{\overline{G}}(j\omega)\right) \geqslant 0 \quad \forall\omega \tag{4.20}$$

对于具有单位界定(bounded by unity)性质的散射矩阵而言,无源性条件可以做适当的修改。如果下式成立,则散射参数的无源性条件可以满足:

$$\left(\overline{\overline{1}} - \overline{\overline{H}}^{H}(j\omega)\overline{\overline{H}}(j\omega)\right) \geqslant 0 \quad \forall\omega \tag{4.21}$$

其中 $\overline{\overline{1}}$是单位矩阵,如果下式成立,则多端口网络满足方程(4.21):

$$\max\sigma_i\left(\overline{\overline{H}}(j\omega)\right) \leqslant 1 \quad \forall\omega \tag{4.22}$$

其中 σ_i 为 $\overline{\overline{H}}(j\omega)$的奇异值,必须单位界定[3]。

此外,导纳或阻抗参数可能有位于虚轴上的极点。这些极点应该为单极点,其相应的留数矩阵必须是非负定矩阵[4]。

举例

趋肤效应电阻通常用与频率平方根相关,表示为 $R_{ac}\sqrt{f}$,其中 R_{ac}是正的常数。这种函数满足方程(4.19),因为对所有频率它都是正的。然而由于它不是满足上述其他性质的有理函数,例如不满足在右半平面上没有极点,所以这种函数并非是无源函数。这种函数同样也不满足因果关系,因为它没有虚部满足给定实部的希尔伯特(Hilbert)变换。满足因果关系的趋肤效应模型已经在第2章中给出。总之,无源系统必须是因果的[4]。

4.2.3.1 稳定性条件

通过控制有理函数的极点,这一条件相对容易满足。利用特征值和向量拟合法,可以提取得到传递函数的极点,然后检查这些极点,以保证它们均位于左半平面。如果 $\mathrm{Re}(p_m)\geqslant 0$,则这些极点将被去除,最终只保留稳定的极点,以保证阻抗或导纳参数的模型是严格稳定的。然后得到类似于(4.18)的矩阵方程,对其求解就可以计算出对应的留数。

对于方程(4.1)所示的多矩阵元素 $H_{ij}(s)$ 的情况，首先由 $H(s)$ 的频率样本来得到一个大的矩阵，以此来提取矩阵元素的公共极点。然后利用它们各自的频率响应分别提取每一个矩阵元素的留数。

只要对频率响应的插值是准确的，并且频率响应从最开始就是无源的，在大多数情况下有理函数的稳定性可以得到保证。

举例

根据方程(4.10)，传递函数的极点－留数模型可以写成如下形式：

$$H(s)=0.99844+\frac{-1.4872\times10^4-\mathrm{j}2.5697\times10^4}{s-(-7.4436\times10^3+\mathrm{j}4.3101\times10^3)}+\frac{-1.4872\times10^4+\mathrm{j}2.5697\times10^4}{s-(-7.4436\times10^3-\mathrm{j}4.3101\times10^3)} \quad (4.23)$$

从方程(4.23)的分母可知，复共轭极点均位于 $\mathrm{j}\omega$ 轴的左半平面，因此 $H(s)$ 是一个稳定模型。复共轭极点和留数自动保证了系数 b、a 是实数。

4.2.3.2 无源性条件

无源性的重要性可以通过一个简单的例子[5]得到很好的描述。考虑如下有理函数表示的导纳函数：

$$Y(s)=\frac{1}{s^2+s+1} \quad (4.24)$$

$Y(s)$ 的复共轭极点极点 $-0.5\pm \mathrm{j}0.866$ 位于左半平面。因此，方程(4.24)中的有理函数或者说宏模型是稳定的。如图 4.5 所示，将 $Y(s)$ 与一个 LC 网络串联，其中 $L=1$，$C=1/4$。输入与输出端口之间的导纳函数为

$$Y_{\text{new}}(s)=\frac{s}{s^3+2s^2+s+4} \quad (4.25)$$

图 4.5 无源性的破坏(内容来自 R.Achar[5]，© 2005 IEEE)

新函数的极点为(-2.3146，$0.1573\pm \mathrm{j}1.3052$)。显而易见，复共轭极点位于右半平面，这使得整个网络不稳定。因此，一个稳定的宏模型与一个无源电路相连不能保证整个网络也是稳定的，图 4.5 所描述的就是无源性问题的实质。

前面描述的无源性条件可以通过保证 $G(\mathrm{j}\omega)$ 是半正定矩阵来满足。令 $s=\mathrm{j}\omega$，代入方程(4.24)中，导出的函数 $G(\mathrm{j}\omega)$ 为

$$G(\mathrm{j}\omega)=\frac{1}{2}(Y(\mathrm{j}\omega)+Y^H(\mathrm{j}\omega))=\frac{(1-\omega^2)}{(1-\omega^2)^2+\omega^2} \quad (4.26)$$

图 4.6 描述的是由方程(4.26)所得到的与频率相关的 $G(\mathrm{j}\omega)$ 曲线。从图中可以看出，当 $\omega^2>1$ 时，响应是负的，这说明了在这些频率点处 $Y(s)$ 破坏了无源性条件。

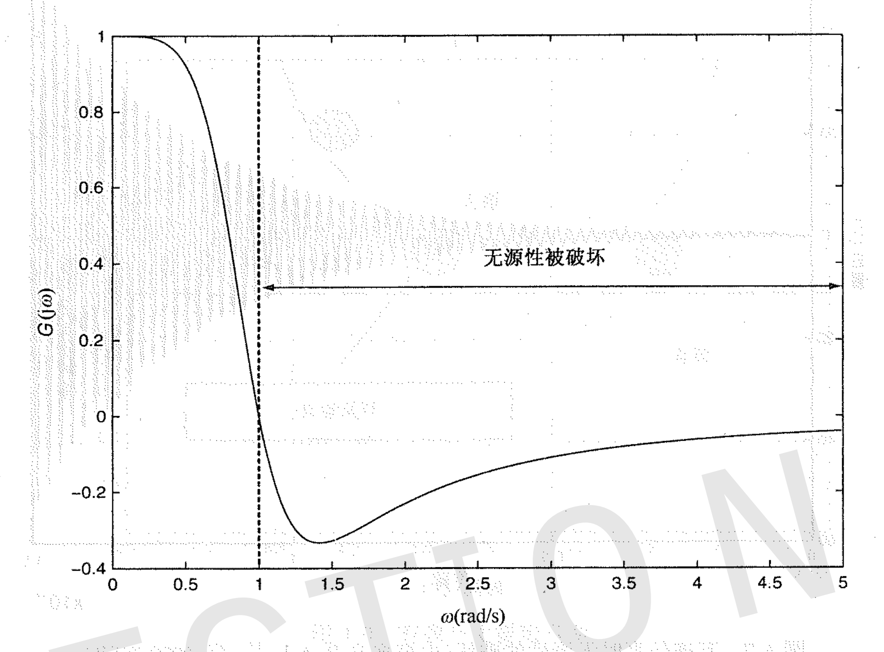


图 4.6 $G(\mathrm{j}\omega)$ 的频率关系图

考虑另外一个例子，网络函数 $\overline{\overline{Y}}(s)$ 由如下矩阵形式给出：

$$\overline{\overline{Y}}(s)=\begin{bmatrix}\frac{1}{s+3} & \frac{-1}{s+3}\\ \frac{-1}{s+3} & \frac{1}{s+3}\end{bmatrix} \quad (4.27)$$

这个矩阵显然是稳定的，它拥有相同的实极点 $p_1=-3$，经过计算可以得到 $\overline{\overline{G}}(\mathrm{j}\omega)$ 的特征值为 $\lambda_1=0$，$\lambda_2=6/(3^2+\omega^2)$。对于所有 ω，$\overline{\overline{G}}(\mathrm{j}\omega)$ 有两个大于或等于 0 的特征值，因此方程(4.27)中的矩阵是无源的。

若利用宏模型表示互连，如果互连不是无源的将导致时域结果的发散，如图 4.7 所示，用有理函数表示的互连随着时间的推移把信号放大了[6]。

4.2.4 增强无源性

测量或者仿真的数据都是以 S、Z 或 Y 参数的形式给出的，检查数据是否无源是非常重要的。如同前面所讨论的那样，检查可以通过计算它的特征值来进行。假设数据是无源的，通过曲线拟合当前的频率响应可以建立一个合适的有理函数模型。然而曲线拟合有时可能会很困难，而且如果方法不稳定，结果得到的有理函数模型可能是非无源的。一个好的曲线拟合应该在 90% 的情况下提供一个无源模型。然而，在 10% 的情况下，有理函数模型由于数值误差会变成非无源模型。因此，在集成到电路仿真器中使用之前，对每个有理函数模型进行无源性检查是非常重要的。

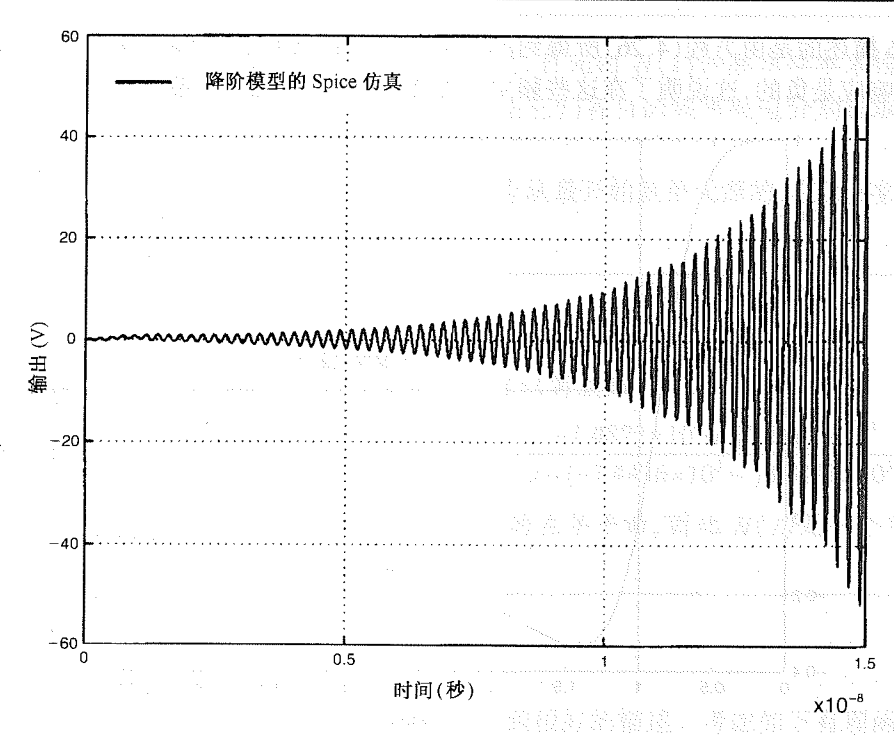


图 4.7　互连仿真时无源性的破坏(内容来自 R.Achar[6]，© 2000 IEEE)

这一节的第一个目标就是提供一种检查宏模型是否在所有频率下都满足无源性条件的方法。假如已知宏模型不满足无源性条件，第二个目标就是找到方法来实现无源性，使新的宏模型满足前面一节中所描述的无源性条件。当得到的无源宏模型与无源终端连接时，总是渐近稳定的[5]，如图 4.8 所示。但是仅仅利用 $G(j\omega)$ 的频率响应或者特征值 $\lambda_i(\omega)$ 来检查一个宏模型是否对所有频率都是无源的是很困难的，原因有两点：(1)频率点之间的样本可能不是无源的；(2)即使函数是知道的，但是在无限频带范围内计算频率响应也是不实际的。

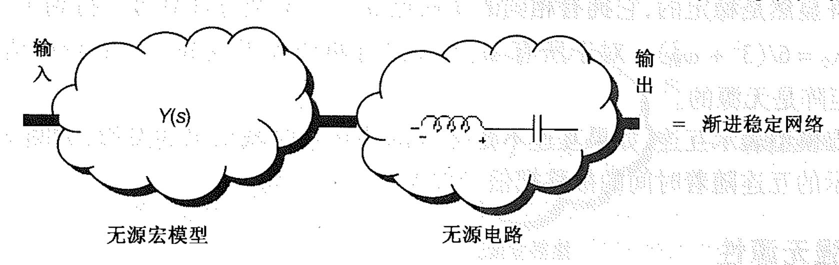


图 4.8　无源宏模型与稳定性(内容来自 R.Achar[5]，© 2005 IEEE)

在这一节中，我们把焦点集中在可以通过电路模型物理实现的频率响应上，例如那些从电磁仿真器或者从测量中得到的。假设频率响应最开始是无源的，但是由于前面所描述的插值法，接下来的频率响应可能会破坏无源性。已建立的有理函数在很窄的频带范围内破坏了无源性。因此，我们的目标就是将近似无源的宏模型转换成在整个频带内都满足无源性的宏模型。这种转换通过对宏模型引入一个小的扰动来完成，也就是故意引入一个小误差来保证宏模型是无源的。考虑图 4.9 中所示的例子，图中表示一个有理函数的响应，阻抗 $Z(j\omega)$ 的实部(虚线)在频率处于 670 MHz 到 690 MHz 之间时变为负值，因此破坏了无源性。我们可以给它

加上一个小的扰动来予以纠正，保证纠正后的新函数 $\{Z(j\omega)\}\geq 0$ (见图 4.9[7])。纠正前后函数的频率响应并不完全吻合，但是这种纠正保证了新函数的无源性。引入的误差可以通过调整扰动来控制。

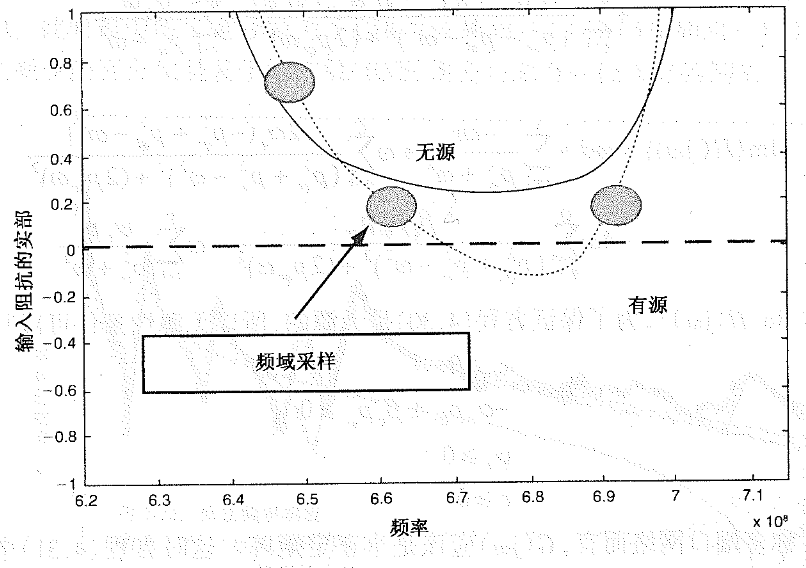


图 4.9　有源与无源宏模型

以下描述两种检查和实现无源性的方法：BEMP(宽带高效宏模型建模程序)与哈密顿(Hamiltonian)矩阵技术。

4.2.4.1　BEMP

BEMP 是乔治亚理工学院开发的一种软件工具[8]，它用一种简易的方法来建立满足无源性的宏模型。尽管这种方法并不是对所有情况都起作用，但是却非常适用于传输线和电源分配结构这样的分布式互连网络。

方程(4.1)中所示的有理函数可以写成如下形式：

$$H_{ij}(s)=c_{ij}+d_{ij}s+\sum_{n=1}^{N}\frac{r_n^{ij}}{s-p_{nr}}+\left[\sum_{q=1}^{Q}\frac{\alpha_q^{ij}+j\beta_q^{ij}}{s-p_{qr}-jp_{qi}}+\frac{\alpha_q^{ij}-j\beta_q^{ij}}{s-p_{qr}+jp_{qi}}\right]+\sum_{t=1}^{T}\frac{\psi_t^{ij}s}{s-p_{tr}} \quad (4.28)$$

其中 c_{ij}、d_{ij}、r_n^{ij}、α_q^{ij}、β_q^{ij} 与 ψ_t^{ij} 都是实数，p_{nr}、p_{qr} 与 p_{tr} 都是非正数。在上式中，假设所有的矩阵元素有共同的极点，并且所有的极点都位于左半平面。在方程(4.28)中已经将留数和极点的实部和虚部分开。此外还添加了线性单元 $d_{ij}s$ (在 Z 参数下代表电感器，在 Y 参数下代表电容器)。方程(4.28)中的求和项可以认为是对滤波器响应的叠加，第一、第二、第三求和项分别代表低通、带通和高通滤波器。对于每个滤波器来说，如果其满足无源性条件，则此滤波器是可实现的。

对于单端口网络，方程(4.28)可以写成

$$H(s)=c+ds+\sum_{n=1}^{N}\frac{r_n}{s-p_{nr}}+\sum_{q=1}^{Q}\frac{2\alpha_q(s-p_{qr})-2\beta_q p_{qi}}{(s-p_{qr})^2+p_{qi}^2}+\sum_{t=1}^{T}\frac{\psi_t s}{s-p_{tr}} \quad (4.29)$$

将实部和虚部分开，代入 $s=j\omega$，方程(4.29)变成

$$\mathrm{Re}\{H(\mathrm{j}\omega)\}=c+\sum_{n=1}^{N}\frac{-p_{nr}r_n}{p_{nr}^2+\omega^2}+\sum_{q=1}^{Q}\frac{2\omega^2(-\alpha_q p_{qr}+\beta_q p_{qi})}{(p_{qr}^2+p_{qi}^2-\omega^2)^2+(2p_{qr}\omega)^2}$$
$$+\sum_{q=1}^{Q}\frac{2\left(p_{qr}^2+p_{qi}^2\right)(-\alpha_q p_{qr}-\beta_q p_{qi})}{(p_{qr}^2+p_{qi}^2-\omega^2)^2+(2p_{qr}\omega)^2}+\sum_{t=1}^{T}\frac{\psi_t\omega^2}{p_{tr}^2+\omega^2}\tag{4.30}$$

$$\mathrm{Im}\{H(\mathrm{j}\omega)\}=\omega d+\sum_{n=1}^{N}\frac{-\omega r_n}{p_{nr}^2+\omega^2}+\omega\sum_{q=1}^{Q}\frac{2\alpha_q(-p_{qr}^2+p_{qi}^2-\omega^2)}{(p_{qr}^2+p_{qi}^2-\omega^2)^2+(2p_{qr}\omega)^2}$$
$$-4\omega\sum_{q=1}^{Q}\frac{\beta_q p_{qi}p_{qr}}{(p_{qr}^2+p_{qi}^2-\omega^2)^2+(2p_{qr}\omega)^2}-\omega\sum_{t=1}^{T}\frac{\psi_t p_t}{p_{tr}^2+\omega^2}$$

因为 $G(\mathrm{j}\omega)=\mathrm{Re}\{H(\mathrm{j}\omega)\}$，为了保证方程(4.30)是无源的，所以无源性条件可以写成

$$\begin{aligned}&r_n\geqslant 0\\&-\alpha_q p_{qr}\pm\beta_q p_{qi}\geqslant 0\\&\psi_t\geqslant 0\\&c\geqslant 0\end{aligned}\tag{4.31}$$

对一个对称多端口网络而言，$G(\mathrm{j}\omega)$应该是半正定矩阵。这时方程(4.31)中的留数就变成了矩阵，而且其特征值应该大于等于零：

$$\begin{aligned}&\lambda_i\left(\overline{\overline{r}}_n\right)\geqslant 0\\&\lambda_i\left(-\overline{\overline{\alpha_q p_{qr}}}\pm\overline{\overline{\beta_q p_{qi}}}\right)\geqslant 0\\&\lambda_i\left(\overline{\overline{\psi}}_t\right)\geqslant 0\\&\lambda_i\left(\overline{\overline{c}}\right)\geqslant 0\end{aligned}\tag{4.32}$$

如果发现方程(4.32)中的特征值是负的，则将其置为零或一个小的正数，然后重新构建留数矩阵。对于实留数$\overline{\overline{r}}_n$、$\overline{\overline{\psi}}_t$和 $\overline{\overline{c}}$，这一过程简便易行；而对于复共轭极点，留数$\overline{\overline{\alpha}}_q$和$\overline{\overline{\beta}}_q$必须同时改变，这就可能带来问题了。为了解决这个问题，首先将$\overline{\overline{\alpha}}_q$的负特征值置为零或一个小的正数，然后构建一个新的留数矩阵$\overline{\overline{\alpha}}_q$，留数矩阵$\overline{\overline{\beta}}_q$也进行适当的改进，以保证方程(4.32)依然成立。

使用这一方法主要有以下三点好处：

1. 由于根据无源性条件对留数经行了检查和修改，所以产生的有理函数对所有频率均为无源的。
2. 根据方程(4.28)的形式，对于复杂的分布式网络可以用启发式的方法生成宏模型。例如，可以将频率响应分成若干小频带，在每个频带分别生成无源的有理函数，然后将它们组合生成整个频带内的宏模型。这一过程已经在 BEMP 中得以实现[8]，而且对包含大量极点(100～250 个)的分布式网络的效果很好。
3. 可以通过减少极点来降低模型的阶数，这在较窄的频带内是准确的，不会破坏无源性。图 4.10 所示的是一个频带范围为 0～9 GHz 的电源配送网络的频率响应。首先在整个频带内生成宏模型，它有 3 个实极点，48 个复共轭极点，MOR(Model Order Reduction，模

型降阶)为 0%。然后通过删除较高频率处的复共轭极点，模型的阶数逐渐减少：当减少为 3 个实极点和 18 个复共轭极点时带来 1% 的 MOR；当减少为 3 个实极点和10 个复共轭极点时带来 5% 的 MOR；当减少为 2 个实极点和 6 个复共轭极点时带来 10% 的 MOR。此时模型的带宽分别为 5 GHz(1% MOR)、2 GHz(5% MOR)、1 GHz(10% MOR)。这里减少的百分比是基于均方根(RMS)误差与原有响应相比得到的。

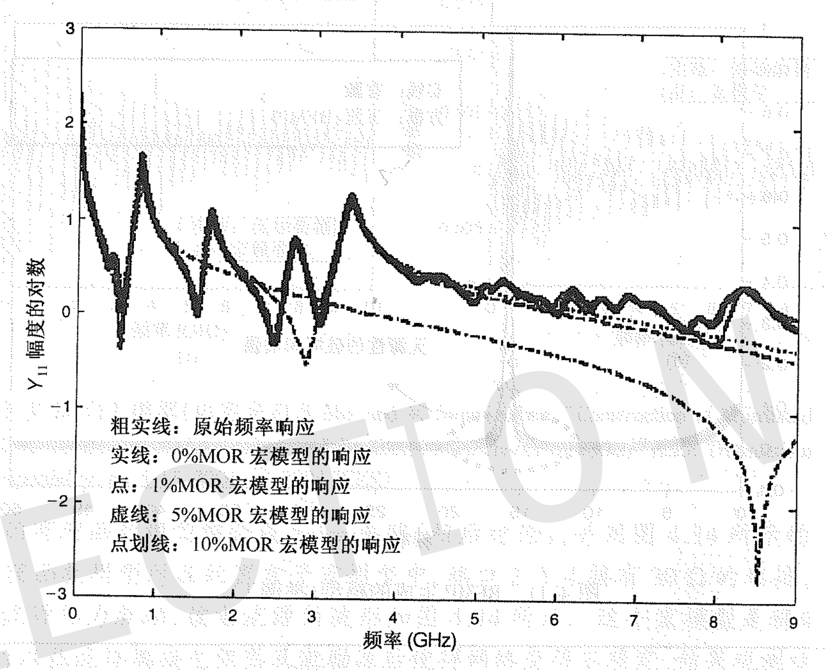


图 4.10　宏模型的降阶

以上讨论关于无源性实现过程中的条件很严格，因此不一定对所有的频率响应都起作用。所有子网络都满足无源性是整个网络满足无源性的充分非必要条件。因此，即使方程(4.28)中有的子网络不是无源的，传递函数 $H(s)$也可能满足无源性。考虑以下传递函数：

$$H(s)=10-\frac{3}{s+2}+\frac{1}{s^2+s+1}\tag{4.33}$$

该函数是无源的，但却不满足方程(4.31)中的条件。

BEMP 对包含很多复共轭极点和少数实极点的分布式网络效果很好。BEMP 支持启发式的方法，这种方法支持对出现在电源地平面中的分布式网络进行建模。

举例 1

考虑图 4.11，图中给出的是一个从列表数据中提取的单端口传递函数频率响应的实部(虚部未给出)。提取的有理函数是

$$H(s)=\frac{1}{s+10}+\frac{2s-18}{s^2+2s+10001}\tag{4.34}$$

$H(s)$在 15 Hz 附近不是无源的，如图中实线所示。通过应用方程(4.31)中的条件，方程(4.34)

中的频率响应可以变为无源的，如图 4.11 中所示(方形标记)。现在提取的有理函数变为如下形式：

$$H(s) \approx \frac{1}{s+10} + \frac{2s+2}{s^2+2s+10\,001} \tag{4.35}$$

$H(s)$是无源的。如图 4.11 所示，方程(4.35)在响应中引入了一个小误差。

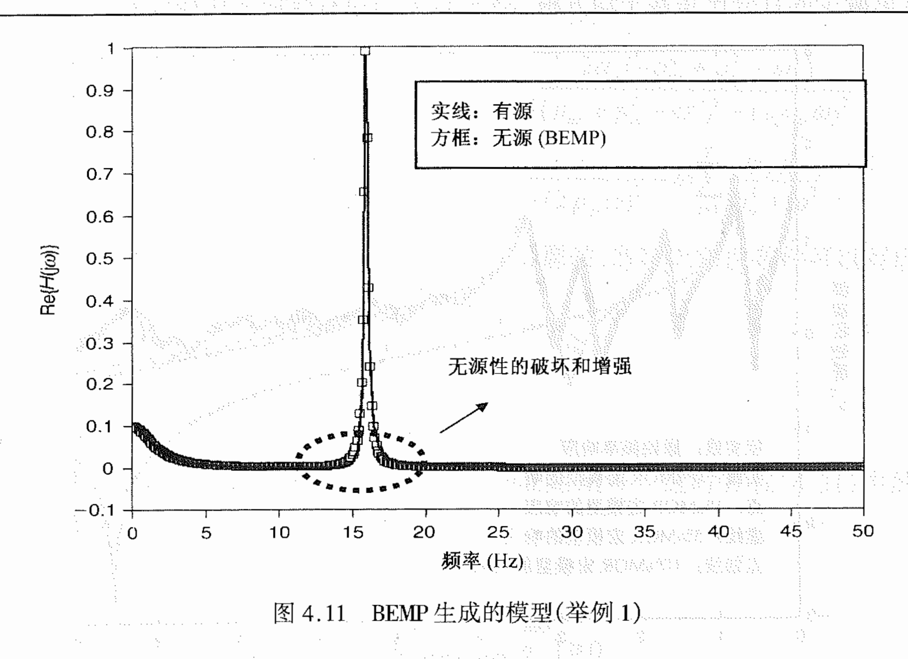


图 4.11　BEMP 生成的模型(举例 1)

举例 2

考虑有损耦合传输线，其 RLCG 模型如图 4.12 所示。我们利用 HSpice[9] 中的 W 元件模型来生成四端口的频率响应，并将这个频率响应输入 BEMP。然后从 HSpice 的瞬态分析结果作为参考来定量分析时域宏模型的精确度。

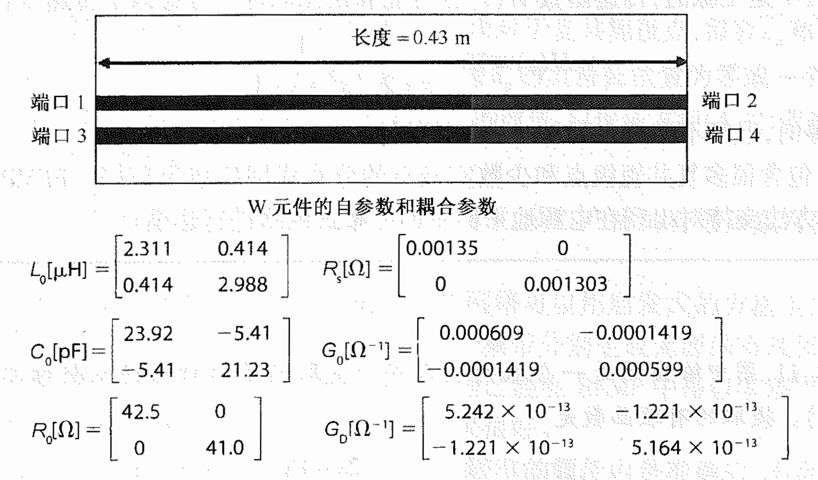


图 4.12　四端口有损耗耦合传输线(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

HSpice 用来生成 Y 参数的频率响应，即从 0.1 MHz 到 1 MHz(采样 5 次)，以及从 10 MHz 到 10 GHz(采样 4000 次)。如图 4.13 所示是导纳参数 Y_{14}(幅度和相位)。通过 BEMP 用 3 个实极点和 240 个复共轭极点就可以生成一个稳定的宏模型(不是无源的)。将这个宏模型的响应与图 4.13 中所示的 Y_{14} 的频率数据相比较，从中我们可以看出这个模型的准确度很好。

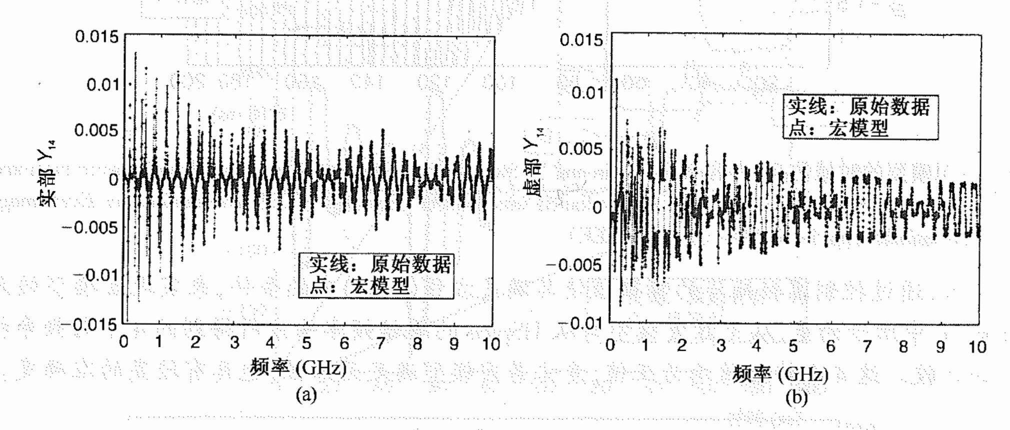


图 4.13　Y_{14}：(a) 实部；(b) 虚部(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

将四端口的有理函数模型综合成 Spice 电路(稍后讨论)，并用图 4.14 所示的电路进行时域仿真。在有理函数模型所在的黑盒子宏模型中，端口 2、3、4 接有 30 Ω 的端接，端口 1 接有一个 1 A 的电流源作为激励，该电流源的波形如图 4.14 所示。这个宏模型是稳定的，但因为也是有源的，所以在连接端接电阻器及激励源后使得网络变得不稳定，结果观测端口的输出波形是发散的，如图 4.15 所示。

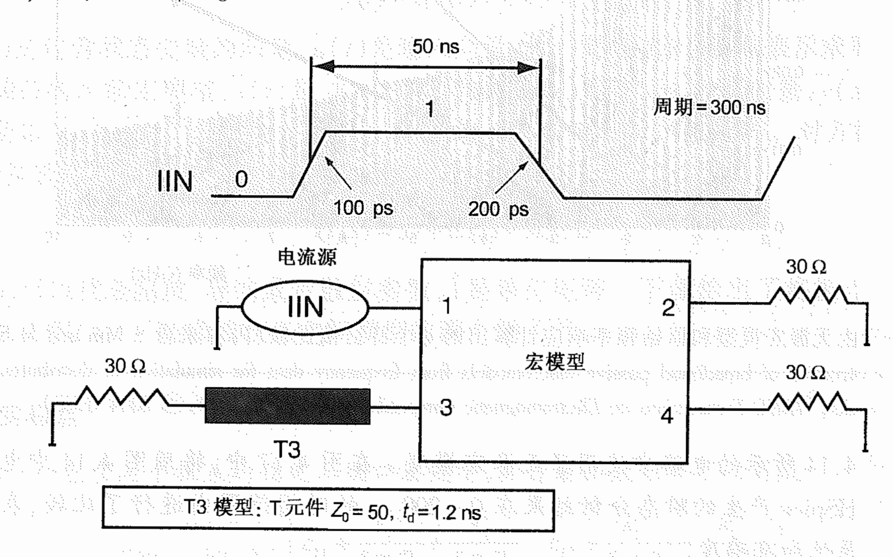


图 4.14　仿真的电路模型(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

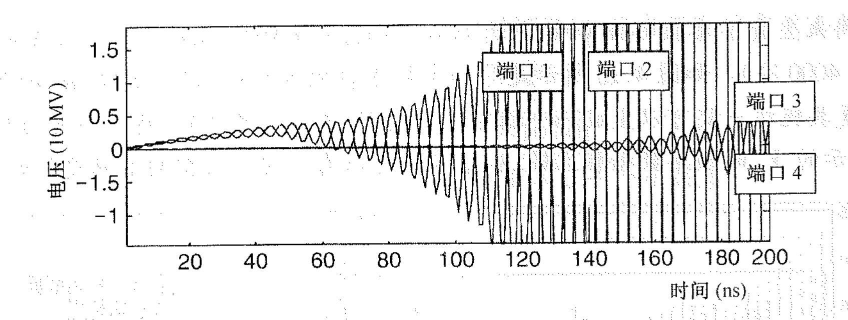


图4.15 有源模型的时域仿真(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

接下来,通过控制留数矩阵的特征值使其满足方程(4.32)中的条件,来实现宏模型的无源性。图4.16中所示的是,从无源宏模型与从HSpice的原始频率响应所得到的4个与频率相关特征值的比较。这4个特征值均为正值,意味着宏模型满足无源性,也具有较高的准确度。

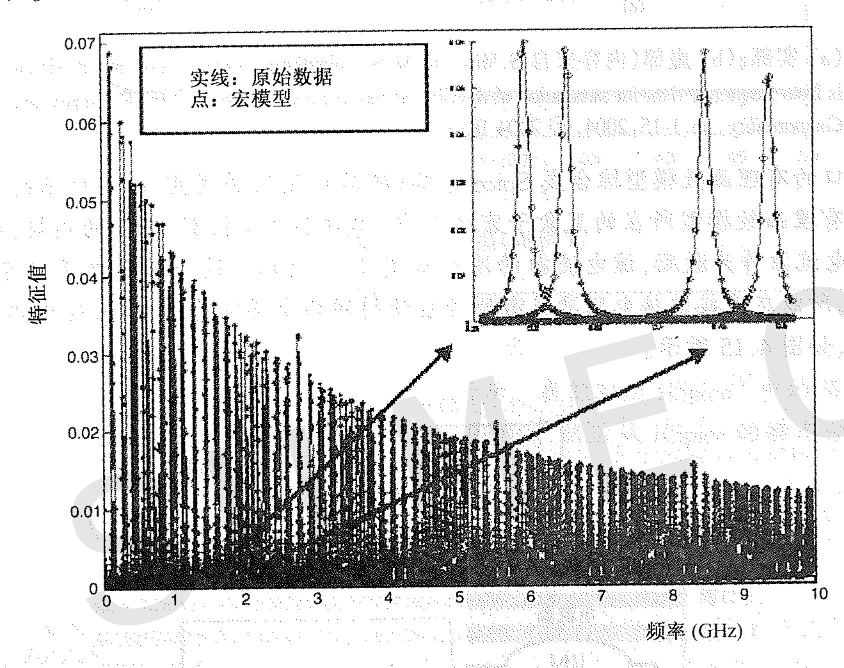


图4.16 分别由无源宏模型和原始频率响应计算出的4个特征值比较(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

在如图4.14所示的电路中使用了无源宏模型。在图4.17中,将用图4.14中电路的瞬态分析结果与HSpice产生的瞬态分析结果在0~200 ns的时间范围内进行了比较,表明了生成宏模型的无源性和准确度。

4.2.4.2 哈密顿矩阵法

哈密顿矩阵法是判断一个宏模型是无源还是有源的有效方法[3]。通过这个方法,我们能

够找到宏模型在哪些频带范围内是有源的,然后通过一定的方法使宏模型在这些频率处满足无源性。

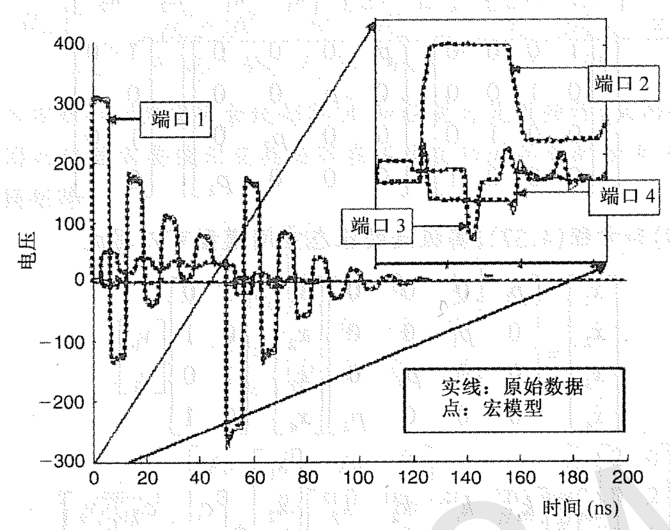


图4.17 无源宏模型与HSpice在时域中的比较(内容来自 S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1-15, 2004, © 2004 IEEE)

为了使用哈密顿矩阵法,首先要将方程(4.1)中用极点留数形式所表示的宏模型转换成状态空间模型,如方程(4.36)中所示(通常称为Jordan标准形):

$$\begin{aligned}\dot{\bar{x}}(t) &= \bar{\bar{A}}\bar{x}(t)+\bar{\bar{B}}\bar{u}(t)\\ \bar{y}(t) &= \bar{\bar{C}}\bar{x}(t)+\bar{\bar{D}}\bar{u}(t)\end{aligned} \tag{4.36}$$

其中$\bar{x}(t)$是包含状态变量的向量,$\bar{u}(t)$是输入向量,$\bar{y}(t)$是输出向量,点表示求导。对于一个有M个端口的N阶宏模型,$\bar{x}(t)$是$N\times 1$的实向量,$\bar{u}(t)$是$M\times 1$的实向量,$\bar{y}(t)$是$M\times 1$的实向量,所以$\bar{\bar{A}}$、$\bar{\bar{B}}$、$\bar{\bar{C}}$、$\bar{\bar{D}}$分别为$N\times N$、$N\times M$、$M\times N$与$M\times M$的实矩阵。对方程(4.36)两端分别进行拉普拉斯变换,可计算出传递函数为

$$\bar{\bar{H}}(s)=\bar{\bar{D}}+\bar{\bar{C}}(s\bar{\bar{1}}-\bar{\bar{A}})^{-1}\bar{\bar{B}} \tag{4.37}$$

其中$\bar{\bar{H}}(s)$可以代表阻抗、导纳或者散射参数,$\bar{\bar{1}}$是单位矩阵。下面给出了将极点留数形式的宏模型[如方程(4.1)]转换成状态空间模型的两个例子[10]。

举例1 实极点

考虑一个包含两个极点的稳定二端口宏模型,其传递函数矩阵可以写成

$$\begin{bmatrix}H_{11} & H_{12}\\ H_{21} & H_{22}\end{bmatrix}=\begin{bmatrix}c_{11}+\dfrac{k_1^{11}}{s-p_1}+\dfrac{k_2^{11}}{s-p_2} & c_{12}+\dfrac{k_1^{12}}{s-p_1}+\dfrac{k_2^{12}}{s-p_2}\\ c_{21}+\dfrac{k_1^{21}}{s-p_1}+\dfrac{k_2^{21}}{s-p_2} & c_{22}+\dfrac{k_1^{22}}{s-p_1}+\dfrac{k_2^{22}}{s-p_2}\end{bmatrix} \tag{4.38}$$

方程(4.38)也可以写成类似于方程(4.37)的形式:

$$\begin{bmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{bmatrix} = \begin{bmatrix} c_{11} & c_{12} \\ c_{21} & c_{22} \end{bmatrix} + \begin{bmatrix} k_1^{11} & k_1^{12} & k_2^{11} & k_2^{12} \\ k_1^{21} & k_1^{22} & k_2^{21} & k_2^{22} \end{bmatrix} \times \left\{ s \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} - \begin{bmatrix} p_1 & 0 & 0 & 0 \\ 0 & p_1 & 0 & 0 \\ 0 & 0 & p_2 & 0 \\ 0 & 0 & 0 & p_2 \end{bmatrix} \right\}^{-1} \begin{bmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 0 \\ 0 & 1 \end{bmatrix} \tag{4.39}$$

比较方程(4.39)和方程(4.37),实极点的状态空间模型可以写成

$$\begin{aligned} \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \dot{x}_3 \\ \dot{x}_4 \end{bmatrix} &= \begin{bmatrix} p_1 & 0 & 0 & 0 \\ 0 & p_1 & 0 & 0 \\ 0 & 0 & p_2 & 0 \\ 0 & 0 & 0 & p_2 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \end{bmatrix} + \begin{bmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \\ \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} &= \begin{bmatrix} k_1^{11} & k_1^{12} & k_2^{11} & k_2^{12} \\ k_1^{21} & k_1^{22} & k_2^{21} & k_2^{22} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \end{bmatrix} + \begin{bmatrix} c_{11} & c_{12} \\ c_{21} & c_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \end{aligned} \tag{4.40}$$

其中假设 $H(s)$ 是导纳参数。对于阻抗参数,向量 $\bar{i}$ 和 $\bar{v}$ 需要交换一下。对于写成如下形式的二端口散射参数矩阵(S):

$$\begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned} \tag{4.41}$$

其中 b 和 a 是输入、输出端口的电压波形,方程(4.40)中的电压向量可以用 $\bar{a}$ 向量代替,电流向量也可以用向量 $\bar{b}$ 代替。

考虑导纳参数(Y)的宏模型:

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} 0.001 + \dfrac{1}{s+3} + \dfrac{1}{s+5} & 0 + \dfrac{1}{s+3} - \dfrac{1}{s+5} \\ 0 + \dfrac{1}{s+3} - \dfrac{1}{s+5} & 0.001 + \dfrac{1}{s+3} + \dfrac{1}{s+5} \end{bmatrix} \tag{4.42}$$

方程(4.42)中的状态空间模型可以写成方程(4.36)的形式,其中

$$\bar{\bar{A}} = \begin{bmatrix} -3 & & & \\ & -3 & & \\ & & -5 & \\ & & & -5 \end{bmatrix}; \bar{\bar{B}} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 0 \\ 0 & 1 \end{bmatrix}; \bar{\bar{C}} = \begin{bmatrix} 1 & 1 & 1 & -1 \\ 1 & 1 & -1 & 1 \end{bmatrix}; \bar{\bar{D}} = \begin{bmatrix} 0.001 & 0 \\ 0 & 0.001 \end{bmatrix} \tag{4.43}$$

举例 2 复共轭极点

对于一个可综合的电路,复极点总是以复共轭极点对的形式出现,其相应的留数也是共轭的。考虑由一对复共轭极点表示的二端口的稳定宏模型,其传递函数矩阵可以写成

$$\begin{bmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{bmatrix} = \begin{bmatrix} c_{11} + \dfrac{\alpha_1^{11} + j\beta_1^{11}}{s - p_{1r} - jp_{1i}} + \dfrac{\alpha_1^{11} - j\beta_1^{11}}{s - p_{1r} + jp_{1i}} & c_{12} + \dfrac{\alpha_1^{12} + j\beta_1^{12}}{s - p_{1r} - jp_{1i}} + \dfrac{\alpha_1^{12} - j\beta_1^{12}}{s - p_{1r} + jp_{1i}} \\ c_{21} + \dfrac{\alpha_1^{21} + j\beta_1^{21}}{s - p_{1r} - jp_{1i}} + \dfrac{\alpha_1^{21} - j\beta_1^{21}}{s - p_{1r} + jp_{1i}} & c_{22} + \dfrac{\alpha_1^{22} + j\beta_1^{22}}{s - p_{1r} - jp_{1i}} + \dfrac{\alpha_1^{22} - j\beta_1^{22}}{s - p_{1r} + jp_{1i}} \end{bmatrix} \tag{4.44}$$

将它直接代入方程(4.40)中将会使矩阵 $\bar{\bar{A}}$ 和 $\bar{\bar{C}}$ 变为复数矩阵,从而使它们不能用状态空间模型来表示。因此这里需要使用变换矩阵在不改变传递函数的情况下将矩阵 $\bar{\bar{A}}$ 和 $\bar{\bar{C}}$ 变为实矩阵。选择变换矩阵:

$$\bar{\bar{T}} = \begin{bmatrix} 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \\ j & 0 & -j & 0 \\ 0 & j & 0 & -j \end{bmatrix} \tag{4.45}$$

变换后

$$\begin{aligned} \bar{\bar{\hat{A}}} &= \bar{\bar{T}}\bar{\bar{A}}\bar{\bar{T}}^{-1} = \begin{bmatrix} p_{1r} & 0 & p_{1i} & 0 \\ 0 & p_{1r} & 0 & p_{1i} \\ -p_{1i} & 0 & p_{1r} & 0 \\ 0 & -p_{1i} & 0 & p_{1r} \end{bmatrix}; \quad \bar{\bar{\hat{B}}} = \bar{\bar{T}}\bar{\bar{B}} = \begin{bmatrix} 2 & 0 \\ 0 & 2 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \\ \bar{\bar{\hat{C}}} &= \bar{\bar{C}}\bar{\bar{T}}^{-1} = \begin{bmatrix} \alpha_1^{11} & \alpha_1^{12} & \beta_1^{11} & \beta_1^{12} \\ \alpha_1^{21} & \alpha_1^{22} & \beta_1^{21} & \beta_1^{22} \end{bmatrix}; \quad \bar{\bar{\hat{D}}} = \bar{\bar{D}} \end{aligned} \tag{4.46}$$

这一转化过程之后,产生的状态空间模型为

$$\begin{aligned} \dot{\bar{\hat{x}}}(t) &= \bar{\bar{\hat{A}}}\bar{\hat{x}}(t) + \bar{\bar{\hat{B}}}\bar{u}(t) \\ \bar{y}(t) &= \bar{\bar{\hat{C}}}\bar{\hat{x}}(t) + \bar{\bar{\hat{D}}}\bar{u}(t) \end{aligned} \tag{4.47}$$

其中方程(4.37)中的传递函数 $\bar{\bar{H}}(s)$ 保持不变。

考虑方程(4.48)所示的导纳参数(Y)宏模型:

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} 0.001 + \dfrac{1+j0.1}{s+1-j100} + \dfrac{1-j0.1}{s+1+j100} & 0 - \dfrac{1+j0.1}{s+1-j100} - \dfrac{1-j0.1}{s+1+j100} \\ 0 - \dfrac{1+j0.1}{s+1-j100} - \dfrac{1-j0.1}{s+1+j100} & 0.001 + \dfrac{1+j0.1}{s+1-j100} + \dfrac{1-j0.1}{s+1+j100} \end{bmatrix} \tag{4.48}$$

可以将这一模型写成方程(4.47)的形式,其中

$$\begin{aligned} \bar{\bar{\hat{A}}} &= \begin{bmatrix} -1 & 0 & 100 & 0 \\ 0 & -1 & 0 & 100 \\ -100 & 0 & -1 & 0 \\ 0 & -100 & 0 & -1 \end{bmatrix}; \quad \bar{\bar{\hat{B}}} = \begin{bmatrix} 2 & 0 \\ 0 & 2 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \\ \bar{\bar{\hat{C}}} &= \begin{bmatrix} 1 & -1 & 0.1 & -0.1 \\ -1 & 1 & -0.1 & 0.1 \end{bmatrix}; \quad \bar{\bar{\hat{D}}} = \begin{bmatrix} 0.001 & 0 \\ 0 & 0.001 \end{bmatrix} \end{aligned} \tag{4.49}$$

含有实极点的宏模型所需状态变量的数目等于端口数目(M)与极点数目(N)的乘积。对于含有复共轭极点的宏模型,所需状态变量的数目为 $2N \times M$,其中 N 表示复共轭极点对的数目。

建立状态空间模型之后就可以利用哈密顿矩阵来检查宏模型是否破坏了无源性。利用这

项技术我们可以找出宏模型从无源到有源及从有源到无源之间的交叉点。这一方法的具体细节请读者阅读参考文献[3]。

导纳及阻抗参数的无源性检查

考虑方程(4.36),假设矩阵 $\bar{\bar{A}}$ 没有虚数特征值,且 $\delta>0$ 不是$(\bar{\bar{D}}+\bar{\bar{D}}^{\mathrm{T}})/2$ 的特征值,角频率 ω_0 是实数。那么当且仅当 $\mathrm{j}\omega_0\in\lambda(\overline{\overline{N_\delta}})$时,$\delta\in\lambda(\bar{\bar{G}}(\mathrm{j}\omega_0))$,其中

$$\overline{\overline{N_\delta}}=\begin{pmatrix}\bar{\bar{A}}+\bar{\bar{B}}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & \bar{\bar{B}}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\\ -\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & -\bar{\bar{A}}^{\mathrm{T}}-\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\end{pmatrix}\tag{4.50}$$

而且 $\bar{\bar{Q}}=(2\delta\bar{\bar{1}}-\bar{\bar{D}}-\bar{\bar{D}}^{\mathrm{T}})$。方程(4.50)中的矩阵 $\overline{\overline{N}}_\delta$ 就称为哈密顿矩阵。这一定理表明如果是一个预定义的阈值,那么当某一频率 ω_0 的 $\mathrm{j}\omega_0$ 是$\overline{\overline{N}}_\delta$的特征值时,$\delta$ 就是 $\bar{\bar{G}}(\mathrm{j}\omega)$在特定频率处的一个特征值。因此,如果 $\delta=0$,那么在 $\overline{\overline{N}}_\delta$ 的虚数特征值对应的频率处,$\bar{\bar{G}}(\mathrm{j}\omega)$将从无源变换为有源或者相反的变化。

举例

考虑方程(4.34)中的传递函数,假设它代表一个网络的输入导纳(Y)。这个单端口的传递函数含有一个实极点和一对复共轭极点,因此这个宏模型需要 3 个状态变量。结合方程(4.40)和方程(4.46),空间状态模型可以写成如下形式:

$$\begin{bmatrix}\dot{x}_1\\ \dot{x}_2\\ \dot{x}_3\end{bmatrix}=\begin{bmatrix}-10 & 0 & 0\\ 0 & -1 & 100\\ 0 & -100 & -1\end{bmatrix}\begin{bmatrix}x_1\\ x_2\\ x_3\end{bmatrix}+\begin{bmatrix}1\\ 2\\ 0\end{bmatrix}[v_1]$$
$$[i_1]=[1\quad 1\quad 0.1]\begin{bmatrix}x_1\\ x_2\\ x_3\end{bmatrix}+[10^{-5}][v_1]\tag{4.51}$$

这里假设 D 很小来保证 D 是非奇异矩阵。令 $\delta=0$,则哈密顿矩阵 $\overline{\overline{N}}_\delta$ 变为

$$\overline{\overline{N_\delta}}=\begin{bmatrix}-5.001\times10^4 & -5\times10^4 & -5\times10^3 & -5\times10^4 & -1\times10^5 & 0\\ -1\times10^5 & -1\times10^5 & -9.9\times10^3 & -1\times10^5 & -2\times10^5 & 0\\ 0 & -1\times10^2 & -1 & 0 & 0 & 0\\ 5\times10^4 & 5\times10^4 & 5\times10^3 & 5.001\times10^4 & 10^5 & 0\\ 5\times10^4 & 5\times10^4 & 5\times10^3 & 5\times10^4 & 10^5 & 10^2\\ 5\times10^3 & 5\times10^3 & 5\times10^2 & 5\times10^3 & 9.9\times10^3 & 1\end{bmatrix}\tag{4.52}$$

方程(4.52)的特征值是

$$\lambda(\overline{\overline{N_\delta}})=[-1.7866\times10^3,\ \ 1.7866\times10^3,\ \ \mathrm{j}6.2263\times10,\ \ -\mathrm{j}6.2263\times10,\ \ \mathrm{j}8.9097\times10,\ \ -\mathrm{j}8.9097\times10]\tag{4.53}$$

正虚数特征值的子集是$[\mathrm{j}6.2263\times10,\mathrm{j}8.9097\times10]$。在这些角频率处,输入导纳 $Y(s)$从无源变为有源或者相反变化,这一变换如图 4.18 所示。在 62.263 rad/s 到 89.097 rad/s 的角频带范围内,有理函数或者说宏模型是有源的。

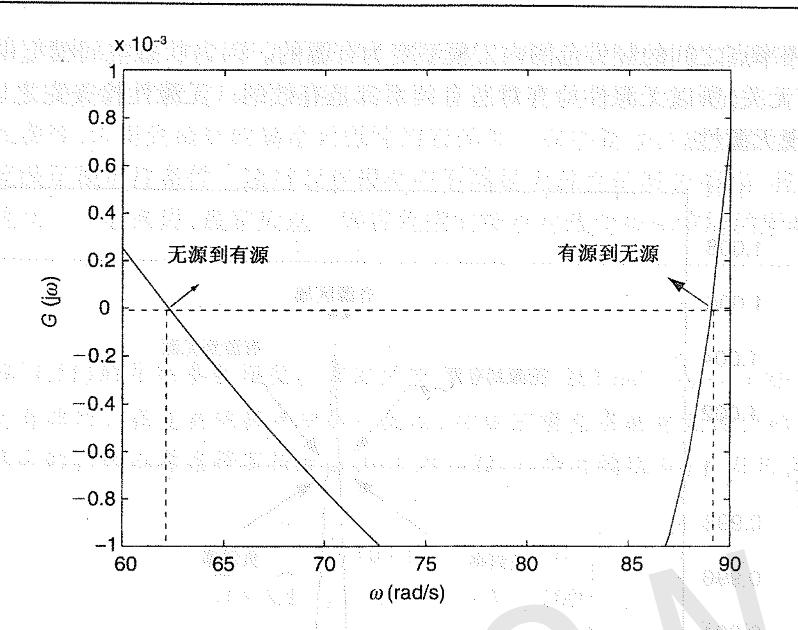


图 4.18　Y_{11}的无源宏模型与有源宏模型之间的切换频率

散射参数的无源性检查

再次考虑方程(4.36)。假设 $\bar{\bar{A}}$ 没有虚数特征值,$\gamma>0$ 不是 $\bar{\bar{D}}$ 的奇异值,且角频率 ω_0 是实数。那么当且仅当 $\mathrm{j}\omega_0\in(\overline{\overline{M_\gamma}})$时,$\gamma\in\sigma(\overline{\overline{H}}(\mathrm{j}\omega_0))$,其中

$$\overline{\overline{M_\gamma}}=\begin{pmatrix}\bar{\bar{A}}-\bar{\bar{B}}\bar{\bar{R}}^{-1}\bar{\bar{D}}^{\mathrm{T}}\bar{\bar{C}} & -\gamma\bar{\bar{B}}\bar{\bar{R}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\\ \gamma\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{S}}^{-1}\bar{\bar{C}} & -\bar{\bar{A}}^{\mathrm{T}}+\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{D}}\bar{\bar{R}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\end{pmatrix}\tag{4.54}$$

且 $\bar{\bar{R}}=(\bar{\bar{D}}^{\mathrm{T}}\bar{\bar{D}}-\gamma^2\bar{\bar{1}})$,$\bar{\bar{S}}=(\bar{\bar{D}}\bar{\bar{D}}^{\mathrm{T}}-\gamma^2\bar{\bar{1}})$。

令 $\gamma=1$(散射参数的最大值),这一理论表明如果 $\mathrm{j}\omega_0$ 是哈密顿矩阵$\overline{\overline{M_\gamma}}$的特征值,则 γ 就是传递函数在角频率处的一个奇异值。

举例

考虑方程(4.51)的例子,传递函数表示网络的 S_{11}(反射损耗)。当 $\omega_0>0$ 时,方程(4.54)的虚数特征值为

$$\lambda(\overline{\overline{M_\gamma}})=[\mathrm{j}1.0011\times10^2,\quad \mathrm{j}9.9923\times10]\tag{4.55}$$

在角频率为 100.11 rad/s 和 99.923 rad/s 处传递函数 S_{11}从无源变为有源或者相反变化,如图 4.19所示,S_{11}的奇异值在传递函数不满足无源性的点附近表示为 ω 的函数。因此,宏模型在角频率为 99.923 rad/s 到 100.11 rad/s 的范围内是有源的。

对于来自导纳、阻抗及散射参数的宏模型,我们可以利用哈密顿矩阵法来计算那些从无源变为有源或者从有源变为无源的频率,并且可以利用这些频率处的斜率来确定宏模型变为有源的范围[3]。正的斜率值表示从无源变为有源,负的斜率值表示从有源变为无源,如图 4.19 所示。

在两个转折频率点之间的频带范围内宏模型变为有源的。因为状态空间模型中的矩阵 A、B、C、D 与频率无关，所以无源性检查对所有频率都是有效的。无源性检查完之后，下一步就是想办法来实现无源性。

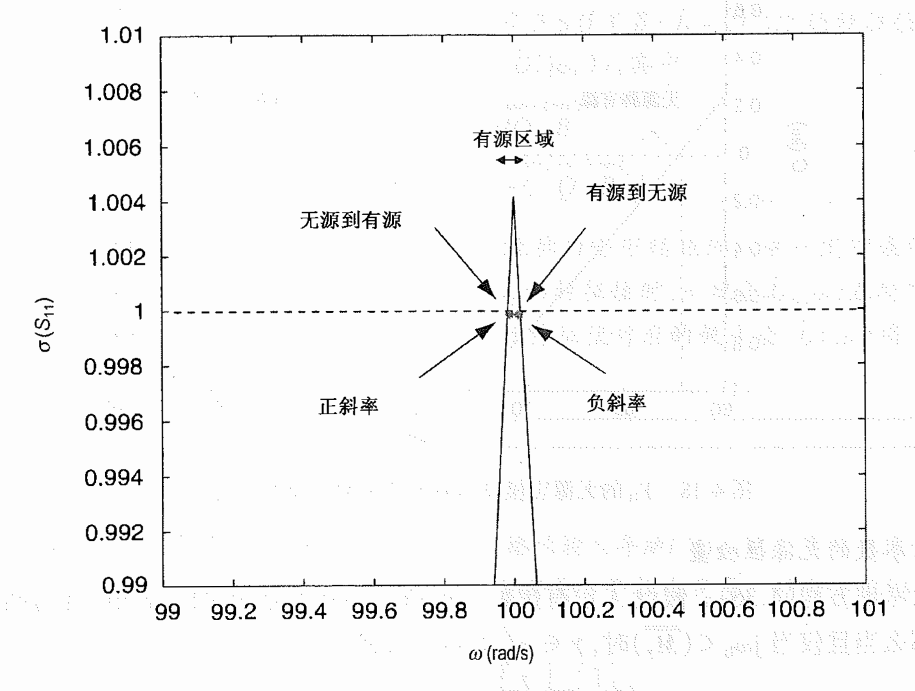


图 4.19 S_{11} 的无源宏模型与有源宏模型之间的切换频率

哈密顿矩阵的扰动

考虑方程(4.36)中的状态空间模型。为保证方程(4.37)中的传递函数 $\bar{H}(s)$ 是无源的，可以在极点和留数矩阵 $\bar{A}$ 和 $\bar{C}$ 中加入扰动。加入扰动后的状态空间模型的无源性可用前面描述的哈密顿矩阵法来检查。矩阵 $\bar{A}$ 和 $\bar{C}$ 的扰动会对传递函数引入一些误差，我们的目的是使无源和有源宏模型之间的误差减到最小。围绕这一原则可以建立合适的算法[3]。在这一节中我们提供了两个例子来描述这一概念。

考虑方程(4.50)的中哈密顿矩阵。通过给矩阵 $\bar{A}$ 增加一个扰动 $\Delta\bar{A}$[11]，可以使矩阵 $\bar{N}$ 中加入扰动 $\Delta\bar{N}$：

$$\bar{\bar{N}}_\delta+\Delta\bar{\bar{N}}=\begin{pmatrix}\bar{\bar{A}}+\Delta\bar{\bar{A}}+\bar{\bar{B}}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & \bar{\bar{B}}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\\ -\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & -\left(\bar{\bar{A}}+\Delta\bar{\bar{A}}\right)^{\mathrm{T}}-\bar{\bar{C}}^{\mathrm{T}}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{\mathrm{T}}\end{pmatrix} \tag{4.56}$$

方程(4.56)与方程(4.50)之间的差值为

$$\Delta\bar{\bar{N}}=\begin{pmatrix}\Delta\bar{\bar{A}} & \bar{\bar{0}}\\ \bar{\bar{0}} & -\left(\Delta\bar{\bar{A}}\right)^{\mathrm{T}}\end{pmatrix} \tag{4.57}$$

给方程(4.54)的散射参数矩阵中加入扰动可以获得相似的结果。因此，可以观察通过扰动极点矩阵 $\bar{A}$ 后哈密顿矩阵特征值的方法，检查改变后宏模型的无源性。如果没有正虚部的纯虚数特征值，加入扰动后的矩阵是无源的。并且可以将加入扰动前的有源宏模型和加入扰动后的无源宏模型进行比较，以确定精度。因此，在这里可以用迭代法来连续不断地检查宏模型的精度和无源性，以得到最好的满足无源性的宏模型。那些扰动的极点需要有负实部以保证宏模型仍能满足稳定性条件。通过观察模型中不满足无源性的频带范围，我们可以确定哪些极点需要扰动。一般来说，最靠近这一频带范围的极点对改变频率响应的影响最大。

举例

考虑方程(4.51)的导纳参数模型。该宏模型在 $\omega_1=62.263$ rad/s 到 $\omega_2=89.097$ rad/s 的角频带范围内是有源的。在复共轭极点中加入扰动，对该宏模型在破坏无源性的频带范围内响应的影响是很小的。所以考虑将实极点 −10 改为 −22(一个大的改变)。因此，加入扰动后矩阵 $\bar{A}$ 变为

$$\bar{\bar{A}}+\Delta\bar{\bar{A}}=\begin{bmatrix}-10-12 & 0 & 0\\ 0 & -1 & 100\\ 0 & -100 & -1\end{bmatrix} \tag{4.58}$$

与方程(4.58)对应的哈密顿矩阵，其加入扰动后虚部大于零的复数特征值变为

$$\lambda(\bar{\bar{N}}_\delta+\Delta\bar{\bar{N}})=[-1.9157+\mathrm{j}8.3258\times10,\quad 1.9157+\mathrm{j}8.3258\times10] \tag{4.59}$$

由于特征值不是纯虚数，所以加入扰动后的宏模型是无源的。图 4.20 所示的是方程(4.51)所表示的有源宏模型与方程(4.58)所表示的无源宏模型的频率响应的对比。与有源宏模型相比，除了在非常低的频率处，无源宏模型引入的误差较小。在图 4.20 中用 $G(\mathrm{j}\omega)=0.5\times(Y(\mathrm{j}\omega)+Y^{\mathrm{H}}(\mathrm{j}\omega))$ 曲线来验证无源性。

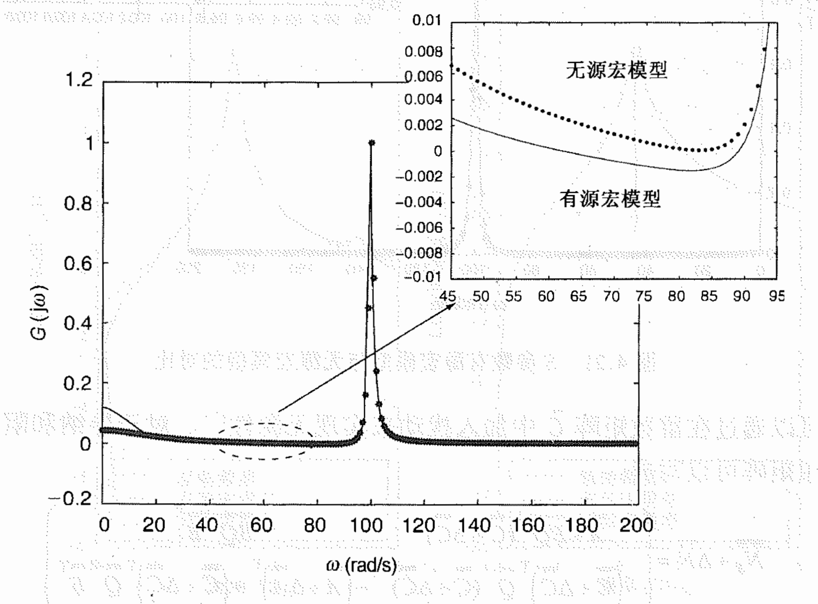


图 4.20 Y 参数无源宏模型与有源宏模型之间的比较

举例

下面考虑方程(4.51),其中的传递函数表示散射参数。前面,通过方程(4.54)中的哈密顿矩阵已经表明,该宏模型在 $\omega_1 = 1.0011 \times 10^2$ rad/s 和 $\omega_2 = 9.9923 \times 10$ rad/s 的范围内是有源的。复共轭极点 $-1 \pm j100$ 是距离这一频带范围最近的两个极点,因此可以在它们之中加入扰动来生成无源宏模型。考虑将极点都加上 -0.005,改变后的矩阵 A 变为

$$\bar{\bar{A}}+\Delta\bar{\bar{A}}=\begin{bmatrix}-10 & 0 & 0\\ 0 & -1-0.005 & 100\\ 0 & -100 & -1-0.005\end{bmatrix} \tag{4.60}$$

加入扰动后的哈密顿矩阵中虚部大于零的复特征值为

$$\lambda(\bar{\bar{M}}_\gamma+\Delta\bar{\bar{M}})=[3.8945\times10^{-2}+j1.0001\times10^2, -3.8945\times10^{-2}+j1.0001\times10^2] \tag{4.61}$$

因为特征值不是纯虚数,所以宏模型是无源的。有源与无源宏模型的频率响应对比如图 4.21 所示,图中显示了无源宏模型的精度。在图 4.21 中,$G(j\omega) = S(j\omega) \times S^H(j\omega)$。

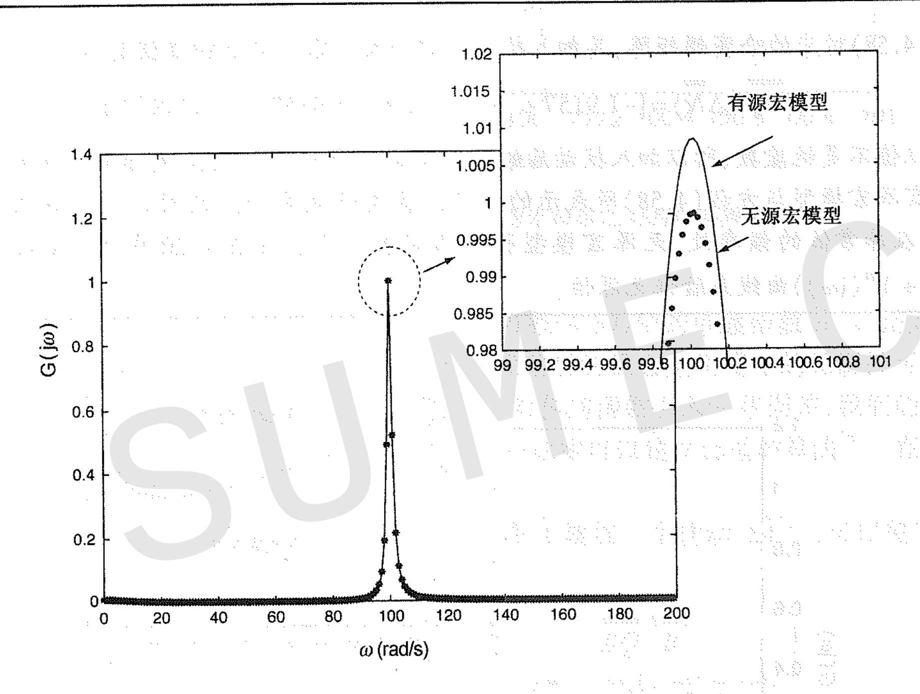


图 4.21 S 参数有源宏模型与无源宏模型的对比

我们也可以通过在留数矩阵 $\bar{\bar{C}}$ 中加入扰动来实现无源性[3]。对于导纳和阻抗参数,加入扰动的哈密顿矩阵可以写成

$$\bar{\bar{N}}_\delta+\Delta\bar{\bar{N}}=\begin{pmatrix}\bar{\bar{A}}+\bar{\bar{B}}\bar{\bar{Q}}^{-1}(\bar{\bar{C}}+\Delta\bar{\bar{C}}) & \bar{\bar{B}}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{T}\\ -(\bar{\bar{C}}+\Delta\bar{\bar{C}})^{T}\bar{\bar{Q}}^{-1}(\bar{\bar{C}}+\Delta\bar{\bar{C}}) & -(\bar{\bar{A}}+\Delta\bar{\bar{A}})^{T}-(\bar{\bar{C}}+\Delta\bar{\bar{C}})^{T}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{T}\end{pmatrix} \tag{4.62}$$

方程(4.62)和方程(4.50)之间的差值为

$$\Delta\bar{\bar{N}}\cong\begin{pmatrix}\bar{\bar{B}}\bar{\bar{Q}}^{-1}\Delta\bar{\bar{C}} & \bar{\bar{0}}\\ -\bar{\bar{C}}^{T}\bar{\bar{Q}}^{-1}\Delta\bar{\bar{C}}-\Delta\bar{\bar{C}}^{T}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & -(\Delta\bar{\bar{C}})^{T}\bar{\bar{Q}}^{-1}\bar{\bar{B}}^{T}\end{pmatrix} \tag{4.63}$$

假设忽略了二阶效应。从散射参数可以获得相似的形式:

$$\Delta\bar{\bar{M}}\cong\begin{pmatrix}-\bar{\bar{B}}\bar{\bar{R}}^{-1}\bar{\bar{D}}^{T}\Delta\bar{\bar{C}} & \bar{\bar{0}}\\ \bar{\bar{C}}^{T}\bar{\bar{Q}}^{-1}\Delta\bar{\bar{C}}+\Delta\bar{\bar{C}}^{T}\bar{\bar{Q}}^{-1}\bar{\bar{C}} & (\Delta\bar{\bar{C}})^{T}\bar{\bar{D}}\bar{\bar{R}}^{-1}\bar{\bar{B}}^{T}\end{pmatrix} \tag{4.64}$$

通过改变留数(而不是极点)来生成无源宏模型的方法要更好,因为这时的误差更容易控制。

举例

在这个例子中,通过在留数矩阵中加入扰动来实现单端口 Y 参数宏模型的无源性。Y 参数是通过测量获得的。首先,通过向量拟合法生成一个 16 极点的宏模型[2]。它的哈密顿矩阵表明这一模型在 4.3710×10^{10}(rad/s)到 7.2521×10^{10}(rad/s)频带范围内是有源的。我们在矩阵 $\bar{\bar{C}}$ 的第 11 个和第 15 个元素中加入扰动,这两个元素是留数矩阵中最高有效的。通过调整这两个元素并且维持精度,得到留数矩阵的扰动为

$$\begin{aligned}\Delta C_{11}&=0\\ \Delta C_{15}&=C_{15}\times0.12\end{aligned} \tag{4.65}$$

图 4.22 显示了有源宏模型与无源宏模型及原始的 Y_{11} 数据。除了在低频之外,无源宏模型的精度很高。图 4.23 显示了有源宏模型与无源宏模型特征值的实部,图中用圆圈标识的两个频率点,表示了破坏无源性的频带。

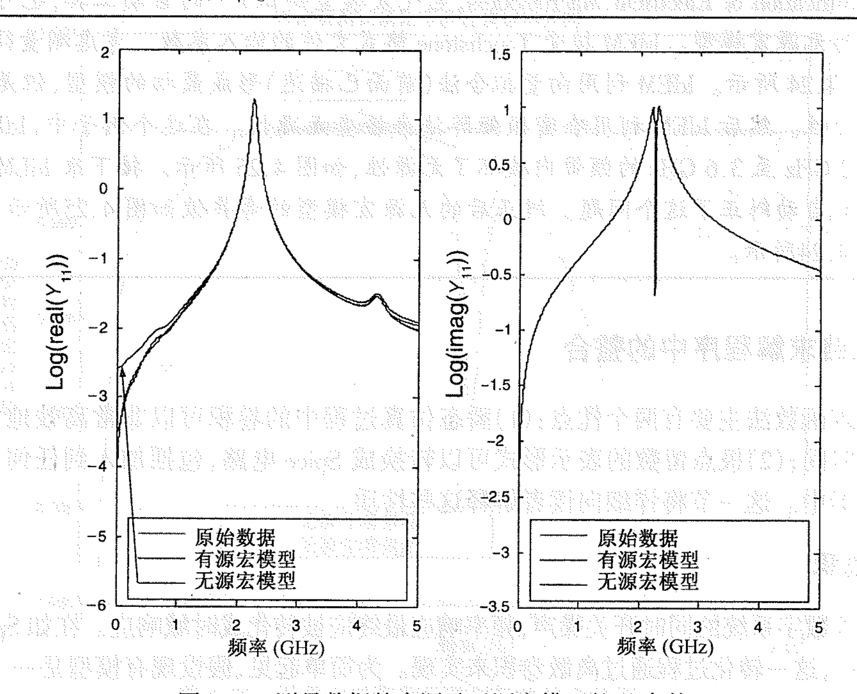


图 4.22 测量数据的有源及无源宏模型的 Y 参数

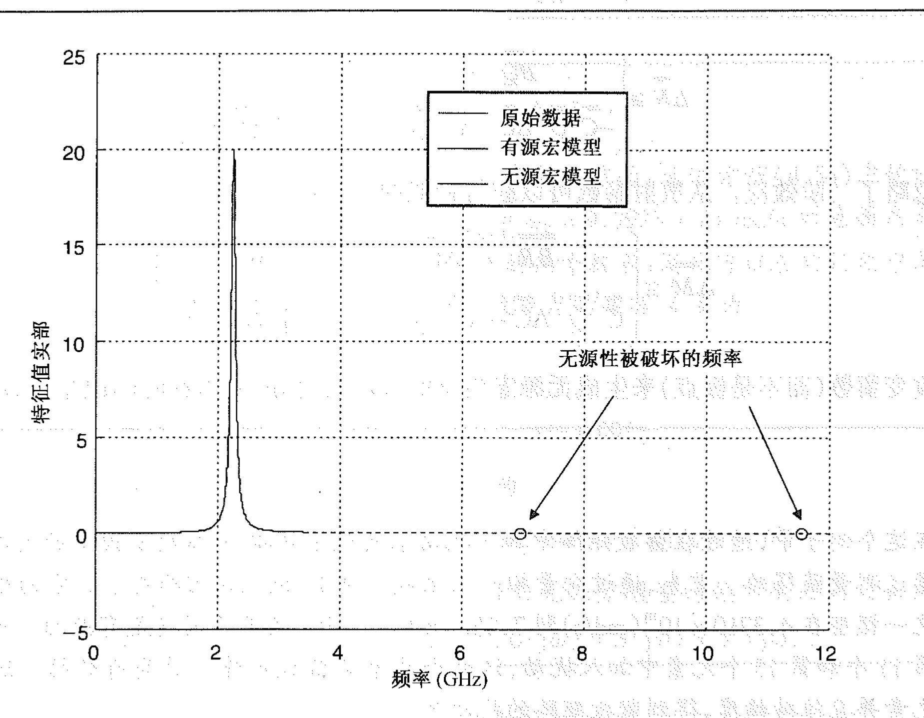


图 4.23 测量数据的有源及无源宏模型的特征值实部

举例

除了手动增强无源性技术之外，意大利都灵理工大学(Politecnico di Torino)开发出一种称为 IdEM(Identification of Electrical Macromodels，电气宏模型辨识)[12]的自动工具，也可以将有源宏模型转换为无源宏模型。IdEM 接受 Touchstone 格式文件的输入参数。考虑测量得出互连的 S 参数，如图 4.24 所示。IdEM 利用向量拟合法(前面已描述)形成最初的模型，但是不能保证该模型的无源性。然后 IdEM 利用哈密顿矩阵法来检查无源性。在这个例子中，IdEM 检查出宏模型在 2.2 GHz 至 3.6 GHz 的频带内破坏了无源性，如图 4.25 所示。接下来 IdEM 中实现无源性的算法就自动纠正了这个问题。纠正后的无源宏模型的奇异值如图 4.25所示，它们的频率响应如图 4.24所示。

4.2.5 电路求解程序中的整合

使用有理函数法主要有两个优点：(1)瞬态仿真过程中的卷积可以非常高效地计算，从而缩短了仿真时间；(2)极点留数的表示形式可以转换成 Spice 电路，包括加入到任何 Spice 一类的电路仿真器中。这一节将详细向读者解释这些性质。

4.2.5.1 卷积

为了计算数字系统的同时开关噪声，频率响应最终应被转化成时域响应。在如 Spice 一类的电路仿真器中，这一转化过程通过离散卷积来实现。为简单起见，假设现有模型是一个单端口的导纳参数(Y)网络，如图 4.26 所示[13]。这一网络的电流 $i(t)$和电压 $v(t)$通过卷积积分的形式给出：

$$i(t)=\int_0^t y(t-\tau)v(\tau)\mathrm{d}\tau \tag{4.66}$$

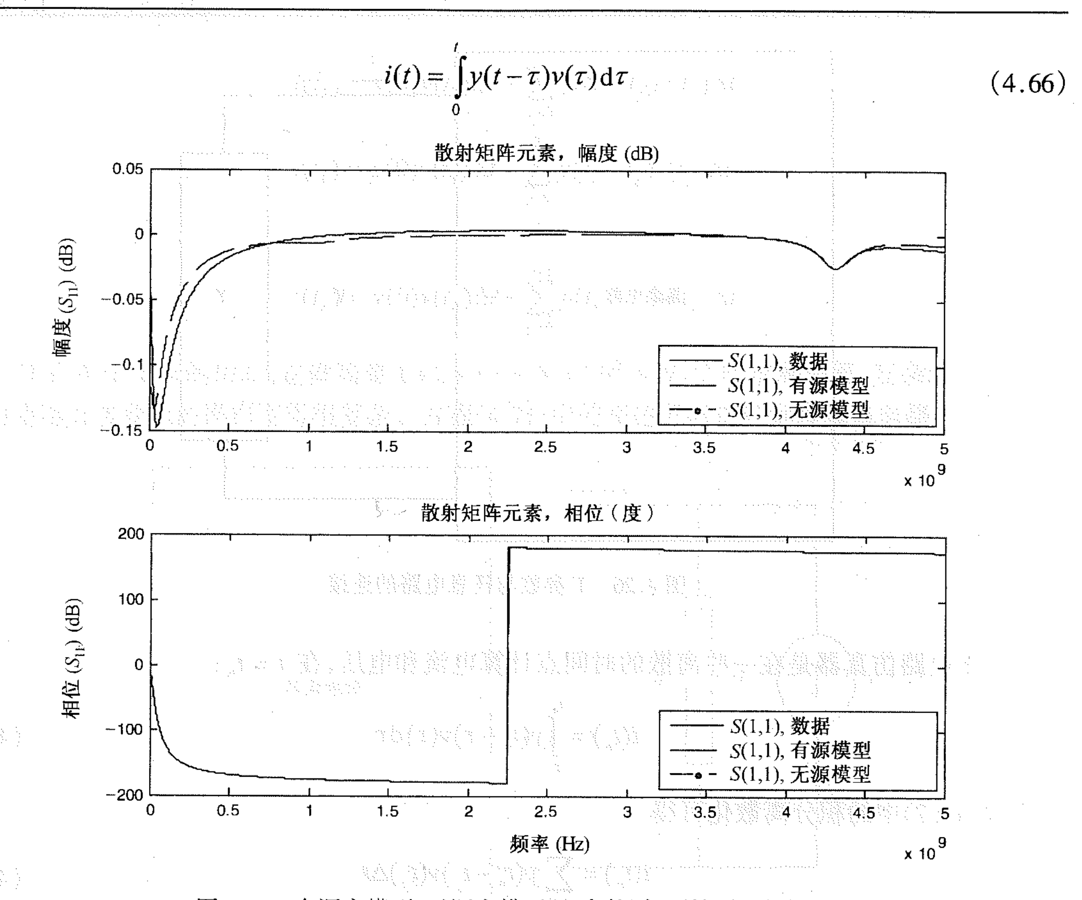


图 4.24 有源宏模型、无源宏模型(S 参数)与原始测量数据

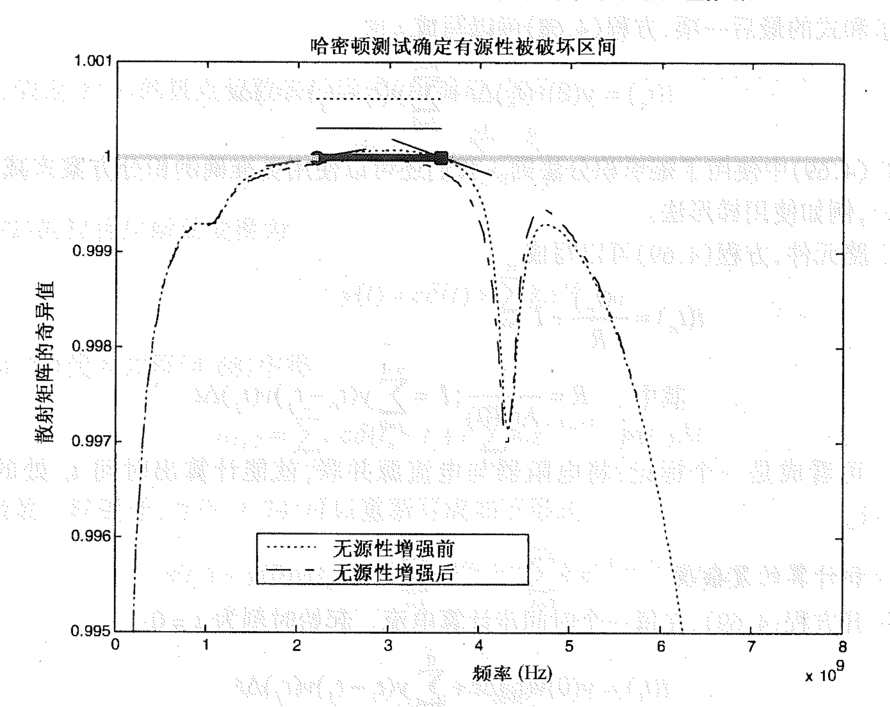


图 4.25 无源性增强前后散射矩阵的奇异值

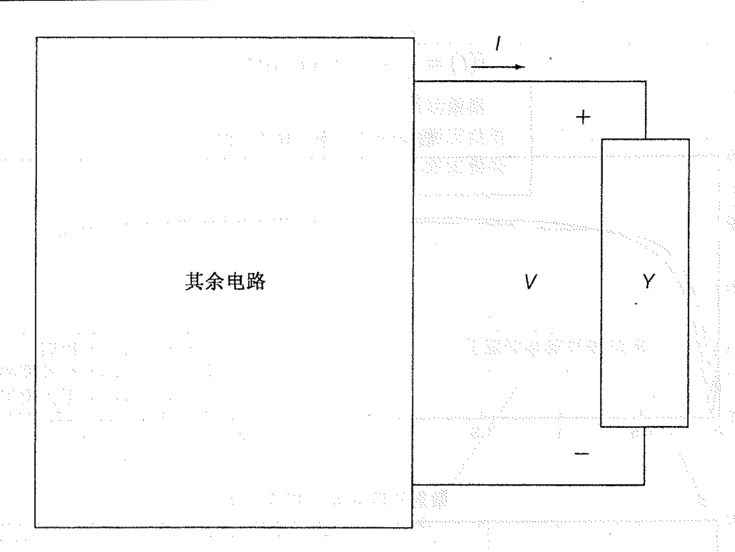


图 4.26 Y 参数与任意电路的连接

由于电路仿真器是在一些离散的时间点计算电流和电压，在 $t = t_n$：

$$i(t_n) = \int_0^{t_n} y(t_n - \tau)v(\tau)\mathrm{d}\tau \tag{4.67}$$

将方程(4.67)中的积分离散化可得

$$i(t_n) = \sum_{j=0}^{n} y(t_n - t_j)v(t_j)\Delta t \tag{4.68}$$

通过提取求和式的最后一项，方程(4.68)可以写成

$$i(t_n) = y(0)v(t_n)\Delta t + \sum_{j=0}^{n-1} y(t_n - t_j)v(t_j)\Delta t \tag{4.69}$$

在方程(4.69)中使用了矩形积分法则。我们还可以使用更准确的积分方案来减小卷积过程中的误差，例如使用梯形法。

利用电路元件，方程(4.69)可以写成

$$i(t_n) = \frac{v(t_n)}{R} + I$$

$$\text{其中}\quad R = \frac{1}{\Delta t y(0)}; I = \sum_{j=0}^{n-1} y(t_n - t_j)v(t_j)\Delta t \tag{4.70}$$

方程(4.70)可看成是一个标记：将电阻器与电流源并联，就能计算出时间 t_n 处的电流，如图 4.27 所示。

直接卷积计算的复杂度

考虑展开方程(4.69)，在每一个时间步计算电流。起始时刻为 $t = 0$：

$$i(t_1) = y(0)v(t_1)\Delta t + \sum_{j=0}^{0} y(t_1 - t_j)v(t_j)\Delta t$$

$$\begin{aligned} i(t_2) &= y(0)v(t_2)\Delta t + \sum_{j=0}^{1} y(t_2 - t_j)v(t_j)\Delta t \\ i(t_3) &= y(0)v(t_3)\Delta t + \sum_{j=0}^{2} y(t_3 - t_j)v(t_j)\Delta t \\ &\vdots \\ i(t_n) &= y(0)v(t_n)\Delta t + \sum_{j=0}^{n-1} y(t_n - t_j)v(t_j)\Delta t \end{aligned} \tag{4.71}$$

对于 N 个步长的仿真，这就需要 $1 + 2 + \cdots + N = (N^2 + N)/2$ 次求和运算，复杂度为 $O(N^2)$，从而使得直接卷积的操作变得很复杂。方程(4.71)中的表述可以扩展到多端口电路中。

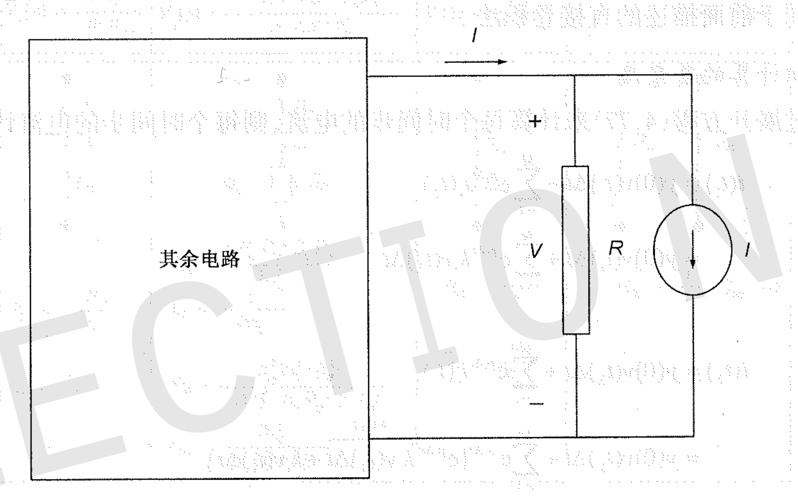


图 4.27 卷积计算

现在假设 $Y(s)$ 的极点留数表示形式(单端口)如下：

$$Y(s) = c + \sum_{i=1}^{M} \frac{k_i}{s - p_i} \tag{4.72}$$

方程(4.72)的拉普拉斯反变换为

$$y(t) = c\delta(t) + \sum_{i=1}^{M} k_i \mathrm{e}^{p_i t} \tag{4.73}$$

将方程(4.73)代入方程(4.68)中得

$$i(t_n) = \sum_{j=0}^{n}\left(c\delta(t_n - t_j) + \sum_{i=1}^{M} k_i \mathrm{e}^{p_i(t_n - t_j)}\right)v(t_j)\Delta t \tag{4.74}$$

将其像级数一样展开，方程(4.74)可以重新写成如下形式：

$$i(t_n) = y(0)v(t_n)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i(t_n - t_{n-1})} \sum_{j=0}^{n-1} k_i \mathrm{e}^{p_i(t_{n-1} - t_j)} v(t_j)\Delta t \tag{4.75}$$

其中

$$y(0) = c + \sum_{i=1}^{M} k_i \tag{4.76}$$

上式可化简为

$$i(t_n) = y(0)v(t_n)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} i_i(t_{n-1}) \tag{4.77}$$

其中

$$i_i(t_{n-1}) = \sum_{j=0}^{n-1} k_i \mathrm{e}^{p_i(t_{n-1}-t_j)} v(t_j)\Delta t \tag{4.78}$$

方程(4.78)可以通过如下的递归计算：

$$i_i(t_{n-1}) = \mathrm{e}^{p_i \Delta t} i_i(t_{n-2}) + k_i v(t_{n-1})\Delta t \tag{4.79}$$

这种方法不同于前面描述的直接卷积法。

递归卷积计算的复杂度

考虑通过展开方程(4.77)来计算每个时间步的电流，则每个时间步的电流计算如下：

$$\begin{aligned} i(t_1) &= y(0)v(t_1)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} i_i(t_0) \\ &= y(0)v(t_1)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} k_i v(t_0)\Delta t \\ i(t_2) &= y(0)v(t_2)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} i_i(t_1) \\ &= y(0)v(t_2)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} [\mathrm{e}^{p_i \Delta t} \overbrace{k_i v(t_0)\Delta t}^{i_i(t_0)} + k_i v(t_1)\Delta t] \\ i(t_3) &= y(0)v(t_3)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} i_i(t_2) \\ &= y(0)v(t_3)\Delta t + \sum_{i=1}^{M} \mathrm{e}^{p_i \Delta t} \{\mathrm{e}^{p_i \Delta t} \overbrace{[\mathrm{e}^{p_i \Delta t} k_i v(t_0)\Delta t + k_i v(t_1)\Delta t]}^{i_i(t_1)} + k_i v(t_2)\Delta t\} \\ &\vdots \end{aligned} \tag{4.80}$$

根据方程(4.79)中的递归关系，计算每个时间步的电流仅需要 M 次加法运算。因此，一个 N 步仿真的计算复杂度为 $O(MN)$。假设极点数 M 小于 N，那么使用递归卷积的计算复杂度减小了，这是使用有理函数法的一个主要优点。很多电路仿真器支持极点留数形式的输入，因为仿真器中实现了类似于方程(4.77)的递归卷积。

通过更精确的积分方法可对方程(4.77)进行多种修改，如参考文献[14]和[15]所示。

4.2.5.2 Spice 子电路

任何转换成有理函数的频率响应也可以用电路模型来表示。这一性质是非常吸引人的，因为它能使测得的频率响应或者电磁仿真的结果转换成 Spice 子电路。有几种方法能将有理函数模型转换成 Spice 子电路。这些方法都是生成非物理的电路子模型，这意味着生成的电路与物理结构之间没有相关性。这一节中我们将提供两种转换方法。

直接法

在这种方法中，来自方程(4.29)的近似有理函数可以直接转换成 Spice 子电路[8]。方程(4.29)表示了各种不同滤波器的叠加。每种滤波器都可以转换成子电路，如图 4.28 所示。由于方程(4.32)实现了无源性，单端口电路中所有的电路元件都是无源的。然后将这些电路单元并行连接生成导纳参数。例如，考虑方程(4.35)中的传递函数，它是无源的。假设 $H(s)$ 是输入导纳，其电路表示如图 4.29 所示。

低通滤波器	带通滤波器	高通滤波器	全通滤波器
$Y_n(s) = \frac{r_n}{s-p_{nr}}$	$Y_q(s) = \frac{2\alpha_q(s-p_{qr})-2\beta_q p_{qi}}{(s-p_{qr})^2+p_{qi}^2}$	$Y_t(s) = \frac{\psi_t s}{s-p_{tr}}$	$Y(s) = c$　$Y(s) = ds$
R_D, L_D	R_S, L_S, R_P, C_P	R_H, C_H	R_{dc}, C_{ac}
$R_D = \frac{-p_{nr}}{r_n}$ $L_D = \frac{1}{r_n}$	$R_S = \frac{-\alpha_q p_{qr}+\beta_q p_{qi}}{2\alpha_q^2}$ $L_S = \frac{1}{2\alpha_q}$ $R_P = \frac{p_{qi}^2(\alpha_q^2+\beta_q^2)}{2\alpha_q^2(-\alpha_q p_{qr}-\beta_q p_{qi})}$ $C_P = \frac{2\alpha_q^3}{p_{qi}^2(\alpha_q^2+\beta_q^2)}$	$R_H = \frac{1}{\psi_t}$ $C_H = \frac{\psi_t}{p_{tr}}$	$R_{dc} = \frac{1}{c}$　$C_{ac} = d$

图 4.28 各种滤波器的电路表示

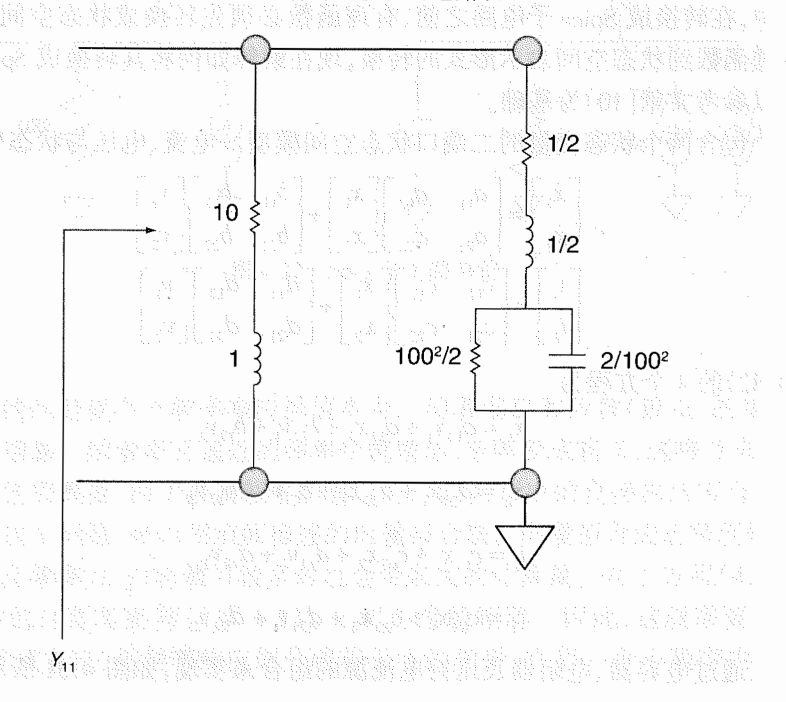


图 4.29 方程(4.35)输入导纳参数的电路表示

考虑一个二端口电路,它的导纳参数如下

$$
\begin{aligned}
i_1 &= y_{11}v_1 + y_{12}v_2 \\
i_2 &= y_{21}v_1 + y_{22}v_2
\end{aligned} \tag{4.81}
$$

每一个导纳参数都可以用方程(4.29)所描述的有理函数来表示,并且也可以转换成图4.28表示的电路。对于一个二端口电路,其生成的Spice子电路如图4.30所示,它包含电流控电流源及电压控电压源。

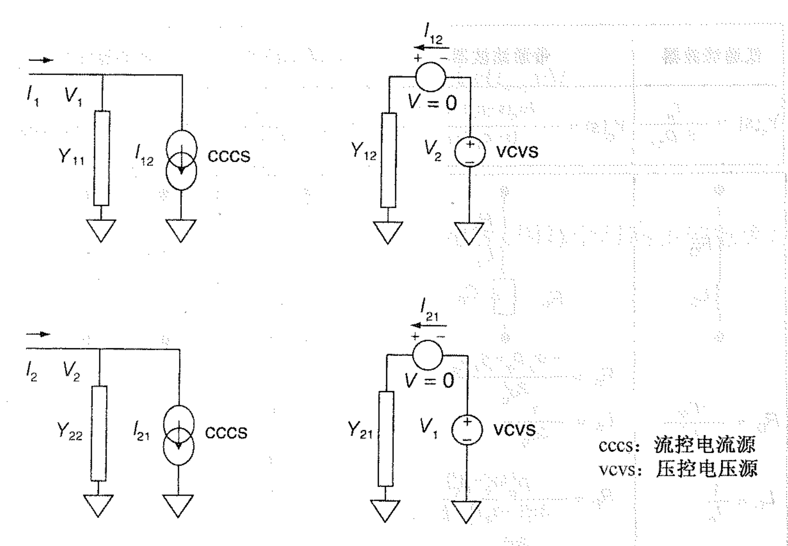


图4.30 Spice子电路的建立:直接法

间接法

间接法中,在转换成Spice子电路之前,有理函数必须先转换成状态空间模型。前面已经解释了从有理函数到状态空间表示形式的转换,现在解释如何将其转换成Spice子电路。这里讨论的方法以参考文献[10]为基础。

考虑一个包含两个状态变量的二端口状态空间模型。电流、电压与状态变量的关系为

$$
\begin{aligned}
\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} &= \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix}\begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} b_{11} & b_{12} \\ b_{21} & b_{22} \end{bmatrix}\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \\
\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} &= \begin{bmatrix} c_{11} & c_{12} \\ c_{21} & c_{22} \end{bmatrix}\begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} d_{11} & d_{12} \\ d_{21} & d_{22} \end{bmatrix}\begin{bmatrix} v_1 \\ v_2 \end{bmatrix}
\end{aligned} \tag{4.82}
$$

表示方程(4.82)的4个方程为

$$
\begin{aligned}
\dot{x}_1 &= a_{11}x_1 + a_{12}x_2 + b_{11}v_1 + b_{12}v_2 \\
\dot{x}_2 &= a_{21}x_1 + a_{22}x_2 + b_{21}v_1 + b_{22}v_2 \\
i_1 &= c_{11}x_1 + c_{12}x_2 + d_{11}v_1 + d_{12}v_2 \\
i_2 &= c_{21}x_1 + c_{22}x_2 + d_{21}v_1 + d_{22}v_2
\end{aligned} \tag{4.83}
$$

这些方程可以通过电容器、电阻器及压控电流源的组合来实现,如图4.31所示。

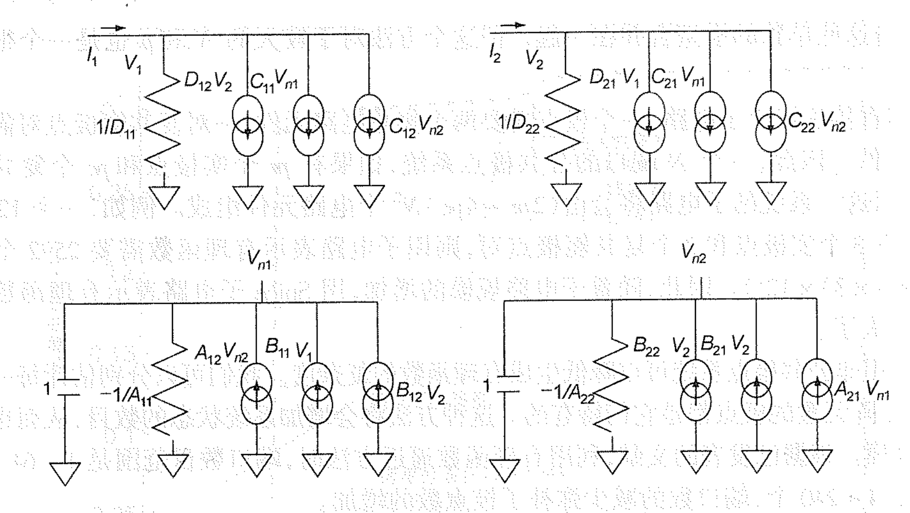


图4.31 Spice子电路的建立:间接法

例如,考虑方程(4.51)中的状态空间模型,其中 $\bar{A}$ 被方程(4.58)所替代。因此这个状态空间的模型是无源的,它的Spice子电路如图4.32所示。

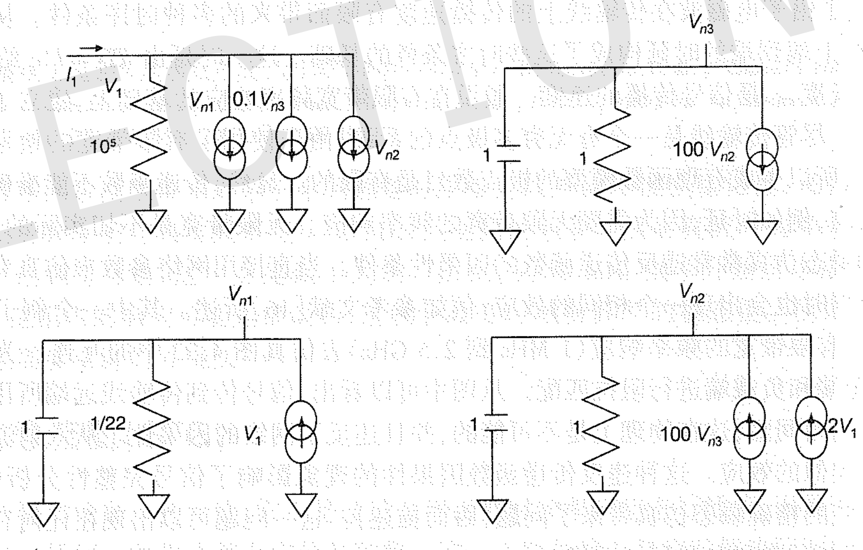


图4.32 Spice子电路举例

4.2.6 缺点

有理函数法的问题就在于频率响应插值本身。随着端口和阶数(极点)的增加,所要求解矩阵的规模也在增加。随着需要逼近的频率带宽增加,矩阵变成病态,这将带来很多问题。

对于宽频带的宏模型,由于涉及频率的幂,对方程(4.7)中的直接曲线拟合法将导致病态矩阵。为了克服这个问题,可以用前面描述的向量拟合法。向量拟合法的精度较高,但是当极点(p)、端口(N)及频率点(f)的数目较多时也会带来大的计算量。对于方程(4.15),忽略常数分量 c,有理函数的计算需要解$((N^2+1)p \times N^2 f)$维的矩阵。因此,这就需要采用参考文献[3]中描述的启发式方法,将频率响应划分成若干小的频带,在每一个小频带内提取有理函数

模型，然后将这些单独的模型合并在一起。但这个方法对于较大的 N 和 p 也是一个很费时间的过程。

假设用直接法综合子电路，一个极点需要两个集总电路元件，一对复共轭极点对需要 4 个集总电路元件。因此，一个 N 端口的公共极点系统，如果有 pr 个实极点和 pc 个复共轭极点对，那么表示这一系统的子电路将会由 $(2pr+4pc)N^2$ 个电路元件组成。例如，一个 12 个端口的网络，它有 3 个实极点和 3 个复共轭极点对，则用子电路表示有理函数需要 2592 个电路元件（$(2\times3+4\times3)\times12^2$）。因此，随着子电路规模的增加，用 Spice 子电路表示有理函数的优点也就随之消失了。

通过使用非公共极点系统可以降低生成有理函数的复杂度。我们可以分别估计每一个矩阵元素，这些矩阵元素的极点都是它们特有的。这种方法将会增加系统状态的数目，从而也将增大子电路的规模。根据已发表的文献，利用有理函数逼近方法时，端口数目范围是 1～64 个，公共极点范围是 4～240 个，端口数的减少弥补了极点数的增加。

第二个问题是对带有明显时延的分布式网络应用有理函数法。当频率很高时，由于互连的长度与信号的波长相当，所以像时延这种分布式效应在此种结构的瞬态分析中具有重要影响。这些分布效应意味着要想在时域中生成正确的系统响应就必须满足很多时序条件。图 4.33 给出了由于电磁波在传输线上的传播速度有限而带来的多种时序条件。从图中可以看出，传输线上端到端的时延构成了这些时序条件的基础。这一时延由 $TD=l/c$ 给出，其中 l 是传输线的长度，c 是信号传播的速度。假设在有限带宽频率响应的基础上，建立了互连的有理函数模型。尽管传输线是一个有无穷多极点的系统，由于使用了有限带宽的频率响应来建立有理函数，所以生成有理函数模型的极点数目是有限的。显然，传递函数不能准确地表征网络的分布效应，例如时延，因为需要无限带宽的频率响应。无限带宽是不切实际的，所以使用这种模型的瞬态仿真常常违反传递函数的因果性条件。当直接用网络参数来仿真有限带宽频率响应的数据时也会出现一个相同的效应，例如参考文献[16]所述。其中一个例子如图 4.34 所示，这里用有限带宽的频率响应（1 MHz 到 2.5 GHz）去仿真图 4.33 中的互连。为了产生反射，没有对源端和负载端进行阻抗匹配。从图中可以看出，信号传到传输线远端所用的时间要比线上时延的时间短，这在物理上是不可能的，并且违反了网络的因果性。从入射波的反射中也可以看到类似的效应。这种违反传递函数因果性的现象影响了信号完整性分析的精度，并且给高速系统的精确瞬态仿真带来了问题（后面描述）。这一问题可以出现在任何有明显时延的结构中，例如互连和电源配送网络。

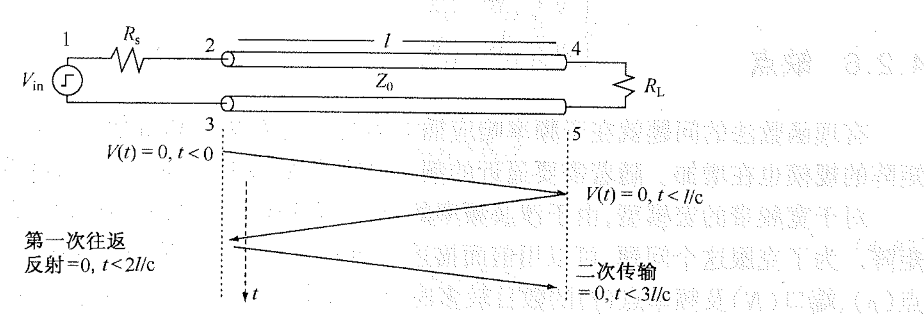


图 4.33 传输线传递函数的因果性条件（内容来自 R. Mandrekar et al.，“Causality enforcement in transient co-simulation of signal and power delivery networks”，*IEEE Transactions on Advanced Packaging*，Vol.30，no.2，pp.270-278，May 2007，© 2007 IEEE）

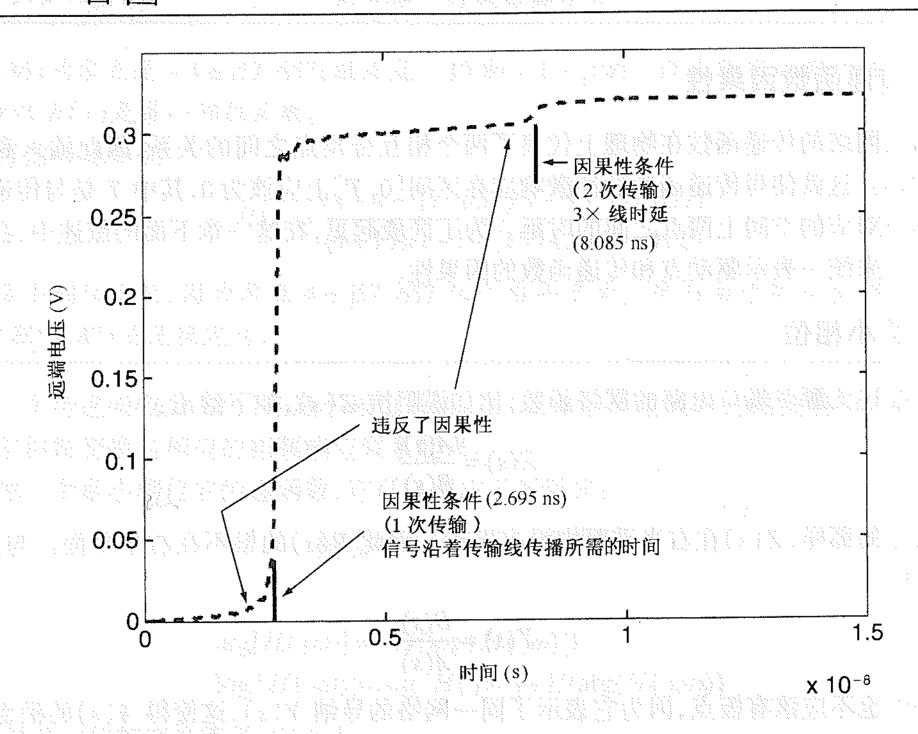


图 4.34 传输线宏模型传递函数违反了因果性条件（内容来自 R. Mandrekar, et al.，“Causality enforcement in transient co-simulation of signal and power delivery networks”，*IEEE Transactions on Advanced Packing*，Vol.30，no.2，pp. 270-278，May 2007，© 2007 IEEE）

使用有理函数模型带来的第三个问题是有限带宽以外的外推模型特性。例如，来自矢量网络分析仪的频率响应典型频率应从 50 MHz 到更高的频率。然而直流时的频率响应需要在阶跃输入下达到稳态值，这一点是做不到的。因此，从 50 MHz 频率开始所生成的宏模型在 0～50 MHz 范围内的响应可能是错误的，这就会改变时域仿真时的稳态值。所以在使用内插法的同时也需要更好的外推法。

4.3 信号流图（SFG）

这一节将讨论另一种方法，它不是通过有理函数对频率响应进行插值，而是直接利用频率响应去仿真。任何一种方法都有它的利和弊。这一方法的优点是它对解决问题的大小没有限制，而且对于较早出现的传递函数因果性问题可以进行弥补。这一方法的缺点是卷积的复杂度变为 $O(N^2)$，除非利用快速卷积技术来减少或解决这一问题。为了更好地描述这一方法的应用，我们先对因果性和最小相位函数进行一些基本的讨论。

4.3.1 因果性

在任何一个无源电路中，响应总是在激励之后。如果一个电路在有输入之前就有响应，那么它是非因果的。因为因果性是一个基本的物理性质，所以无论是驱动点函数（Y_{11} 等）还是传递函数（Y_{12} 等）都必须满足因果性。通过希尔伯特变换，或者第 2 章中描述的波特（Bode）积分关系，可以将因果函数的实部和虚部关联起来。因果有理函数在右半平面是解析的（因此在右半平面内没有极点）[17]。

4.3.2 传递函数因果性

分布式网络的传递函数在物理上代表了两个相互分离点之间的关系，因此输入和响应之间会有时延。这就使得传递函数的冲激响应在区间[0，T]上应该为0，其中T是与传递函数输入输出端口对应的空间上两点之间的时延。为了简便起见，在这一章下面的叙述中，我们使用因果性一词来统一表示驱动点和传递函数的因果性。

4.3.3 最小相位

一个描述无源单端口电路的网络函数，比如说阻抗$Z(s)$，如下给出：

$$Z(s)=\frac{A(s)}{B(s)} \tag{4.84}$$

如前面讨论的那样，$Z(s)$在右半平面内没有极点。因此$B(s)$的根不在右半平面。与此相似，$Z(s)$的倒数：

$$Y(s)=\frac{B(s)}{A(s)} \tag{4.85}$$

在右半平面也不应该有极点，因为它表示了同一网络的导纳$Y(s)$，这使得$A(s)$的根也不在右半平面。因此方程(4.84)中$A(s)$的根（零点）与$B(s)$的根（极点）都不能位于右半平面，如图4.35中的例子所示。如果满足这一条件，则$Z(s)$就是最小相位函数。

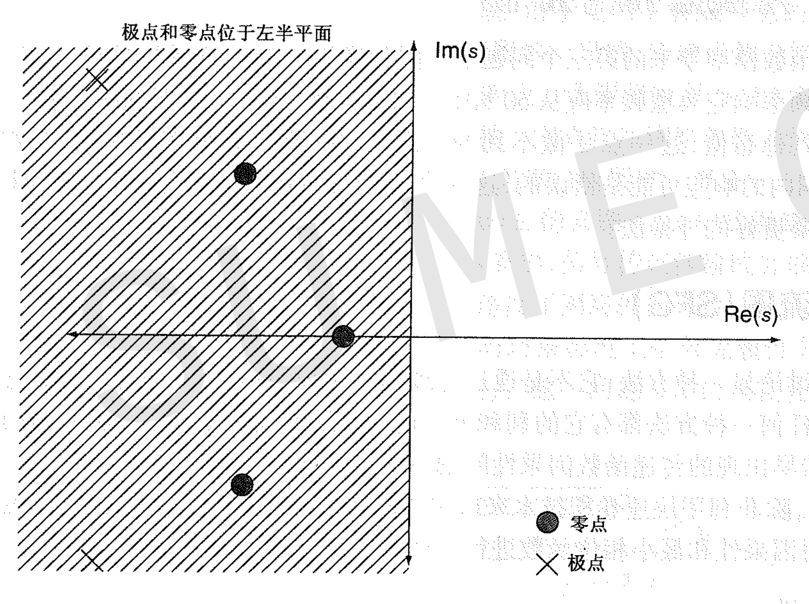


图4.35 最小相位函数

举例

考虑方程(4.35)中的传递函数，它的零极点形式可以写成

$$H(s)=\frac{(s+4-\mathrm{j}57.657)(s+4+\mathrm{j}57.657)}{(s+10)(s+1-\mathrm{j}100)(s+1+\mathrm{j}100)} \tag{4.86}$$

方程(4.86)的零点是$-4\pm \mathrm{j}57.657$；极点是-10和$-1\pm \mathrm{j}100$。因为所有的零极点都位于左半平面，所以$H(s)$是最小相位函数。

再考虑传递函数：

$$H(s)=\frac{(s-4-\mathrm{j}57.657)(s-4+\mathrm{j}57.657)}{(s+10)(s+1-\mathrm{j}100)(s+1+\mathrm{j}100)} \tag{4.87}$$

它不是最小相位函数，因为零点$4\pm \mathrm{j}57.657$位于右半平面。然而由于极点全部位于左半平面，故方程(4.87)还是稳定的。

对一个传递函数为$H(s)$的最小相位系统，在$0\leqslant\omega\leqslant\infty$范围内的幅频响应$|H(j\omega)|$可以通过希尔伯特变换与相应的相频响应联系起来。

考虑一个最小相位的传递函数，它可以写成下列形式：

$$H(\mathrm{j}\omega)=|H(\mathrm{j}\omega)|\,\mathrm{e}^{\mathrm{j}\arg(H(\mathrm{j}\omega))} \tag{4.88}$$

那么

$$\begin{aligned}\arg[H(\mathrm{j}\omega)]&=-H\{\log|H(\mathrm{j}\omega)|\}\\ \log|H(\mathrm{j}\omega)|&=\log|H(\mathrm{j}\infty)|+H\{\arg(H(\mathrm{j}\omega))\}\end{aligned} \tag{4.89}$$

其中H是希尔伯特变换算子，定义为

$$H\{x(\omega)\}=\frac{1}{\pi}\int_{-\infty}^{\infty}\frac{x(\omega')}{\omega-\omega'}\mathrm{d}\omega' \tag{4.90}$$

最小相位函数的相位可以通过变量替换由其幅度计算得到[18]：

$$\arg(H(\mathrm{j}\omega))=-\frac{1}{2\pi}PV\int_{-\pi}^{\pi}\log|H(\mathrm{j}\theta)|\cot\left(\frac{\omega-\theta}{2}\right)\mathrm{d}\theta \tag{4.91}$$

其中PV是积分主值。

对一个无源的多端口网络，驱动点函数或者主对角线上的元素（Z_{11}、Z_{22}等）是最小相位函数，而传递函数或者非对角线上的元素（Y_{21}等）不是最小相位函数。

对一个包含时延的互连传递函数，显然信号不能在输入之前就已经开始输出，两者在时间上被介质光速的某个函数区隔开。下面的一节在将传递函数分解为最小相位部分和全通部分的基础上，利用了这一概念从互连的频率响应中提取时延。

4.3.3.1 最小相位函数与全通函数

考虑方程(4.87)中的传递函数，它可以写成如下形式：

$$H(s)=\frac{(s+4-\mathrm{j}57.657)(s+4+\mathrm{j}57.657)}{(s+10)(s+1-\mathrm{j}100)(s+1+\mathrm{j}100)}\times\frac{(s-4-\mathrm{j}57.657)(s-4+\mathrm{j}57.657)}{(s+4-\mathrm{j}57.657)(s+4+\mathrm{j}57.657)}$$

或

$$H(s)=H_{\text{min-phase}}(s)\times H_{\text{all-pass}}(s) \tag{4.92}$$

很明显$H_{\text{min-phase}}$是最小相位函数，与方程(4.86)相同。全通函数$H_{\text{all-pass}}$形式如下：

$$|H_{\text{all-pass}}(\mathrm{j}\omega)|=1\quad \arg(H(\mathrm{j}\omega))=-2\arctan\frac{8\omega}{3340.33-\omega^2} \tag{4.93}$$

全通函数 $H_{\text{all-pass}}$ 具有一些有趣的性质：(1)全通函数的幅度都是 1；(2)零极点关于 jω 轴对称，如图 4.36 所示。对于一个稳定的网络，任何非最小相位函数总能够用一个最小相位函数和一个全通函数来表示。

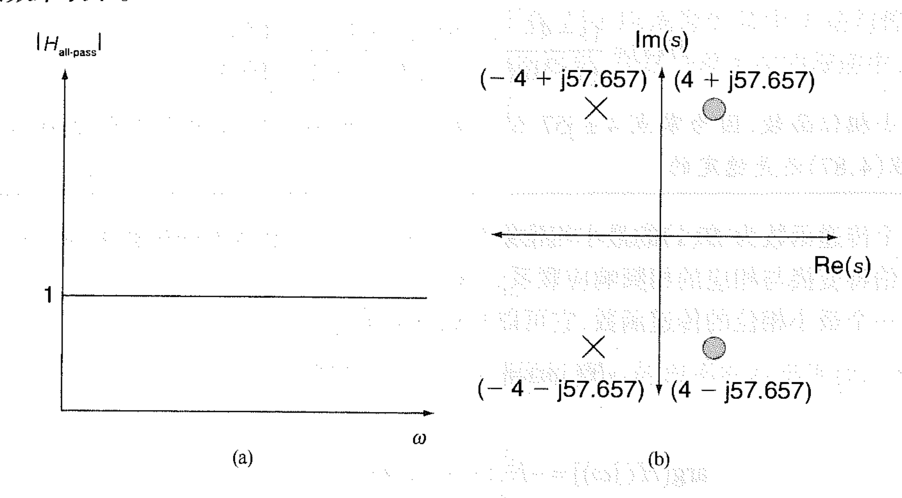


图 4.36 全通函数：(a) 幅度；(b) 零极点

4.3.4 从频率响应中提取时延

在高速网络中估计时延是极其重要的，因为这包含了信号在互连网络中传播的时序。如果不能准确计算时延，则可能导致很严重的与电压和时序容限有关的 SI 问题。在这一节中，方程(4.91)用于从无源结构的频率响应中提取时延。

在多端口网络中，仅有自响应(self-response)才满足最小相位性质，也就是 $\bar{\bar{Y}}$、$\bar{\bar{Z}}$ 和 $\bar{\bar{S}}$ 矩阵对角线上的元素。例如，考虑一个二端口无源网络，它的阻抗参数 $\bar{\bar{Z}}$ 是

$$\bar{\bar{Z}}(s)=\begin{bmatrix} Z_{11}(s) & Z_{12}(s) \\ Z_{21}(s) & Z_{22}(s) \end{bmatrix} \tag{4.94}$$

在方程(4.94)中，只有 $Z_{11}(s)$ 和 $Z_{22}(s)$ 是最小相位函数。由于网络是无源的，$Z_{12}(s)$ 和 $Z_{21}(s)$ 是稳定的，但因为时延的存在不一定满足最小相位。对于对称网络，$Z_{12}(s)=Z_{21}(s)$，转移阻抗可以写成

$$Z_{12}(s)=Z'_{12}(s)\mathrm{e}^{-sT} \tag{4.95}$$

其中 T 是端口之间的时延。根据方程(4.92)，还可以写成

$$Z_{12}(s)=Z_{12,\text{min-phase}}(s)\times Z_{12,\text{all-pass}}(s) \tag{4.96}$$

通过比较方程(4.95)和方程(4.96)可以看出，Z'_{12} 是最小相位函数，时延 e^{-sT} 是幅度为 1 的全通函数。从而利用前面讨论的希尔伯特变换可以将时延从 $Z_{12}(s)$ 中提取出来。这里必须要注意的是将一个稳定的因果响应分解成最小相位部分和全通部分的分解方式是唯一的，如方程(4.96)中那样，因此 $Z_{12,\text{all-pass}}=\mathrm{e}^{-sT}$。

由于全通函数的幅度是 1，所以最小相位函数 $Z_{12,\text{min-phase}}(s)$ 的幅度响应与 $Z_{12}(s)$ 的相同。因此，$Z_{12}(s)$ 中的时延可以确定如下[18]：

$$\begin{aligned} &|Z_{12,\text{min-phase}}(\mathrm{j}\omega)|=|Z_{12}(\mathrm{j}\omega)| \\ &\arg(Z_{12,\text{min-phase}}(\mathrm{j}\omega))=-\frac{1}{2\pi}PV\int_{-\pi}^{\pi}\log(|Z_{12}(\mathrm{j}\theta)|)\cot\left(\frac{\omega-\theta}{2}\right)\mathrm{d}\theta \\ &Z_{12,\text{all-pass}}(\mathrm{j}\omega)=\frac{Z_{12}(\mathrm{j}\omega)}{Z_{12,\text{min-phase}}(\mathrm{j}\omega)}=\mathrm{e}^{-\mathrm{j}\omega T} \\ &T=-\frac{\arg(Z_{12,\text{all-pass}}(\mathrm{j}\omega))}{\omega} \end{aligned} \tag{4.97}$$

举例

考虑一个用 Z 参数表示的电源地平面对。这对平面的面积为 25 cm × 25 cm，两个平面之间距离是 8 mil。两个端口的坐标分别是(1.67 cm，2.33 cm)和(22.67 cm，2.33 cm)。假设两个平面之间的电介质是 FR-4，两端口之间的时延是 1.5 ns。现在让我们运用前面讨论过的方法直接从 Z 参数中确定两端口之间的时延。利用方程(4.97)，Z_{12} 可以分解成最小相位函数($Z_{12,\text{min-phase}}$)和全通函数($Z_{12,\text{all-pass}}$)的乘积。由于 $Z_{12,\text{all-pass}}$ 等于 $\mathrm{e}^{-\mathrm{j}\omega T}$，根据方程(4.97)，端口之间的时延 T 就是负的相位梯度。在用数值方法计算时延的过程中，通过取平均可以消除与理想 $Z_{12,\text{all-pass}}$ 的幅频和相频响应之间的小偏差。

$Z_{12,\text{min-phase}}$ 和 $Z_{12,\text{all-pass}}$ 的幅频和相频响应如图 4.37 所示。通过展开 $Z_{12,\text{all-pass}}$ 的相位，可以估计时延约为 1.517 ns。实际时延和计算得到的时延之间的误差约为 1%。总体来说，使用这个方法能得到准确的结果。

因此，给出任意一个无源网络的频率响应，利用希尔伯特变换分离时延的方法，频响中的任何时延都可以被提取出来，而且其大小非常接近理论值。

提取时延的另一种方法就是将频响转换到时域中(使用快速傅里叶逆变换)，从时域的波形中提取时延，然后将剩余的信号再转换回频域中。这一方法容易带来更多的误差。

4.3.5 因果信号流图

信号流图(SFG)可以用在无源网络的瞬态仿真中[16]。在瞬态仿真中，可以直接将流程图应用在互连的频率响应中。图 4.33 中的传输线电路可以用 S 参数表示成图 4.38 中的信号流图：Γ_s 和 Γ_l 分别是电源和负载的反射系数，V_{1-5} 是行波电压，S 参数提供了电压波之间的关系。根据图 4.38 可以列出一个方程组，为获得瞬态响应必须解这个方程组：

$$\begin{aligned} &V_1(t)=V_s(t)+V_3(t)\otimes\Gamma_s \\ &V_2(t)=V_1(t) \\ &V_3(t)=V_2(t)\otimes S_{11}(t)+V_5(t)\otimes S_{12}(t) \\ &V_4(t)=V_2(t)\otimes S_{21}(t)+V_5(t)\otimes S_{22}(t) \end{aligned} \tag{4.98}$$

其中，$S_{11}(t)$、$S_{21}(t)$、$S_{12}(t)$ 和 $S_{22}(t)$ 是 S 参数的冲激响应，⊗表示卷积，$V_S(t)$ 是电源电压。如前面讨论的那样，$S_{12}(t)$ 与 $S_{21}(t)$ 都是由最小相位部分和全通部分组成，而且全通部分包含时延。因此，方程(4.98)中最后的两个方程可以修改成

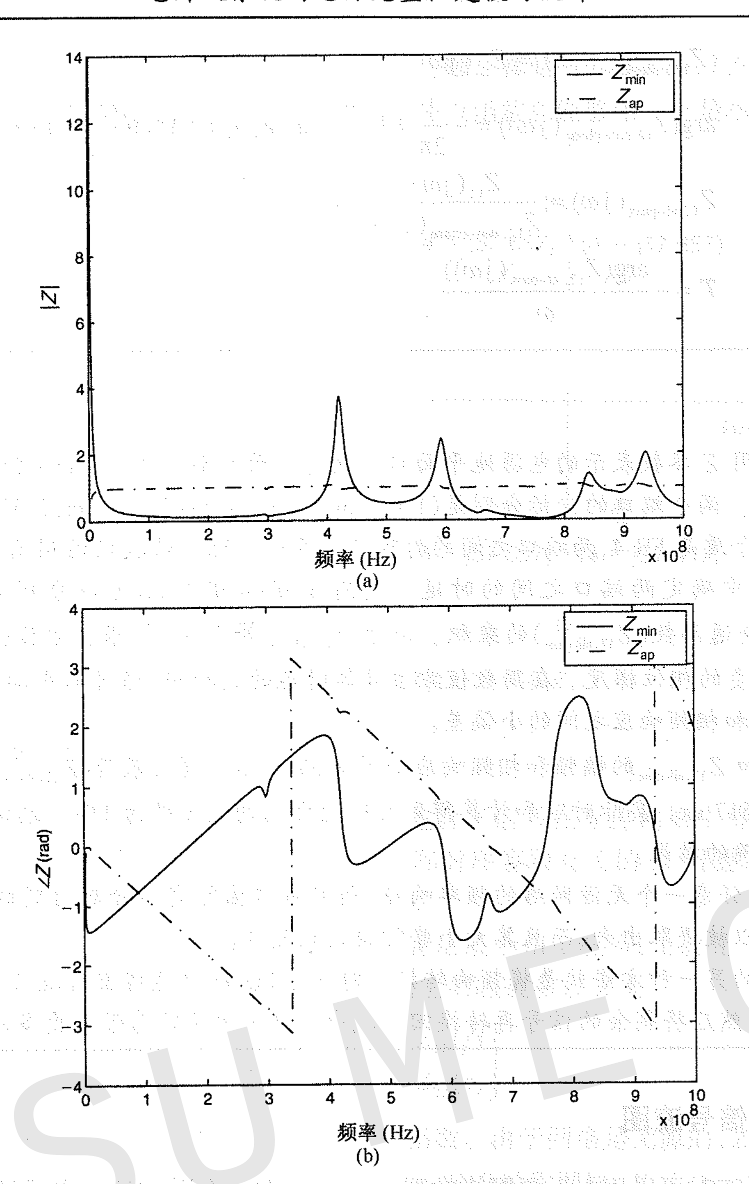


图 4.37 (a)幅度;(b)相位(内容来自 R.Mandrekar et al.,“Causality enforcement in transient co-simulation of signal and power delivery networks”, *IEEE Transactions on Advanced Packing*, Vol.30, no.2, pp. 270-278, May 2007, © 2007 IEEE)

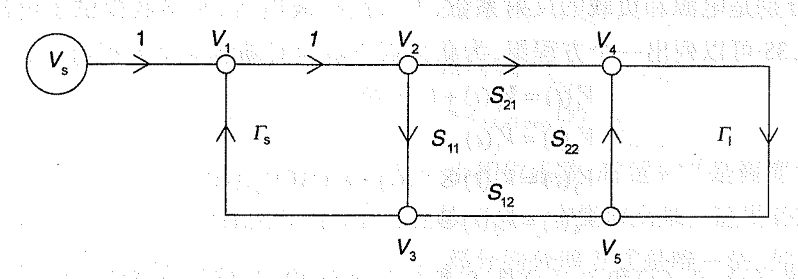


图 4.38 信号流图(内容来自 R.Mandrekar et al.,“Causality enforcement in transient co-smulation of signal and power delivery networks“, *IEEE Transactions on Advanced Packing*, Vol.30, no.2, pp.270-278, May 2007, © 2007 IEEE)

$$V_3(t)=V_2(t)\otimes S_{11}(t)+V_5(t-T)\otimes S_{12,\,\text{min-phase}}(t)$$
$$V_4(t)=V_2(t-T)\otimes S_{21,\,\text{min-phase}}(t)+V_5(t)\otimes S_{22}(t) \tag{4.99}$$

其中 $S_{12,\text{min-phase}}(t)$和 $S_{21,\text{min-phase}}(t)$是冲激响应中的最小相位响应,$T$ 是时延。现在可以求解这些方程来获得瞬态响应,如图 4.39 所示。通过与图 4.33 比较可知,图 4.39 满足了传递函数的因果性条件。

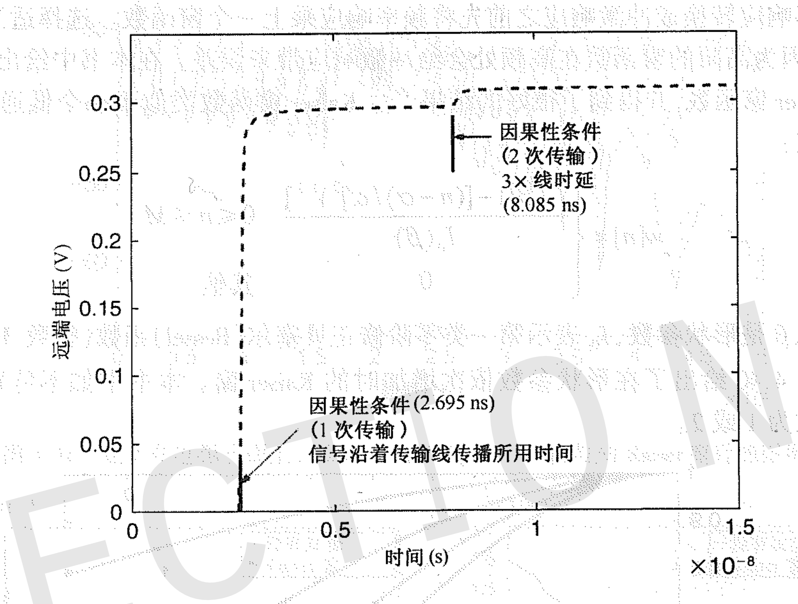


图 4.39 传输线电路的因果信号流图仿真(内容来自 R.Mandrekar et al.,“Causality enforcement in transient co-simulation of signal and power delivery networks”, *IEEE Transactions on Advanced Packing*, Vol.30, no.2, pp. 270-278, May 2007, © 2007 IEEE)

4.3.6 信号流图计算

以信号流图为基础的瞬态仿真必须考虑三个方面的问题:(1)将有限带宽的频率响应转换成相应的冲激响应;(2)选择合适的窗函数;(3)卷积。我们首先讨论前两条,第三条在后面详述。

4.3.6.1 逆 Z变换

将有限带宽频率响应转换成冲激响应的一个简单方法就是利用快速傅里叶变换(FFT)[19]。然而这种方法需要知道从直流直到最大频率的等间隔采样值,有时这是做不到的。一种解决这一问题的方法就是通过逆 Z变换(IZT)[19]。IZT 允许对频率响应进行任意采样,而且还可以直接用于测量或仿真的 S 参数。时域响应的 Z变换可以写成

$$X(z)=\sum_{n=-\infty}^{\infty}x[n]z^{-n} \tag{4.100}$$

其中 $x[n]$是时域的采样值。我们的目的就是从现有的频响中计算出方程(4.100)中的冲激响应($x[n]$)。如参考文献[20]中讨论的那样,可以通过将频率响应与一个范德蒙(Vandermonde)矩阵的逆矩阵相乘得到冲激响应。

4.3.6.2 加窗

当根据有限带宽频率数据计算冲激响应时有一点要重点考虑，就是在频带边缘处数据值的突变。这种变化会导致冲激响应中产生寄生振荡(spurious oscillation)，也称之为吉布斯(Gibbs)现象。为减小这种寄生振荡，需要给频率响应加合适的窗，加窗也就是在利用 IZT 将有限带宽的频率响应转换成冲激响应之前先将频率响应乘上一个窗函数。选择适当的窗函数是非常重要的，因为高阶的窗函数在高频处会给冲激响应带来误差。在本书中给出的例子中，我们使用了 Kaiser 窗函数，并得到了很好的结果[19]。Kaiser 窗函数类似于一个低通滤波器，可以写成如下形式：

$$w[n]=\begin{cases}\dfrac{I_0[\beta(1-[(n-\alpha)/\alpha]^2)^{1/2}]}{I_0(\beta)} & 0\leqslant n\leqslant M\\ 0 & \text{其他}\end{cases}\tag{4.101}$$

其中 $\alpha=M/2$，β 是形状参数，I_0 表示第一类零阶修正贝塞尔(Bessel)函数，整数 M 表示窗的长度(点数)。图 4.40 给出了在形状参数依次增加时的 Kaiser 窗。本书中如不特别指出，Kaiser 窗的形状参数为 1 或 2。

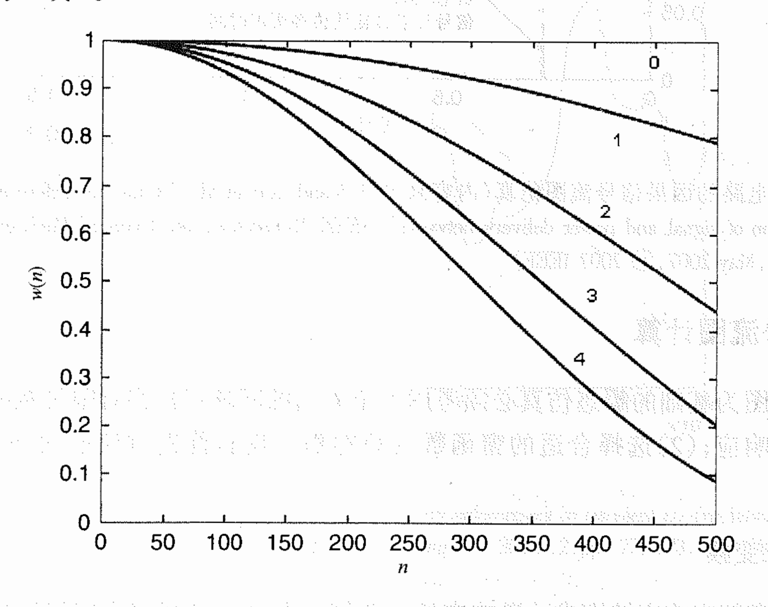


图 4.40 Kaiser 窗

举例

定义在电源/地平面上两个端口之间的 S_{21} 响应如图 4.41 所示。为了获得更为平滑的冲激响应曲线，我们给频域参数加窗。图中 Kaiser 窗的 $\beta=5$，其作用相当于一个低通滤波器。图 4.42(a)所示的是冲激响应曲线。将图 4.42(a)中的部分区域进行放大后得到图 4.42(b)，这显示了加窗后的冲激响应曲线更加平滑。

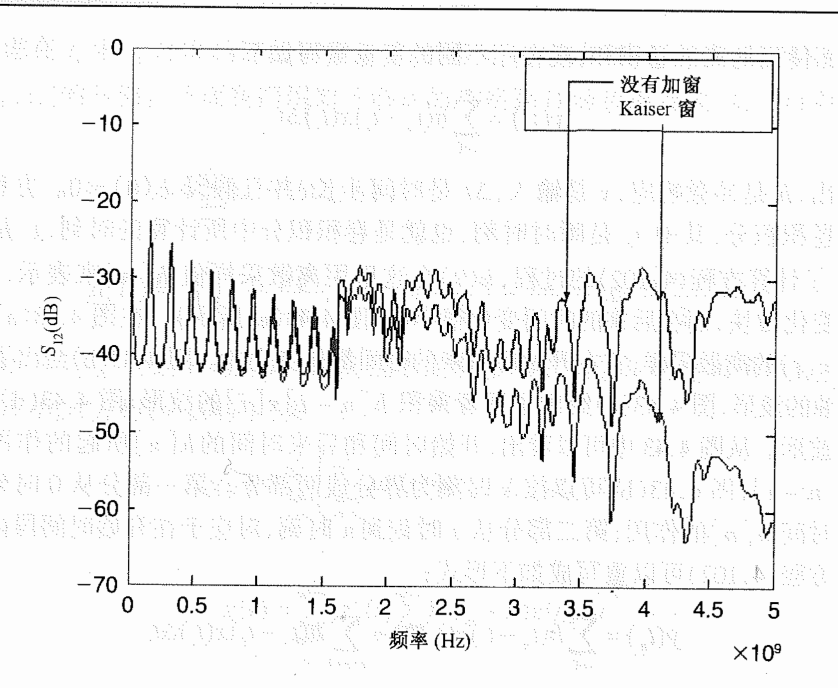


图 4.41 定义在电源平面上二端口之间的 S_{21} 在不加窗与加 Kaiser 窗后的图形

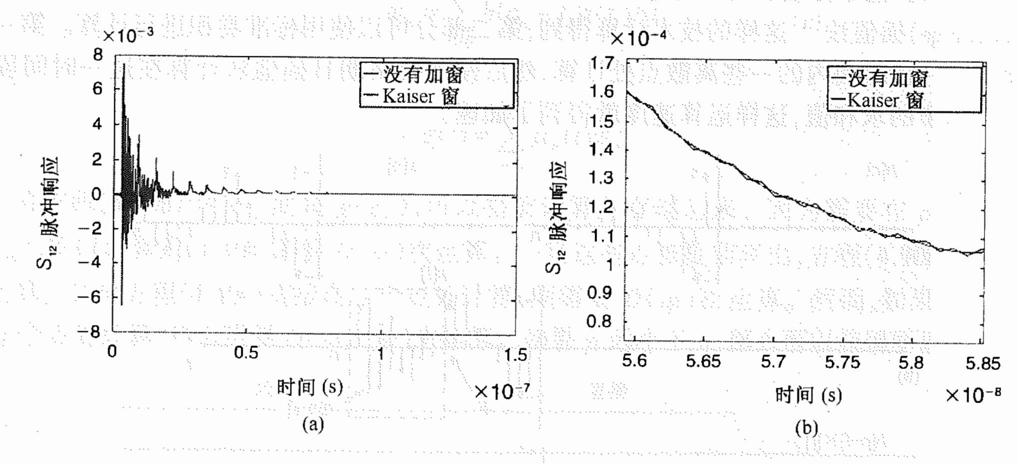


图 4.42 (a) 对图 4.41 中的频率响应进行逆 Z 变换后得到的冲激响应；(b) 放大后的冲激响应

4.3.7 快速卷积法

因为不需要插值法，所以 SFG 易于实现，而且对端口数目没有限制。对于图 4.33 中简单的电阻性端接，可以很容易计算出它的反射系数。对于复杂的网络，SFG 必须进行改进，这将在后面讨论。然而卷积的主要局限就在于它的复杂度。从方程(4.99)可以看出，要计算电压就需要计算等式右边的卷积项。基于在前面根据方程(4.69)的解释，计算卷积是一个非常繁杂的过程，对于一个 N 步的仿真，需要 $O(N^2)$次运算。在方程(4.80)中通过有理函数近似将计算复杂度减小到了 $O(MN)$。因此要实现方程(4.99)中的卷积就需要减小计算的复杂度。

在这一节中描述了一个利用参考文献[21]中的方法，该方法计算卷积项的复杂度为 $O(N\log N)$。这一方法基于对实际网络的观察，在实际网络中，冲激响应在开始阶段变化最大，而在后来的时间变化很小且稳定下来。本书中描述的所有互连网络都满足这一条件。

考虑前面使用的离散卷积和，现在用不同的变量重写如下：

$$y(t_n)=\sum_{i=0}^{n}h(t_n-t_i)x(t_i)\Delta t \tag{4.102}$$

其中 y 是输出，h 是冲激响应，x 是输入，Δt 是时间步长，并且假设 $h(0)=0$。方程(4.102)是离散形式的卷积积分，其中 t_n 是瞬时时刻，也就是卷积积分中所计算的时刻，t_i 是采样时刻。图 4.43 给出了计算方程(4.102)的过程，$h(t)$在这里用离散采样值 $h[n]$来表示，它在开始的一段时间内变化很快，而在后来的时间变化很小(如图 4.43(a)所示)。在图 4.43(a)中，$x[n]$是对输入波形 $x(t)$的离散采样，它在开始和后来的时间都是变化的。图 4.43(b)给出了$h[n-i]$和$x[i]$关于 i 轴的波形，图 4.43(c)给出了两者乘积 $h[n-i]x[i]$的波形，图 4.43(d)则给出了方程(4.102)的波形。从图 4.43 中可以看出，开始时间和后来时间的$h[n]$所起的作用是不同的。因此对于 $h[n-i]$，图 4.43(b)可以按 s 时刻为界分成两部分。第一部分从 0 时刻到 s 时刻，对应于后来时间 $h[n]$的作用；第二部分从 s 时刻到n 时刻，对应于在开始时间段内 $h[n]$的作用。因而对方程(4.102)可以重写成如下形式：

$$y(t_n)=\sum_{i=0}^{s}h(t_n-t_i)x(t_i)\Delta t+\sum_{i=s+1}^{n}h(t_n-t_i)x(t_i)\Delta t \tag{4.103}$$

其中 $1<s<n$。基于方程(4.103)，卷积的第一部分可以根据预先计算得到的值，采用像拉格朗日(Lagrange)插值法[21]这样的技术计算得到；第二部分可以使用标准卷积进行计算。第一个求和项仅在一段时间内的一些离散点处计算，然后使用拉格朗日插值法计算在这一时间段内的每个时间步的求和值，这样运算速度就得到了加速。

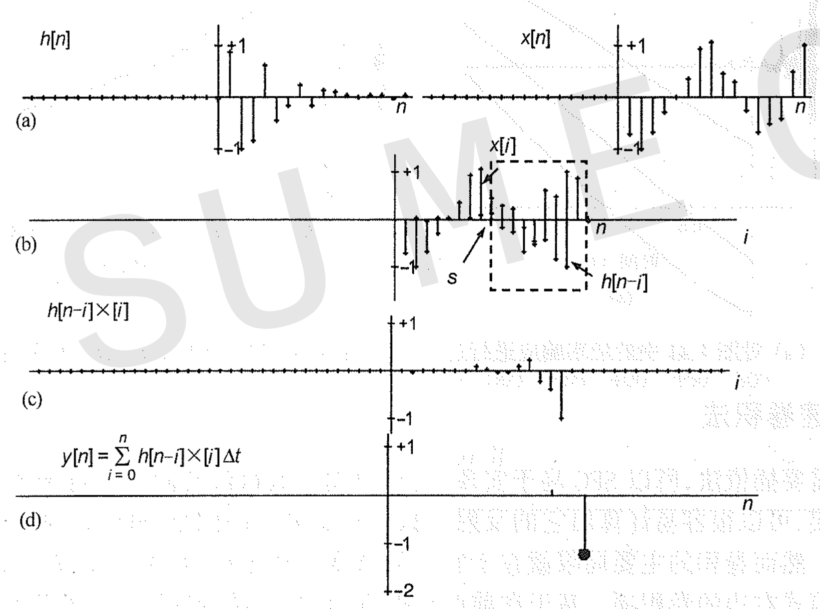


图 4.43 离散卷积法

考虑方程(4.103)中的第一个求和项，写成如下形式：

$$g(t)=\sum_{i=0}^{s}h(t-t_i)x(t_i)\Delta t \tag{4.104}$$

现在考虑在 t_a 和 t_b 之间的这段时间计算方程(4.104)，如图 4.44 所示，其中区间$[t_a,t_b]$位于区间$[t_1,t_s]$的右侧。下面我们用如下形式的拉格朗日函数逼近式(4.104)中的冲激响应$h(t-t_i)$：

$$\begin{aligned}&h(t-t_i)\approx\sum_{m=1}^{p}\mu_m(t)h(c_m-t_i)\\&\mu_m(t)=\prod_{k=1,k\neq m}^{p}\frac{t-c_k}{c_m-c_k};\quad c_m=\frac{t_a+t_b}{2}+\frac{t_b-t_a}{2}\cos\frac{(2m-1)\pi}{2p}\end{aligned} \tag{4.105}$$

在方程(4.105)中，$\mu_m(t)$是 m 阶$(p-1)$次拉格朗日多项式，c_m 是切比雪夫(Chebyshev)节点。将方程(4.105)代入方程(4.104)中，得

$$g(t)=\sum_{i=0}^{s}\left(\sum_{m=1}^{p}\mu_m(t)h(c_m-t_i)\right)x(t_i)\Delta t \tag{4.106}$$

也可以写成

$$g(t)=\sum_{m=1}^{p}\mu_m(t)\sum_{i=0}^{s}h(c_m-t_i)x(t_i)\Delta t \tag{4.107}$$

如果

$$\varphi_m=\sum_{i=0}^{s}h(c_m-t_i)x(t_i)\Delta t \tag{4.108}$$

那么

$$g(t)=\sum_{m=1}^{p}\mu_m(t)\varphi_m \tag{4.109}$$

在方程(4.108)中，φ_m 就是 $g(c_m)$，可以提前计算并存储起来。因为需要在 p 个点处计算$g(c_m)$，所以计算式(4.108)需要 $O(ps)$次运算。一旦这些点被提前算出，方程(4.108)需要 $O(p)$次运算。如果方程(4.104)直接在 q 个点处计算，则需要 $O(qs)$次运算。然而，如果方程(4.109)在 q 个点处计算，那么需要 $O(ps+pq)$次运算。如果 p 远小于 q，那么可以获得明显的加速。

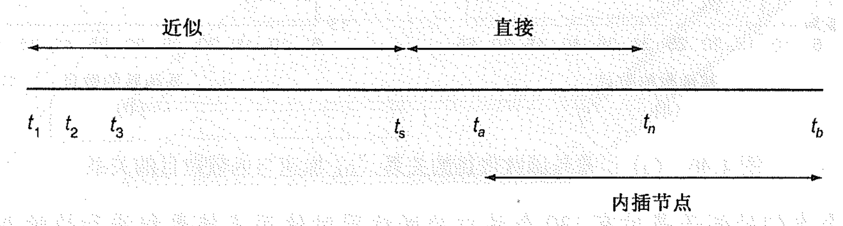


图 4.44 快速卷积法

图 4.44 描述了快速卷积的过程。方程(4.103)中的第一个求和项用区间$[t_a,t_b]$内的近似点进行估算，第二个求和项使用直接卷积进行计算[见式(4.103)]。

举例

考虑一个分解成 SFG 的传输线电路。在 SFG 中使用了传输线的冲激响应(S 参数)来获得瞬态输出，这里使用了两种方法：直接卷积和快速卷积。传输线输出的波形如图 4.45 所示，

从中可以看出直接卷积和快速卷积之间没有多少区别。很明显,加速取决于所用拉格朗日函数的数目及对误差的控制。误差、加速与所用函数数目之间的关系如图 4.46 所示。如果直接卷积和快速卷积之间的误差为 0.5%,则可以获得 30%～40%的加速。

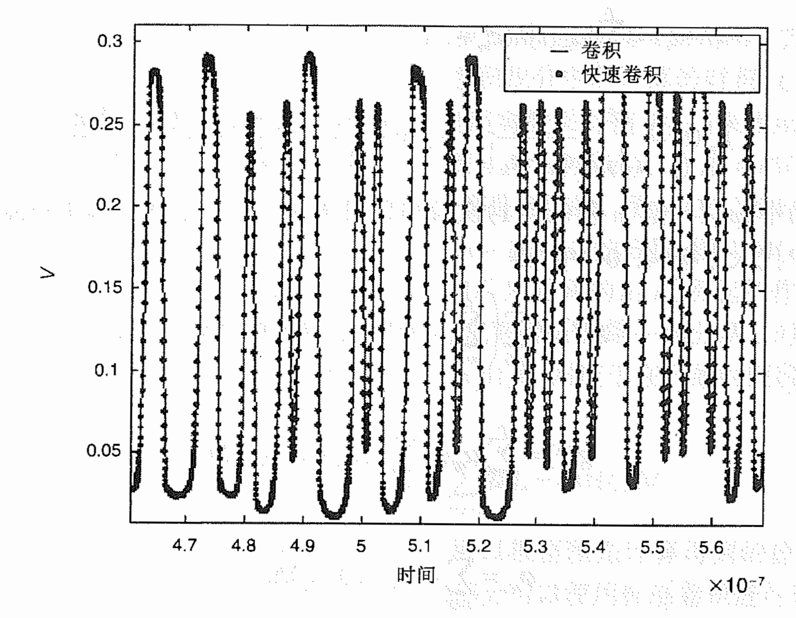


图 4.45 传输线的直接卷积与快速卷积的比较

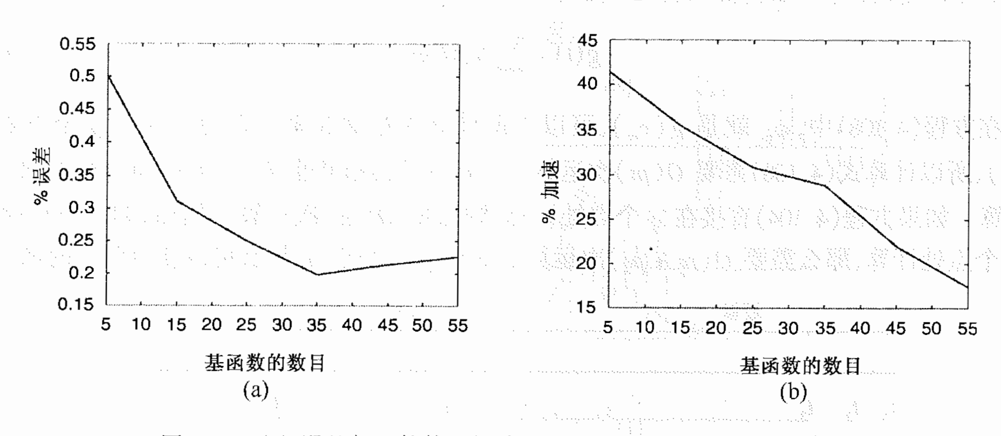


图 4.46 (a) 误差与函数数目的关系;(b) 加速与函数数目的关系

还有一个类似的例子是对有 130 个端口的网络同时使用直接卷积法和快速卷积法,仿真时间是 70 ns。图 4.47 显示了完成卷积所用的时间。图中快速卷积的曲线很清楚地显示了它基于块的属性。对每一个时间跨度或者块,快速卷积法都需要一个建立时间来计算拉格朗日函数中的参数。然而一旦参数计算完毕,与直接卷积相比快速卷积的仿真过程要快得多。

4.3.8 利用信号流图进行 SI 和 PI 的协同仿真

这里,用两个例子说明传递函数因果性的重要性及如何使用 SFG 计算瞬态响应。

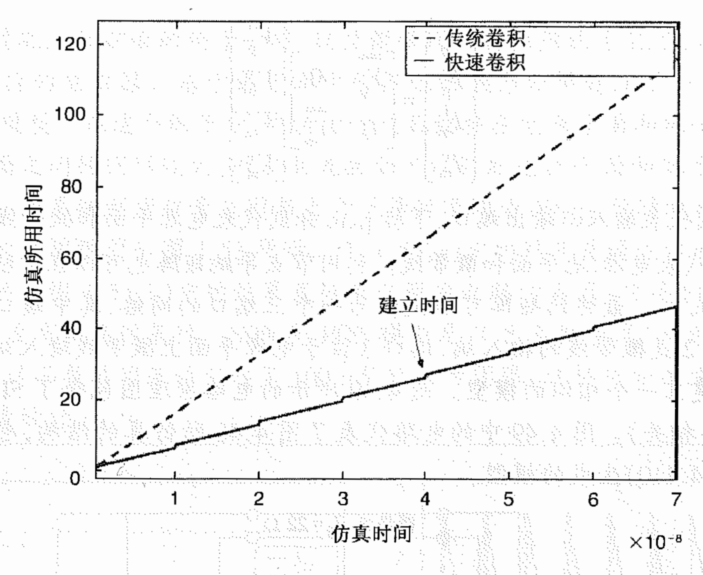


图 4.47 130 个端口的直接卷积法与快速卷积法的比较

举例 位于电源地平面上的微带线

如图 4.48 所示,考虑一条以非理想的电源与地平面为参考的微带传输线,这里采用了与第 3 章中相同的情况。传输线的特性阻抗为 22 Ω,采用两个 43 Ω 的电阻器作为负载连接在电源和地平面上,这几乎构成了匹配负载。平面对由 5 V 的直流电源供电,传输线是由数字驱动器驱动。传输线和平面都是 20 英寸长,平面的宽度为 0.3 英寸,信号线的宽度为 30 mil。

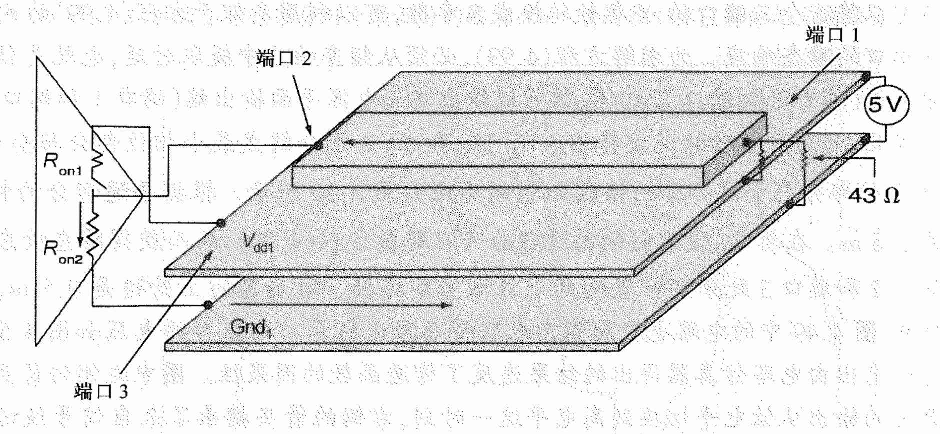


图 4.48 电源与地平面上的微带线

在这个例子中,信号分配网络(SDN)包括以理想地作为参考的信号线。信号线的二端口 Y 参数(输入与输出之间)首先用场求解程序提取出来。同样,PDN(包含电源和地平面)的二端口 Y 参数(端口定义在信号线输入/输出的正下方)也通过第 2 章中描述的模型来提取。正如第 3 章中描述的那样,假定 V_{dd1} 是 SDN 和 PDN 的参考平面(因此 $k=0$ 而不是 $k=1$),则两者的 Y 参数可以通过矩阵整合到一起:

$$\begin{bmatrix} I_p^i \\ I_p^o \\ I_m^i \\ I_m^o \end{bmatrix} = \begin{bmatrix} \overline{\overline{Y_p}} & 0 \\ 0 & \overline{\overline{Y_m}} \end{bmatrix} \begin{bmatrix} V_p^i \\ V_p^o \\ V_m^i \\ V_m^o \end{bmatrix} \tag{4.110}$$

其中上标 i、o 分别代表输入与输出端口，下标 p、m 分别代表电源平面和微带线，Y_p、Y_m 是2×2导纳参数，它们分别代表电源/地平面和微带线。利用节点导纳矩阵也可以在方程(4.110)的矩阵中加入线的端接阻抗[22]。最终的矩阵可以减少为一个三端口的网络，其中端口 1 是微带线远端的输出端口，端口 2 是微带线的输入端，端口 3 位于电源平面上微带线输入端的正下方。利用电路仿真器可以建立一个相似的模型。图 4.49 所示的电路原理图包含了 SDN 和 PDN 的二端口 Y 参数(与频率相关)。图 4.49 中的电路代表了图 4.48 所仿真的结构，也等价于加上端接电阻器后由方程(4.110)生成的模型。

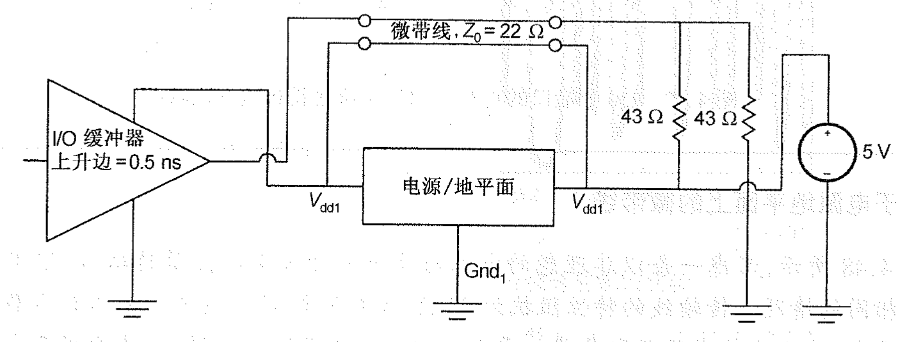


图 4.49　电路模型

现在可以将这个三端口的 Y 参数转换成 S 参数，可以利用类似于方程(4.99)的 SFG 来计算这个三端口的瞬态响应。为求解方程(4.99)，必须从频率响应中提取时延，也就是信号线输入端与输出端(端口 2 和端口 1)之间、信号线输出端与电源平面输出端(端口 1 和端口 3)之间的时延。因此，利用希尔伯特变换将 S_{12}、S_{21}、S_{13}和 S_{31} 分别分解成最小相位部分与全通部分。S_{12}的最小相位部分与全通部分的幅频和相频响应如图 4.50 所示。根据全通部分的相位，S_{12} 的时延为 3.6 ns。在对 S_{13} 使用相似的过程后可以解出方程(4.99)，从而获得瞬态响应。驱动器用在端口 2 和端口 3 处分别放置的两个源来简单建模。驱动器的上升边是 0.5 ns，为比较 SFG 的结果，图 4.49 中的电路也使用商用电路仿真器来仿真。端口 3 的电压如图 4.51 所示，从图中可以看出由电路仿真器得出的结果违反了传递函数的因果性。图中左侧的箭头指出了驱动器开关的输出从低电平切换到高电平这一时刻，右侧的箭头指出了来自信号线远端的反射应该到达驱动器输入端的时刻。两者时间上的差值就是往返时延，这里为 7.2 ns。可以看出来自电路仿真器的波形在这一时刻以前就开始倾斜，表明违反了因果性。然而基于信号流图的仿真不会违反这一因果条件。

举例　过孔切换

如图 4.52 所示，考虑一个通过不连续过孔的微带线互连。该微带线长 20 英寸，在中间有

一个 42 mil 长的过孔。和前面的例子一样，这里微带线的特性阻抗为 22 Ω，在电源平面与地平面端接了两个 43 Ω 的电阻器。基于第 3 章中所描述的模态分解建立了一个模型，其中包括 SDN、PDN 和过孔模型。在这个例子中，电流通过过孔切换在电源平面和地平面之间激励出了电磁波。因为平面之间的间隔较大，所以电流激励可以引起电源平面和地平面之间的电源电压相当大的变化。该系统利用信号流图与上升下降时间均为 400 ps 的随机比特模式信号源进行仿真。微带线的远端眼图如图 4.53 所示。图 4.53(a)中的结果是通过信号流图并实现因果性后仿真所得到的。图 4.53(b)中的结果直接来自商用电路仿真器，它将 SDN、PDN 与过孔模型连接起来，但是没有实现因果性。SDN 和 PDN 模型是以 S 参数形式(与频率相关)给出的。很显然，不加强传递函数的因果性引起了 100 mV 的人为闭眼，这样将会造成对系统中的互连投入不必要的过量设计。

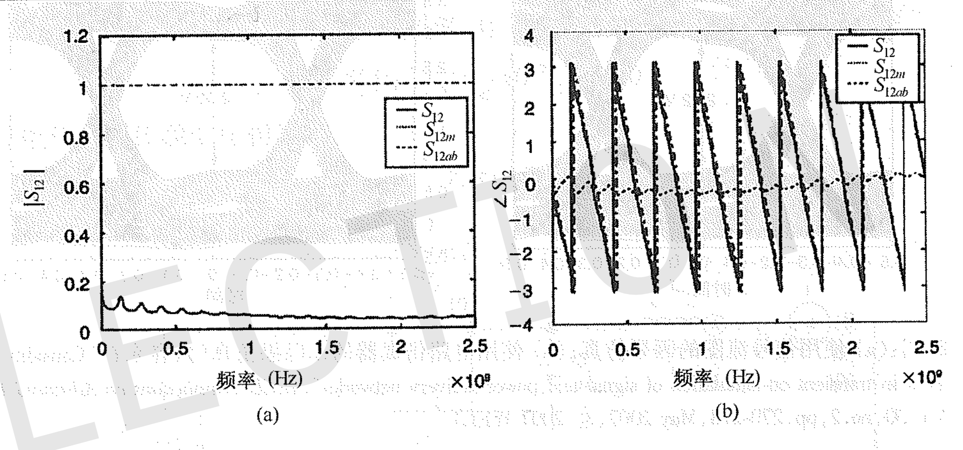


图 4.50　(a) S_{12}的最小相位部分与全通部分的幅度；(b) S_{12}的最小相位部分与全通部分的相位

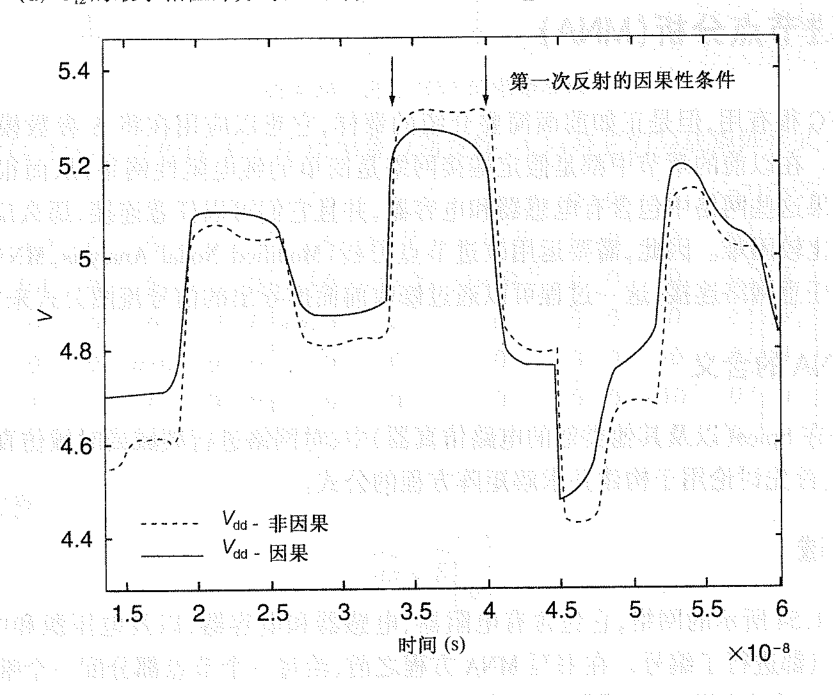


图 4.51　信号流图与电路仿真比较

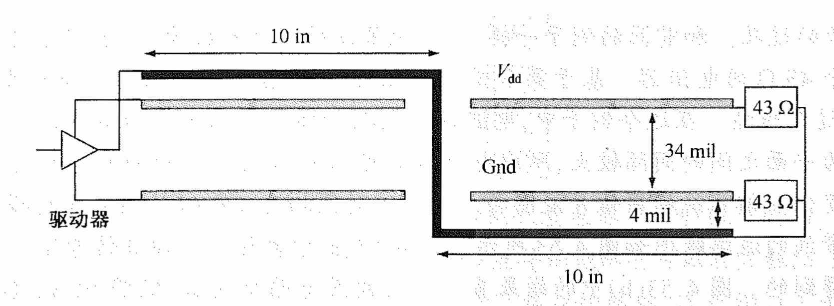


图 4.52　过孔切换

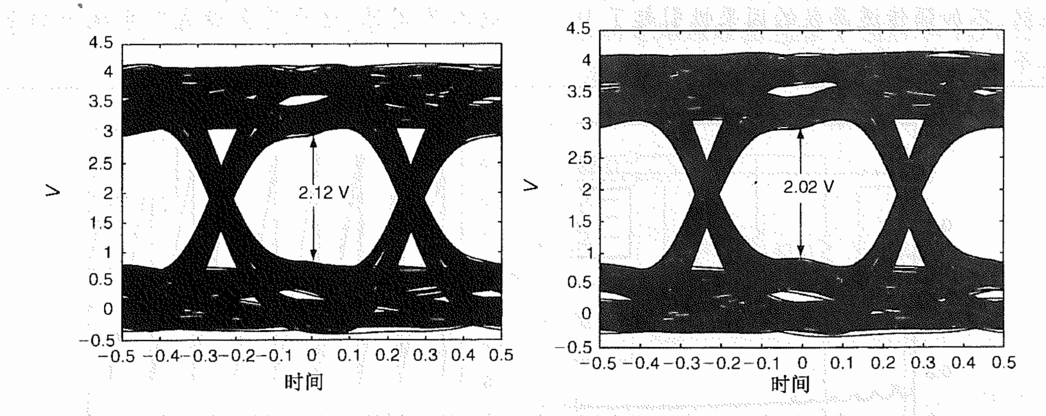


图 4.53　眼图：(a) 使用信号流图的因果仿真；(b) 使用电路仿真器的非因果仿真（内容来自"Causality enforcement in transient co-simulation of signal and power delivery networks", *IEEE Transactions on Advanced Packing*, Vol.30, no.2, pp.270-278, May 2007, © 2007 IEEE）

4.4　改进节点分析（MNA）

尽管 SFG 很有用，但是正如前面简要介绍的那样，它难以应用在将 S 参数模块连接到任意的网络中。在以前的章节中都是假定端接网络是简单的纯电阻性网络，从而很容易得到反射系数。如果这些网络中包含有电感器和电容器，并且它们可以任意连接，那么反射系数的计算可能变得比较困难。因此，需要运用改进节点分析（Modified Nodal Analysis，MNA）公式，将 S 参数模块与任意网络连接，这一过程可以通过修改前面推导出的信号流图公式来完成[23]。

4.4.1　MNA 的含义

MNA 是在 Spice（以及其他类似的电路仿真器）中，对网络进行频域或时域仿真的技术。下面两节，我们首先讨论用于构建并求解矩阵方程的公式。

4.4.2　频域

考虑图 4.54 所示的网络，它包含有电阻器、电感器和电容器，以及电压源和电流源，并且对每一个节点都进行了编号。在书写 MNA 方程之前，给每一个节点都分配一个唯一的电压变量，对流过每一个电压源和电感器的电流都分配一个电流变量。把节点电压、流过电压源和电

感器的电流称为状态变量。对每一个节点都应用基尔霍夫电流定律，这样在时域中可获得如下方程：

$$\begin{aligned}
&\frac{V_1(t)-V_2(t)}{1}+i_v=0\\
&\frac{V_2(t)-V_1(t)}{1}+\frac{V_2(t)-V_3(t)}{10}+10^{-12}(\dot V_2(t)-\dot V_3(t))=0\\
&\frac{V_3(t)-V_2(t)}{10}+10^{-12}(\dot V_3(t)-\dot V_2(t))+10^{-11}\dot V_3(t)+i_L(t)=0\\
&-i_L(t)-i(t)=0\\
&\frac{V_5(t)}{100}+i(t)=0
\end{aligned}\tag{4.111}$$

其中 V_{1-5} 是节点电压，$\dot V$ 是 V 的导数。同理，对电感器应用基尔霍夫电压定律，得到：

$$V_3(t)-V_4(t)-10^{-9}\dot i_L(t)=0\tag{4.112}$$

使节点电压与电压源电压相等：

$$V_1(t)=V\tag{4.113}$$

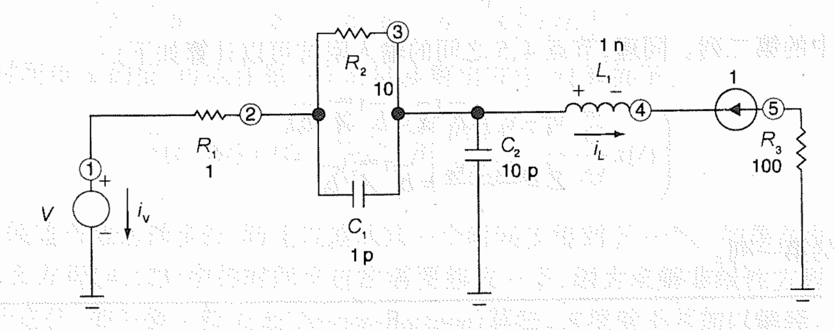


图 4.54　进行 MNA 的电路形式

对方程（4.111）～方程（4.113）应用拉普拉斯变换，可以将它们写成矩阵形式：

$$\left\{\begin{bmatrix}1&-1&0&0&0&0&1\\-1&1.1&-0.1&0&0&0&0\\0&-0.1&0.1&0&0&1&0\\0&0&0&0&0&-1&0\\0&0&0&0&0.01&0&0\\0&0&1&-1&0&0&0\\1&0&0&0&0&0&0\end{bmatrix}+s\begin{bmatrix}0&0&0&0&0&0&0\\0&10^{-12}&-10^{-12}&0&0&0&0\\0&-10^{-12}&11\times10^{-12}&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&-10^{-9}&0\\0&0&0&0&0&0&0\end{bmatrix}\right\}\begin{bmatrix}V_1\\V_2\\V_3\\V_4\\V_5\\i_L\\i_v\end{bmatrix}=\begin{bmatrix}0\\0\\0\\i\\-i\\0\\v\end{bmatrix}\tag{4.114}$$

得到矩阵方程：

$$\overline{\overline{A}}\,\overline{x}=\overline{\overline{B}}\begin{bmatrix}i\\v\end{bmatrix}\tag{4.115}$$

其中

$$\overline{\overline{A}}=\overline{\overline{G}}+s\overline{\overline{C}},\quad \overline{\overline{B}}=\begin{bmatrix}0&0\\0&0\\0&0\\1&0\\-1&0\\0&0\\0&1\end{bmatrix},\quad \overline{x}=\begin{bmatrix}V_1\\V_2\\V_3\\V_4\\V_5\\i_L\\i_v\end{bmatrix}\tag{4.116}$$

节点电压和电流可以从矩阵 $\overline{x}=\overline{\overline{A}}^{-1}\overline{\overline{B}}[i\quad v]^{T}$ 中获得。方程(4.114)表示的就是 MNA 方程。对任意电路，MNA 矩阵的大小等于节点、电压源和电感器个数之和。在图 4.54 中有 5 个节点、1 个电压源和 1 个电感器，所以得到方程(4.114)中的 7×7 阶矩阵。

这一表示形式非常有用，因为这样可以通过一系列的矩阵运算计算出 Y 参数和 Z 参数。例如，如果需要电压源处的输入导纳，那么可以经过如下计算得到：

$$\begin{aligned}i_v&=\overline{b_2}^{T}\overline{x}=\overline{b_2}^{T}\overline{\overline{A}}^{-1}\overline{b_2}v\\Y&=\frac{i_v}{v}=\overline{b_2}^{T}\overline{\overline{A}}^{-1}\overline{b_2}\end{aligned}\tag{4.117}$$

其中$\overline{b_2}$是 $\overline{\overline{B}}$ 中的第二列。同理，节点 4、5 之间的输入阻抗可以计算如下：

$$\begin{aligned}v_4-v_5&=\overline{b_1}^{T}\overline{x}=\overline{b_1}^{T}\overline{\overline{A}}^{-1}\overline{b_1}i\\Z&=\frac{v_4-v_5}{i}=\overline{b_1}^{T}\overline{\overline{A}}^{-1}\overline{b_1}\end{aligned}\tag{4.118}$$

其中$\overline{b_1}$是 $\overline{\overline{B}}$ 的第一列。

举例

对于图 4.54 中的例子，当 $f=1$ GHz 时，根据方程(4.117)计算出的导纳 Y 为 $-0.0279-$ j0.042，根据方程(4.118)计算出的阻抗 Z 为 107.05 + j1.01。

4.4.3 时域

考虑方程(4.115)，在时域中可以写成

$$\overline{\overline{A}}\overline{x}=\overline{\overline{B}}\begin{bmatrix}i\\v\end{bmatrix}\tag{4.119}$$

其中

$$\overline{\overline{A}}=\overline{\overline{G}}+\frac{\mathrm{d}}{\mathrm{d}t}\overline{\overline{C}}\tag{4.120}$$

x、i 和 v 是时间的函数。

利用有限差分法，方程(4.119)可以写成

$$\left(\overline{\overline{G}}+\frac{\overline{\overline{C}}}{\Delta t}\right)\overline{x}(t+\Delta t)=\overline{\overline{B}}\begin{bmatrix}i\\v\end{bmatrix}+\frac{\overline{\overline{C}}}{\Delta t}\overline{x}(t)\tag{4.121}$$

其中 Δt 是步长。同方程(4.114)，替换 $\overline{\overline{G}}$、$\overline{\overline{C}}$、$\overline{x}$ 和 $\overline{\overline{B}}$，待求矩阵变为

$$\left\{\begin{bmatrix}1&-1&0&0&0&0&1\\-1&1.1&-0.1&0&0&0&0\\0&-0.1&0.1&0&0&1&0\\0&0&0&0&0&-1&0\\0&0&0&0&0.01&0&0\\0&0&1&-1&0&0&0\\1&0&0&0&0&0&0\end{bmatrix}+\frac{1}{\Delta t}\begin{bmatrix}0&0&0&0&0&0&0\\0&10^{-12}&-10^{-12}&0&0&0&0\\0&-10^{-12}&11\times10^{-12}&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&-10^{-9}&0\\0&0&0&0&0&0&0\end{bmatrix}\right\}\begin{bmatrix}V_1(t+\Delta t)\\V_2(t+\Delta t)\\V_3(t+\Delta t)\\V_4(t+\Delta t)\\V_5(t+\Delta t)\\i_L(t+\Delta t)\\i_v(t+\Delta t)\end{bmatrix}=$$
$$\begin{bmatrix}0&0\\0&0\\0&0\\1&0\\-1&0\\0&0\\0&1\end{bmatrix}\begin{bmatrix}i(t+\Delta t)\\v(t+\Delta t)\end{bmatrix}+\frac{1}{\Delta t}\begin{bmatrix}0&0&0&0&0&0&0\\0&10^{-12}&-10^{-12}&0&0&0&0\\0&-10^{-12}&11\times10^{-12}&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&0&0\\0&0&0&0&0&-10^{-9}&0\\0&0&0&0&0&0&0\end{bmatrix}\begin{bmatrix}V_1(t)\\V_2(t)\\V_3(t)\\V_4(t)\\V_5(t)\\i_L(t)\\i_v(t)\end{bmatrix}\tag{4.122}$$

根据前一个时间步 x 的值，可以在每一个时间步解出方程，计算如下：

$$\overline{x}(t+\Delta t)=\left(\overline{\overline{G}}+\frac{\overline{\overline{C}}}{\Delta t}\right)^{-1}\left(\overline{\overline{B}}\begin{bmatrix}i(t+\Delta t)\\v(t+\Delta t)\end{bmatrix}+\frac{\overline{\overline{C}}}{\Delta t}\overline{x}(t)\right)\tag{4.123}$$

当然，必须适当地选择步长，防止误差从前一个时间步传到下一个。如果在电路中存在非线性元件，那么方程(4.123)中的时间推进法需要修改一下，因为求解非线性方程需要在每一个时间步进行迭代，如牛顿－拉夫逊(Newton-Raphson)算法，这里就不再加以解释。

4.4.4 含 *S* 参数的 MNA 公式

在这一节中，假设 MNA 所包括的 S 参数模块只有简单的电阻性端接。根据前面一节的推导，这一公式可以扩展到包括任意连接的电感器和电容器。

为更好地解释公式，考虑一个与电阻性网络连接的 2×2 的 S 参数模块，如图 4.55(a)所示。图中的 S 参数是来自于测量或电磁场求解程序的模型，它是有限带宽的。流过电压源 V_s 的电流是 i_{V_s}，节点的编号如图 4.55 所示。在节点 1、p_1 和 p_2 处应用基尔霍夫电流定律：

$$\begin{aligned}&\frac{V_1(t)-V_{p_1}(t)}{R_1}+i_{V_s}(t)=0\\&\frac{V_{p_1}(t)-V_1(t)}{R_1}+i_{p_1}(t)=0\\&\frac{V_{p_2}(t)}{R_2}+i_{p_2}(t)=0\end{aligned}\tag{4.124}$$

而且

$$V_1(t)=V_s(t)\tag{4.125}$$

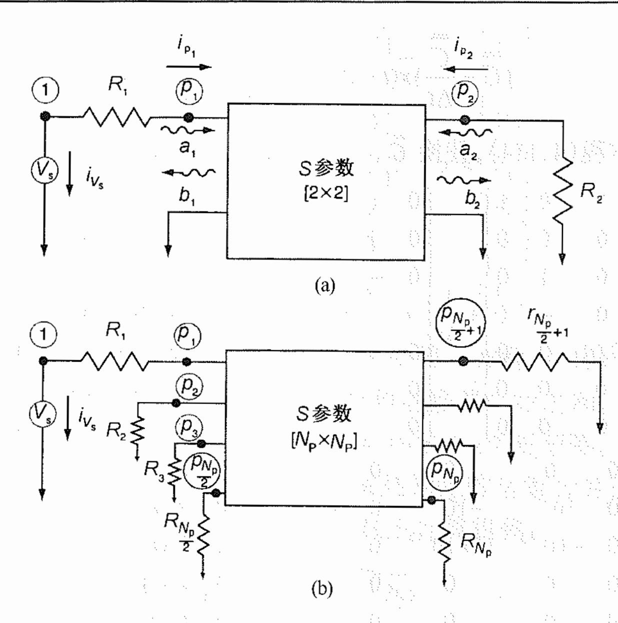


图 4.55　含有 S 参数模块的网络：(a) 两个端口；(b) N_p 个端口

对于 S 参数模块

$$
\begin{aligned}
i_{p_1}(t) &= Y_0(a_1(t)-b_1(t)) \\
i_{p_2}(t) &= Y_0(a_2(t)-b_2(t)) \\
V_{p_1}(t) &= a_1(t)+b_1(t) \\
V_{p_2}(t) &= a_2(t)+b_2(t)
\end{aligned}
\tag{4.126}
$$

其中 Y_0 是参考导纳，前向波与后向波通过下面的方程联系起来：

$$
\begin{aligned}
b_1(t) &= s_{11}(t)\otimes a_1(t)+s_{12}(t)\otimes a_2(t) \\
b_2(t) &= s_{21}(t)\otimes a_1(t)+s_{22}(t)\otimes a_2(t)
\end{aligned}
\tag{4.127}
$$

将方程(4.126)中的电流 $i_{p_1}(t)$和 $i_{p_2}(t)$代入方程(4.124)中得

$$
\begin{aligned}
&\frac{V_1(t)-V_{p_1}(t)}{R_1}+i_{V_s}(t)=0 \\
&\frac{V_{p_1}(t)-V_1(t)}{R_1}+Y_0(a_1(t)-b_1(t))=0 \\
&\frac{V_{p_2}(t)}{R_2}+Y_0(a_2(t)-b_2(t))=0
\end{aligned}
\tag{4.128}
$$

利用矩形积分法将方程(4.127)离散化，其第 n 次采样计算如下：

$$
\begin{aligned}
b_1[n]-s_{11}[0]a_1[n]\Delta t-s_{12}[0]a_2[n]\Delta t &= \sum_{m=0}^{n-1}s_{11}[n-m]a_1[m]\Delta t+\sum_{m=0}^{n-1}s_{12}[n-m]a_2[m]\Delta t \\
b_2[n]-s_{21}[0]a_1[n]\Delta t-s_{22}[0]a_2[n]\Delta t &= \sum_{m=0}^{n-1}s_{21}[n-m]a_1[m]\Delta t+\sum_{m=0}^{n-1}s_{22}[n-m]a_2[m]\Delta
\end{aligned}
\tag{4.129}
$$

进一步化简得

$$
\begin{aligned}
b_1[n]-s_{11}[0]a_1[n]\Delta t-s_{12}[0]a_2[n]\Delta t &= h_{11}+h_{12} \\
b_2[n]-s_{21}[0]a_1[n]\Delta t-s_{22}[0]a_2[n]\Delta t &= h_{21}+h_{22}
\end{aligned}
\tag{4.130}
$$

为从方程(4.125)、方程(4.128)和方程(4.130)中求解出未知的节点电压、电流及前向/后向波，矩阵方程建立如下：

$$
\begin{bmatrix}
\frac{1}{R_1} & \frac{-1}{R_1} & 0 & 1 & 0 & 0 & 0 & 0 \\
\frac{-1}{R_1} & \frac{1}{R_1} & 0 & 0 & Y_0 & -Y_0 & 0 & 0 \\
0 & 0 & \frac{1}{R_3} & 0 & 0 & 0 & Y_0 & -Y_0 \\
1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\
0 & 0 & 0 & 0 & -s_{11}[0]\Delta t & 1 & -s_{12}[0]\Delta t & 0 \\
0 & 0 & 0 & 0 & -s_{21}[0]\Delta t & 0 & -s_{22}[0]\Delta t & 1 \\
0 & 1 & 0 & 0 & -1 & -1 & 0 & 0 \\
0 & 0 & 1 & 0 & 0 & 0 & 1 & 1
\end{bmatrix}
\begin{bmatrix}
V_1 \\ V_{p_1} \\ V_{p_2} \\ i_{V_s} \\ a_1 \\ b_1 \\ a_2 \\ b_2
\end{bmatrix}
=
\begin{bmatrix}
0 \\ 0 \\ 0 \\ V_s \\ h_{11}+h_{12} \\ h_{21}+h_{22} \\ 0 \\ 0
\end{bmatrix}
\tag{4.131}
$$

在每一个时间步，通过对矩阵求逆计算未知电压、电流和前向/后向波。也可以通过将公式中的 S 参数转换成 Y 参数来改进该方法。利用高阶积分法可以计算方程(4.129)中的卷积。在这一公式中可以通过给 S_{12} 和 S_{21} 中时间小于时延的采样补零以实现传递函数的因果性，时延可以利用前面描述过的希尔伯特变换法提取出来。此外，方程(4.129)中的卷积也可以用快速卷积法来计算。

这一公式可以扩展成 $N_p\times N_p$ 的 S 参数模块，其端口为 $p_i(i=1$ 到 $N_p)$。如图 4.55(b)所示，将电源 $V_s(t)$(流过它的电流为 $i_{V_s}(t)$)通过一个电阻器连接到节点 1，每个端口都端接一个电阻器。在每一个时间步所要求解的方程为

$$
\begin{aligned}
&-\bar{\bar{s}}[0]\bar{a}[n]\Delta t+\bar{b}[n]=\sum_{m=0}^{n-1}\bar{\bar{s}}[n-m]\bar{a}[m]\Delta t \\
&\frac{V_1[n]-V_{p_1}[n]}{R_1}+i_{V_s}[n]=0 \\
&\frac{V_{p_1}[n]-V_1[n]}{R_1}+Y_0(a_1[n]-b_1[n]) \\
&\frac{V_{p_i}[n]}{R_i}+Y_0(a_i[n]-b_i[n])=0\Big|_{i=2,N_p} \\
&V_{p_i}[n]-a_i[n]-b_i[n]=0\Big|_{i=1,N_p} \\
&V_1[n]=V_s[n]
\end{aligned}
\tag{4.132}
$$

其中 $\bar{\bar{s}}$ 是一个 $N_p\times N_p$ 的矩阵，$\bar{a}$ 和 $\bar{b}$ 都是 $N_p\times 1$ 的向量。如果 $N_p=6$，则方程(4.132)将生成 20 个方程与 20 个未知数。这样，在每一个时间步都可以采用类似于方程(4.131)中矩阵求逆的方法求解。对于非线性电路，使用卷积的 S 参数公式不变，但是建立时域波形的方法需要修改。

举例

如图 4.56(a)所示，两条耦合的微带线以一个非理想的电源/地平面对为参考平面。为仿真开关驱动的输出，传输线的近端接有伪随机电压源作为激励。其中一条传输线上远端的输出电压利用 MNA 公式进行计算。两条信号线及电源/地平面对都是用 S 参数表征的，频带范围是 0~2.5 GHz。伪随机序列中的一个比特由一个上升沿和下降沿均为 0.5 ns、峰值为 0.4 ns、周期为 1.8 ns 的脉冲构成。在这个序列中，比特 0 代表 0 V，比特 1 代表 3.3 V。传输线远端的眼图如图 4.56(b)和图 4.56(c)所示，其中图 4.56(b)是没有实现传递函数因果性的眼图，图 4.56(c)是传递函数因果性得到实现后的眼图。从两图中可以看出，因果性实现前后眼图张开的电压分别是 2.416 V 和 2.559 V。

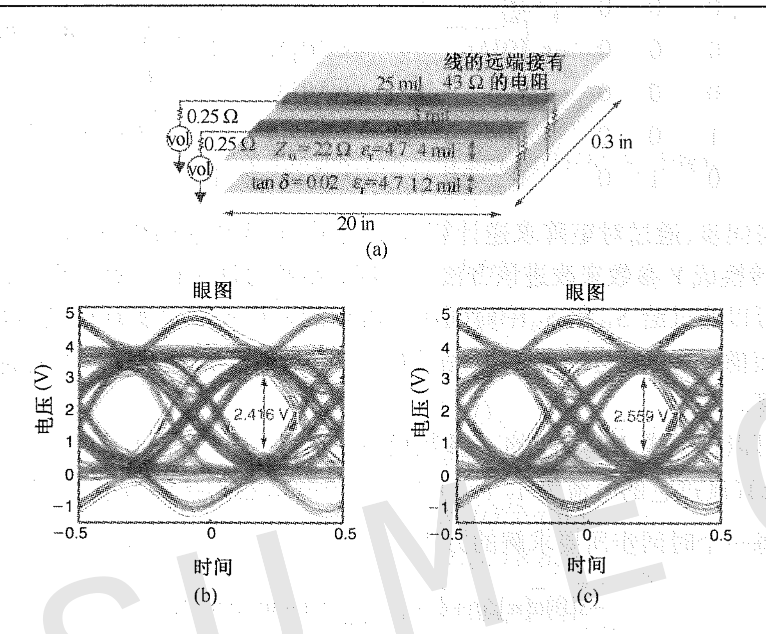


图 4.56 使用 MNA 的例子：(a) 结构；(b) 非因果眼图；(c) 因果性眼图

在这一节中，解的精度由数值卷积所决定。数值卷积又取决于时间步长 Δt，为了得到理想的结果，Δt 应该足够小以实现数值卷积中的数值积分法。在 S 参数中一个小的 Δt 意味着需要一个宽频带。因此如果只能得到有限带宽内的频率响应，则必须将数据进行外推，以得到一个足够宽的频带来保证实现数值积分的精度，或者频率响应在有限的频带内衰减到零。这个条件会导致数值计算的过程中出现问题。

传输线是这种情况下一个有趣的特例。考虑一个无损耗的传输线，其前向传递函数，$S_{12}(\omega)=\exp(-j\beta l)=\exp(-jt_p\omega)$（$S_{12}$以传输线的特性阻抗进行了归一化），其中 ω 是角频率，β 是传输常数，l 是线的长度，t_p 是传输时延。参数 S_{12}在频域中是周期为 $1/t_p$ 的谐波，在有限带宽内不会衰减到零或者达到一个稳定的状态。因此这需要知道直到无穷频率处的频率响应，致使时间步长为零。然而，对于传输线这类结构，使用较大的时间步长可以实现方程(4.132)中的公式，这意味着在频域中的有限带宽。

这里可以用传输线频率响应中的谐波性质来解释为什么可以用较大的时间步长。通过对频率响应进行离散傅里叶逆变换(IDFT)得到冲激响应的中心位于 t_p 处，即 $s_{21}(t)=\delta(t-t_p)$。当频率响应以频率周期 $f_0=1/t_p$ 进行振荡时，如果已知频率响应的最大频率是 f_0 的整数倍，就能够得到正确的冲激响应。因此，如果最大频率 $f_{\max}=f_0,2f_0,3f_0,\ldots$，而且 $\Delta t=1/2f_{\max}$，那么时域中的冲激响应总能被采样，而且输出波形的精度不受影响。

在有损耗传输线的情况下，必须确保 $f_{\max}$ 远大于 f_0，使得在利用方程(4.132)中的公式时能够获得高精度。随着传输线长度的增加，这一条件很容易就能满足。对于仅仅知道频率响应的传输线和电源平面结构，不需要利用有理函数对频率响应进行插值，方程(4.132)就能得到非常理想的结果。总之，由于 IDFT 的周期性，在使用卷积法的过程中，类似于传输线特性的周期性函数不会带来任何问题。

4.5 总结

如图 4.57 所示，时域波形可以通过有理函数、SFG 或者通过将频率响应直接代入到 MNA 方程中的方法从频率响应中获得。有理近似函数生成的 Spice 子电路可以整合到电路仿真器中。然后，利用电路仿真器获得时域波形。如果利用 SFG，可采用某种卷积方案直接从频率响应中获得时域波形。如果直接将频率响应整合到 MNA 方程中，则可以开发出一种依靠卷积的电路仿真器获取时域波形。

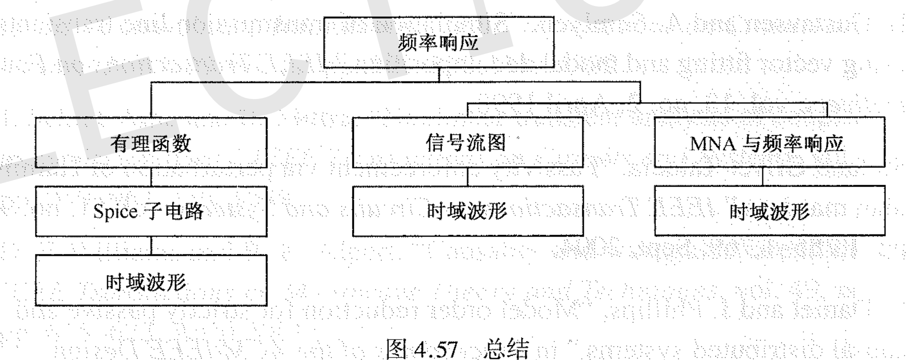


图 4.57 总结

本章中讨论的几种时域方法比较，如表 4.1 所示。有理函数可以用来逼近频率响应。利用 BEMP 或者哈密顿矩阵法可以检查有理函数的无源性。如果无源性被破坏，可以通过改变矩阵的留数或者极点来增强无源性。如果是一个公共极点系统，采用有理函数法的不足是基于极点个数对端口所做的逼近，其总端口数目是有限的。但是有理函数法有两个主要优点：卷积时间 $O(MN)$，以及可以将函数转换成 Spice 电路。在使用有理函数时，由于响应是有限带宽的，所以很难满足传递函数的因果性。使用有理函数法可以解决问题的类型是任意的，或者说它可以用于逼近任何频率响应。其中，集总网络的带宽有限，其频率响应更容易用有理函数逼近。

表 4.1 时域方法的比较

方法	端口	稳定性	无源性	传输函数的因果性	卷积	问题类型	鲁棒性
有理函数	受限制	是	是	不	$O(MN)$	任意	中等
信号流图	无限制	是	是	是	$O(N\log N)$	分布网络	中等
MNA + S 参数	无限制	是	是	是	$O(N\log N)$	分布网路	高

SFG 是获得时域波形的一种有趣的方法。通过适当的修改就可以在公式中包括时延。因为没有对频率响应进行插值,所以可处理的端口数是无限的。对于无源性,频率响应从最开始就假定是无源的。如果破坏了无源性,则 SFG 变得不稳定。SFG 对于分析具有明显时延的分布式网络很有用。利用快速卷积,SFG 可以达到 $O(N\log N)$的复杂度。SFG 的一个问题在于它所支持的端接,因此这种方法的鲁棒性属于中等。SFG 可以转换成 MNA(Spice)形式,以将信号和电源/地平面的 S 参数与网络其余部分相连接。与有理函数法相比,这一方法的优点在于端口数不受限制。然而,使用快速卷积所需的卷积时间增加到 $O(N\log N)$,而且需要特定的电路仿真器。由于时间步长的限制,这种方法对分布式网络比较有效,例如,有谐波频率响应的信号互连和 PDN。因为任何网络都可以与信号互连和电源平面相连接,这种方法的鲁棒性比较高。

参考文献

1. K. L. Choi and M. Swaminathan, "Development of model libraries for embedded passives using network synthesis," *IEEE Transactions on Circuits and Systems*, vol. 47, no. 4, pp. 249–260, April 2000.
2. B. Gustavsen and A. Semlyen, "Simulation of transmission line transients using vector fitting and modal decomposition," *IEEE Transactions on Power Delivery*, vol. 13, no. 2, April 1998.
3. Stefano Grivet-Talocia, "Passivity enforcement via perturbation of Hamiltonian matrices," *IEEE Transactions on Circuits and Systems*, vol. 51, no. 9, pp. 1,755–1,769, Sept. 2004.
4. L. Daniel and J. Phillips, "Model order reduction for strictly passive and causal distributed systems," in *Proceedings of the ACM/IEEE Design Automation Conference*, June 2002, pp. 46–51.
5. R. Achar, *Tutorial at the Electrical Design and Advanced Packaging of Systems (EDAPS) workshop*, Bangalore, India, Dec. 2005.
6. R. Achar, P. K. Gunupudi, M. Nakhla, and E. Chiprout, "Passive interconnect reduction algorithm for distributed/measured networks," *IEEE Transactions on Circuits and Systems II*, vol. 47, no. 4, pp. 287–301, April 2000.
7. Nanju Na, "Modeling and Simulation of Planes in Electronic Packages," Ph. D. Thesis, Georgia Institute of Technology, 2001.
8. S. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," *IEEE Transactions on Electromagnetic Compatibility*, pp. 1–15, 2004.

9. HSpice Manual.
10. R. Achar and M. Nakhla, "Simulation of high-speed interconnects," *Proceedings of the IEEE*, vol. 89, pp. 693–728, May 2001.
11. A. Lamecki and M. Mrozowski, "Passive Spice networks from non-passive data," *16th International Conference on Microwaves, Radar and Wireless Communication*, Mikon, 2006.
12. IdEM. http://www.emc.polito.it/software/IdEM/doc/idem_readme.htm.
13. A. Cangellaris and M. Celik, "Model order reduction and its application to high-speed interconnect and package modeling," *Short Course presented at the Topical Meeting on Electrical Performance of Electronic Packaging*, West Point, New York, Oct. 1998.
14. W. T. Beyene and J. E. Schutt-Aine, "Efficient transient simulation of high-speed interconnects characterized by sampled data," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, vol. 21, no. 1, Feb. 1998.
15. S. Lin and S. Kuh, "Transient simulation of lossy interconnects based on the recursive convolution formulation," *IEEE Transactions on Circuits and Systems I*, vol. 39, no. 11, pp. 879–892, Nov. 1992.
16. J. Schutt-Aine and R. Mittra, "Nonlinear transient analysis of coupled transmission lines," *IEEE Transactions on Circuits and Systems*, vol. 36, pp. 959–967, July 1989.
17. D. F. Williams and B. K. Alpert, "Causality and waveguide circuit theory," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 4, pp. 615–623, April 2001.
18. R. Mandrekar, K. Srinivasan, E. Engin, and M. Swaminathan, "Causality enforcement in transient co-simulation of signal and power delivery networks, IEEE Transactions on Advanced Packaging, Vol. 30, no. 2, pp. 270-278, May 2007.
19. A. Oppenheim and R. Schafer, *Discrete-time Signal Processing*, 2nd ed. Upper Saddle River, NJ: Prentice Hall, 1999.
20. S. Bagchi and S. K. Mitra, *The Non-Uniform Discrete Fourier Transform and Its Applications in Signal Processing*, Norwell, MA: Kluwer Academic Publishers, 1999.
21. S. Kapur, D. Long, and J. Roychowdhury, "Efficient time-domain simulation of frequency-dependent elements," *Proceedings of International Conference on Computer-Aided Design*, pp. 569–573, Nov. 1996.

22. K. Srinivasan, P. Muthana, R. Mandrekar, E. Engin, J. Choi, and M. Swaminathan, "Enhancement of signal integrity and power integrity with embedded capacitors in high-speed packages," *International Symposium on Quality Electronic Design*, 2006.

23. S. N. Lalgudi, K. Srinivasan, G. Casinovi, R. Mandrekar, E. Engin, M. Swaminathan, and Y. Kretchmer, "Causal transient simulation of systems characterized by frequency-domain data in a modified nodal analysis framework," *Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 123–126, Scottsdale, AZ, Oct. 2006.

第5章 应 用

5.1 引言

前面几章,我们介绍了电源分配结构的建模方法,本章将列举几个实例讨论这些方法的应用。每个实例都是精心挑选的,用于说明某一种特定的性能或方法学。在下面这些应用中,有几个是讨论高速产品中出现的一些典型问题;其他的几个则是讨论新的工艺技术。其中,前三个实例讨论高速芯片封装或 PCB 的信号及电源完整性分析。后三个实例讨论用于改善电源完整性的新材料技术和结构。

第一个实例取自 Sun Microsystems 公司,是一个支持高频微处理器工作的多层板。这个实例集中讨论简化建模方法以降低复杂性。第二个实例取自 Rambus,讨论对多层板和差分传输线的建模方法学。第三个实例是对芯片封装的建模。这里给出的实例之一是 IBM 的 HyperBGA(球栅阵列)封装,讨论封装中同时开关噪声(SSN)对抖动和信令电压的影响;另一个实例来自 Cisco(思科),讨论多层封装各层间的孔径耦合问题。

第四个实例是讨论一种用平行板波导结构提取介质材料特性的方法。材料的研发人员需要提取薄而高 *K* 材料的介电特性,而基于传输线的方法又不合适,那么这种方法将被证明是非常有效的。我们以三井-Oak(Oak Mitsui)的介质材料为例来讨论这种方法。第五个实例用于说明应用薄介电材料管控返回电流和电源/地噪声的重要性。我们对采用杜邦(DuPont)工艺嵌在封装中的分立电容器和嵌在电路板中的平面电容器都进行了讨论。最后一个实例是关于电磁带隙(EBG)结构的。该结构在模拟/RF 和数字功能集成方面具有潜在的应用前景,松下(Panasonic)已经将它应用到产品当中。实例中包含移动应用的前端模块和一个针对美国国家半导体(National Semiconductor)某模数变换器的负载板原型样板。此实例中,除了修正第 2 章中介绍的平面建模方法之外,我们对其结构也进行了讨论。

5.2 高速服务器

现代计算机系统中,为了适应不同的电源电压,芯片中的内核电路和 I/O 驱动电路的电源分配是分开的且彼此隔离。相对于 I/O,内核电源配送网络(PDN)噪声是很小的,因此必须同嘈杂的 I/O 电源分配相隔离。本节讨论对高速运行计算机系统的内核和 I/O PDN 中噪声的测量和建模,如图 5.1 所示[1]。内核电路的 PDN 包含两个 750 MHz 的微处理器、一个散热器、一对内核 V_{dd}/Gnd 平面、内核 V_{dd}/Gnd 平面间的 195 个去耦电容器。I/O 驱动电路包含 402 个驱动器、分布在 8 个层中的 402 条传输线、三对 I/O V_{dd}/Gnd 平面、I/O V_{dd}/Gnd 平面间的 178 个去耦电容器,该电路板的剖面如图 5.2 所示。在内核和 I/O 电源分配上噪声波形特征彼此不同。每个 PDN 的转移阻抗在频域中测量,而 PDN 上的噪声则在时域中测量。前几章中介绍的建模方法能对这些噪声波形进行建模。

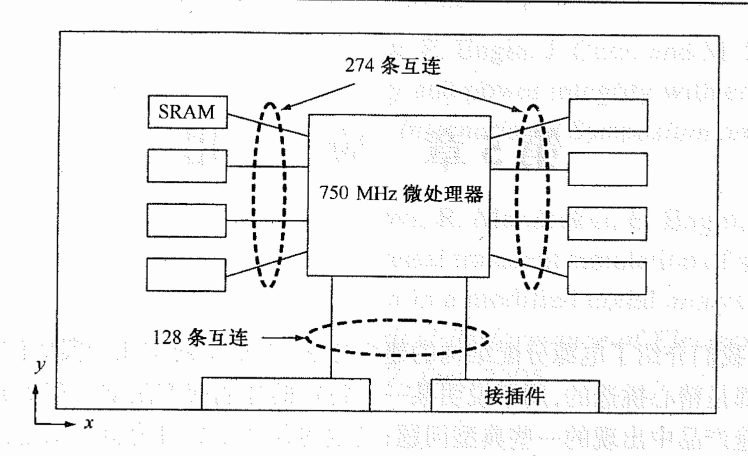


图 5.1 一个功能电路板的俯视图(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

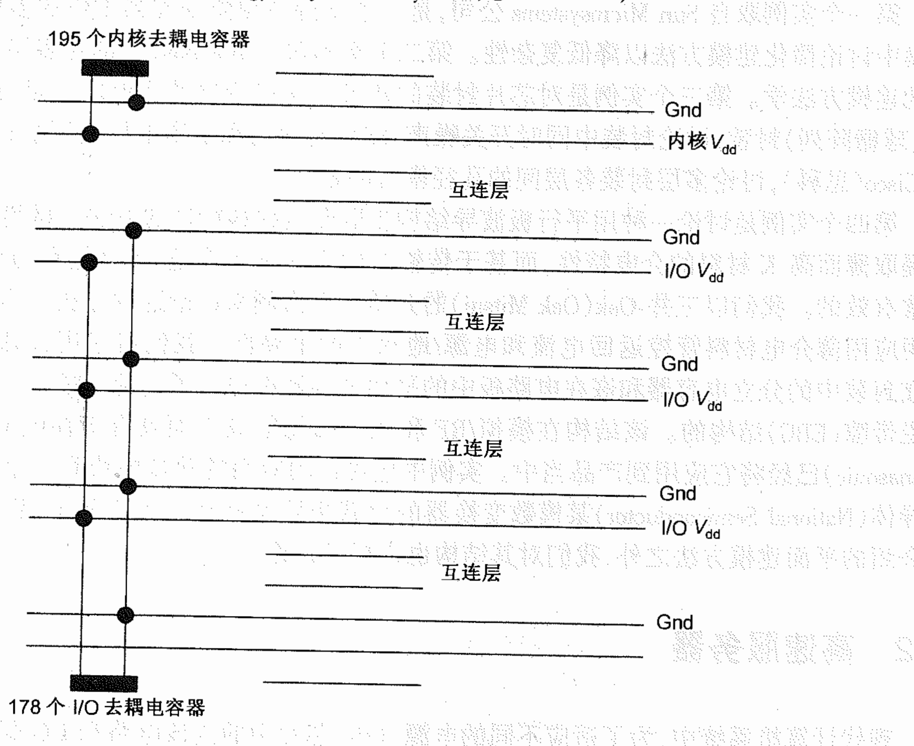


图 5.2 功能电路板的剖面图(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

本节将用于证明,前面几章所介绍的模型可应用于复杂系统。我们将把多层结构简化为以单一电源/地平面对为参考的互连,从而对开关噪声进行建模。

5.2.1 内核 PDN 噪声

内核 PDN 用于向 IC 中的有源电路提供清洁电源。在内核电源轨道上,任何超过电路噪声容限的电压波动都将导致系统故障。本节对内核 PDN 中的噪声波形表征加以探讨。内核 PDN 没有任何传输线,它只包含电源分配平面和过孔,从而确保来自 I/O 的噪声不会耦合到内核电源分配中。

5.2.1.1 测量

如第 1 章和参考文献[2]所述,对平面的阻抗测量可以通过矢量网络分析仪(VNA)实现。图 5.3 所示是探针的位置示意图。VNA 的最初校准是在没有被测器件时,通过在端口 1 和端口 2 之间焊接若干 50 Ω 同轴传输线来实现的。这一步是"馈通"校准所必需的,从而将参考电平设定在 0 dB 或接近 0 dB。两条同轴传输线并联的特性阻抗是 25 Ω,它是测量时的参考阻抗。然后,传输线被焊接到与 PCB 电源平面相连的过孔上。测量端口 1 到端口 2 的传输系数 S_{21}。转移阻抗 Z_{trans} 和 S_{21}(dB)的幅度可以根据下列关系相互求解:

$$\mathrm{dB}\{|S_{21}|\} = 20\log\frac{|Z_{trans}|}{25} \tag{5.1}$$

$$|Z_{trans}| = 25\times 10^{\frac{\mathrm{dB}\{|S_{21}|\}}{20}} \tag{5.2}$$

方程(5.2)是在第 1 章中推导出来的,它假设平面阻抗远小于 25 Ω,对于任何高速应用场合这都是满足的。

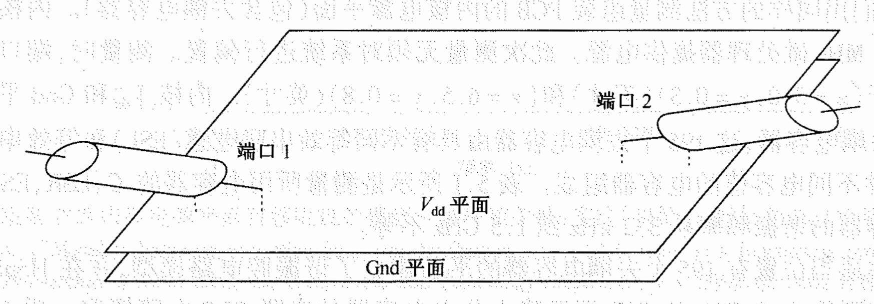


图 5.3 PCB 电源平面的测量(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

5.2.1.2 模型 – 硬件的相关性

第 2 章所介绍的谐振腔电路模型可用于对平面的建模。若给定了平面的尺寸,那么电路模型的模式为 $0\leqslant m\leqslant 11, 0\leqslant n\leqslant 4$。应用 HSpice[3] 电路仿真的实现过程为:在电源平面的一个位置注入 1 A 交流电流,在另一个位置测量电压,并且通过电压除以电流来得到转移阻抗。图 5.4给出了测量和仿真得到一对电源平面的转移阻抗,该平面尺寸为 9.44×4.13(英寸),间距为 2 mil,可作为图 5.2 中内核电路的电源。在电源平面上,端口 1 和端口 2 分别位于(x = 3.9, y = 3.0)(英寸)和(x = 5.6, y = 3.0)(英寸)。所用介质 FR-4 的介电常数为 5.05,耗散因子为 0.018。PCB 平面上没有其他元件;此次测量只涉及电源平面。

PCB 电源平面是两个导电材料的平行板,形成一个平行板电容器[4]。如图 5.4 中的测量所示,平面对在低频时为容性的,在高于 100 MHz 处发生谐振,如第 1 章中所述,该谐振频率与平行板的外形尺寸有关。所用的电路模型能准确地仿真低频时的电容和高频时的谐振腔。

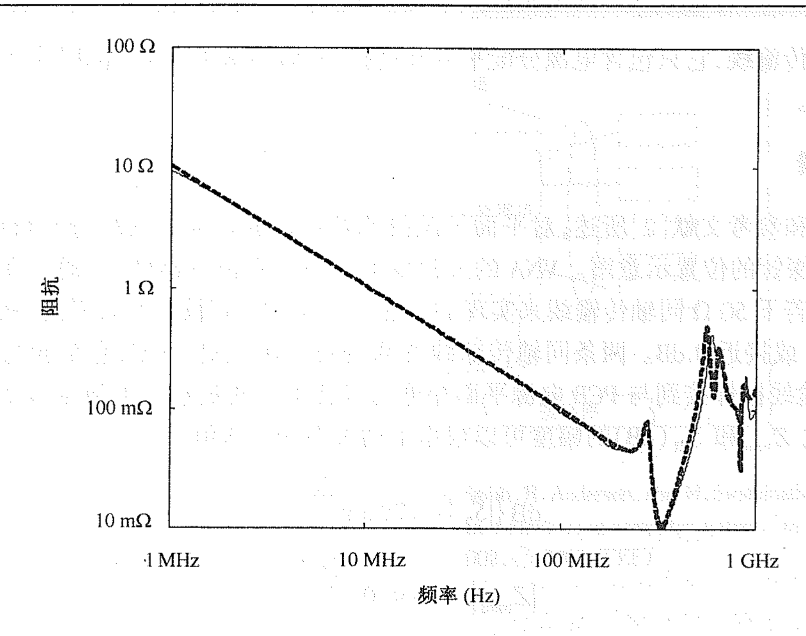


图 5.4 PCB 光板内核电源平面转移阻抗的模型 – 硬件相关性：实线(测量)虚线(仿真)

接着，我们用同样的方法测量组装 PCB 的内核电源平面(包含去耦电容器)。内核电源平面用于向 750 MHz 微处理器提供电源。此次测量无须对系统进行偏置。测量时，端口 1 和端口 2 分别位于($x=3.0, y=0.3$)(英寸)和($x=6.5, y=0.8$)(英寸)。内核 V_{dd} 和 Gnd 平面之间共有 195 个去耦电容器，这 195 个去耦电容器由具有不同等效串联电感(ESL)和等效串联电阻(ESR)的 24 种不同电容值的电容器组成。表 5.1 所示是测量所用电容器的 C、ESR、ESL 等值。这些去耦电容器的谐振频率从 332 kHz 到 1.5 GHz 不等。

我们对在适当位置有 195 个去耦电容器的平面建立了谐振腔电路模型，并在 HSpice 中仿真。表 5.1 中测量的 C、ESL 和 ESR 用于建立分立电容器的串联 RLC 电路模型。图 5.5 所示是测量和仿真获得的由电容器构成 PCB 内核电源平面的转移阻抗。

表 5.1 C、ESR、ESL 的测量值

	C	ESR(mΩ)	ESL(nH)		C	ESR(mΩ)	ESL(nH)
A	27 pF	850.0	0.4	M	8.2 nF	88.9	0.519
B	33 pF	700.0	0.4	N	19.8 nF	44.3	0.572
C	130 pF	373.4	0.458	O	41.1 nF	25.7	0.435
D	174.4 pF	313.1	0.509	P	83 nF	19.9	0.416
E	207.1 pF	243.1	0.468	Q	179 nF	15.9	0.548
F	304.7 pF	148.6	0.413	R	379 nF	14.1	0.543
G	511.4 pF	139.8	0.4	S	0.81 uF	9.8	0.485
H	595.8 pF	120.0	0.432	T	1.93 uF	6.7	0.686
I	1.0 nF	75.0	0.370	U	3.86 uF	4.8	0.703
J	2.2 nF	62.1	0.426	V	7.87 uF	5.5	0.876
K	2.9 nF	203.8	0.533	W	21.2 uF	2.7	1.628
L	4.2 nF	141.1	0.523	X	81.2 uF	2.4	2.834

如图 5.5 所示，与内核 V_{dd}/Gnd 平面并联的 195 个去耦电容器可使电源平面的转移阻抗在频率高达 350 MHz 时小于 10 mΩ。除了某些阻抗峰值(反谐振)，我们可以在所有频率上获得了很好

的模型 – 硬件相关性。这些峰值是由 195 个分立去耦电容器的电感和电容造成的。为了在阻抗峰值[5]更加匹配，我们需要分立去耦电容器的分布式电路模型。这些分布式模型表现为电容器的一种阶梯网络，因此支持电容器的频变特性。图 5.6 所示是这种电容器的物理结构和等效电路模型。安装在低 ESL 焊盘上时，这种模型尤其需要低 ESR 电容器。通过观察这种电容器典型的串联 RLC 模型，可以得到 PDN[5] 所有响应中的反谐振峰值的幅度和频率的偏差结果。

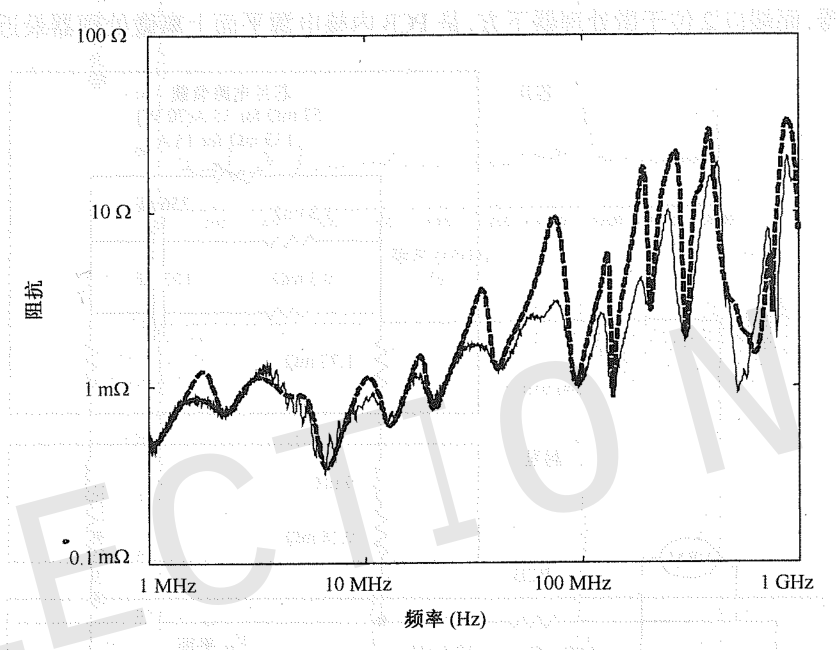


图 5.5 组装 PCB 内核电源平面转移阻抗的模型 – 硬件相关性：实线(测量)；虚线(仿真)(内容来自 S. Chun, et al., "Model to hardware correction for power distribution induced I/O noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May, 2002, © 2002 IEEE)

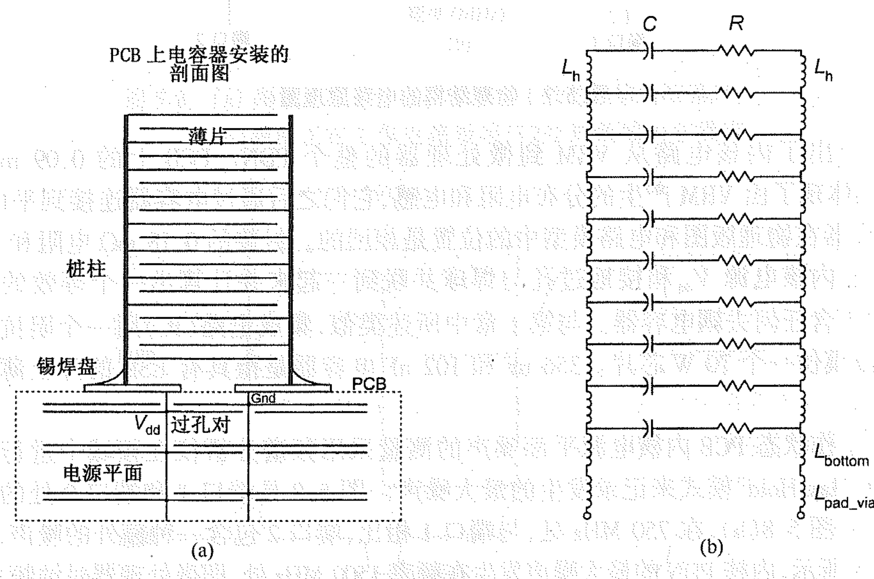


图 5.6 (a) 安装在 PCB 电源平面上分立电容器的剖面图；(b) 从物理结构提取出的 Spice 分布电路模型(内容来自 L. D. Smith and D. Hockanson, "Distributed SPICE circuit model for ceramic capacitors," in *Proceedings of 51st Electronic Components and Technology Conference*, pp. 523-528, Orlando, FL, 2001, © 2001 IEEE)

5.2.1.3 系统级测量

图5.7所示的是内核由稳压模块(VRM)供电时的系统原理图。750 MHz微处理器由1.8 V的内核 V_{dd}/Gnd平面供电(图5.2中上边的两个平面)。我们在微处理器上运行编译随机序列矩阵的软件,以确保微处理器不闲置。如图5.7中的原理图所示,对两个端口进行定义。端口1远离微处理器,而端口2位于微处理器下方,是PCB内核电源平面上离微处理器最近的地方。

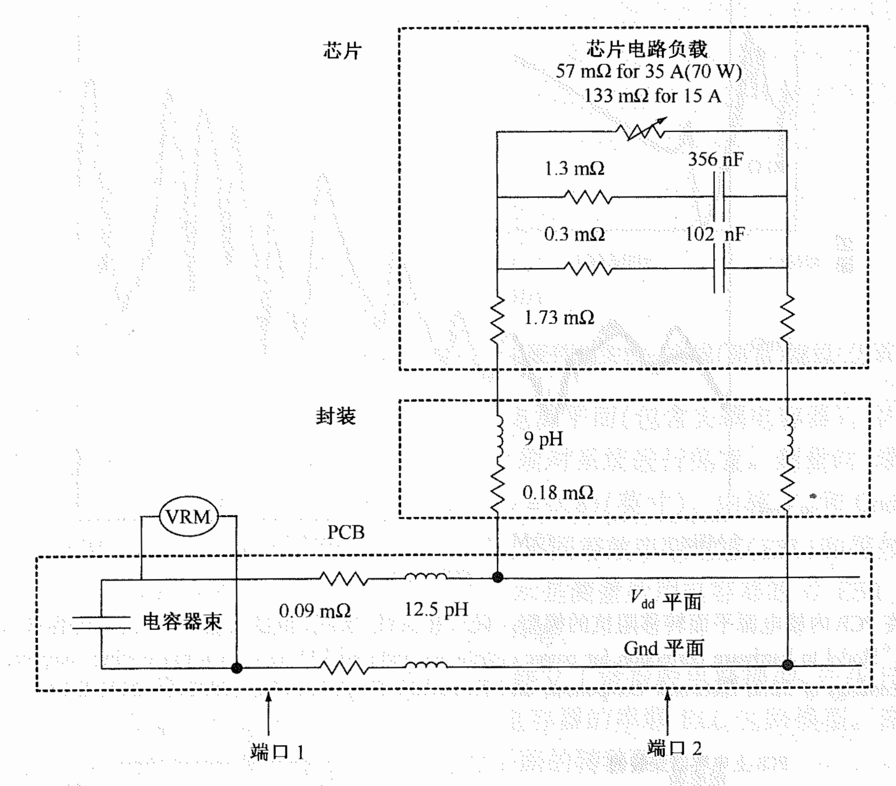


图5.7 物理结构的电路原理图

图5.7给出了内核电路从VRM到微处理器的整个PDN。PCB上的0.09 mΩ电阻和12.5 pH电感体现了由VRM产生的分布电阻和电感,它们之后通过电容器连接到平面模型(未标出)。电容器在物理版图和电路模型中的位置是相同的。封装的0.18 mΩ电阻和9 pH电感是通过把所有内核电源 V_{dd} 和接地过孔与焊球并联到一起来并计算出一个等效的电阻和电感。封装中不含任何去耦电容器。与第1章中所述类似,集成电路(IC)用一个阻抗可变的电流源实现,以模仿一个70 W芯片。356 nF和102 nF电容器是指具有ESR的片上薄膜电容器(没有电感)。

对处于工作状态PCB内核电源平面噪声的测量采用频谱分析仪在频域中进行。频谱分析仪设定为"Max Hold"模式来记录发生的最大噪声。图5.8是端口1和端口2处的结果。比较图5.8(a)和图5.8(b),在750 MHz处,与端口1相比,端口2包含一种额外的噪声成分。

如图5.8所示,内核PDN的最大噪声发生在频率1500 MHz处,即微处理器时钟频率的两倍。如图5.9所示,对于750 MHz时钟,上升沿和下降沿都会发生电流变化,这种变化是由微处理器拖动的。因此,如图5.8所示,瞬态电流中1500 MHz的周期变化将引入内核PDN上的最大噪声。

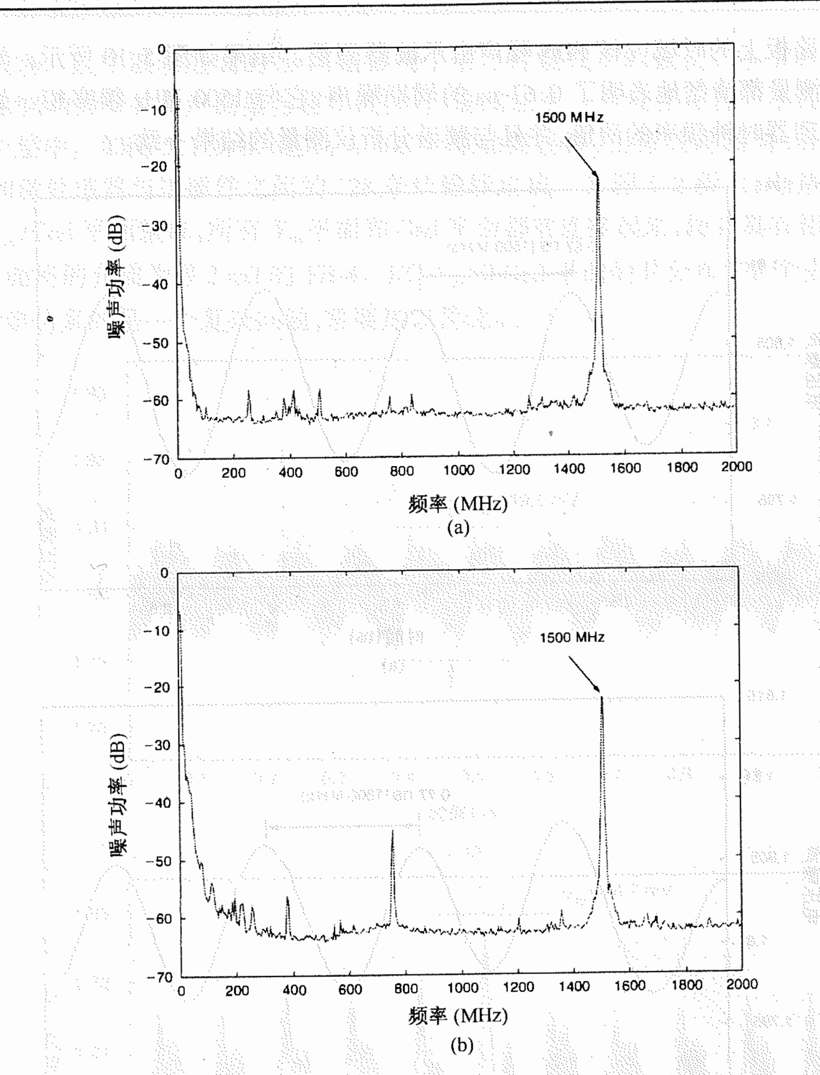


图5.8 (a) 测量正在工作电路板端口1处的频域内核噪声;(b)测量正在工作电路板端口2处的频域内核噪声

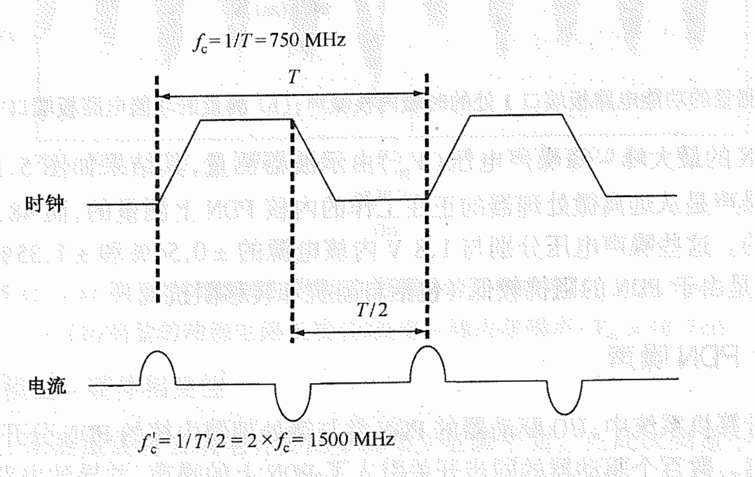


图5.9 微处理器以750 MHz时钟工作时的电流变化

工作中电路板上的时域内核 PDN 噪声由示波器测量。结果如图 5.10 所示。端口 1 和端口 2 处的时域测量都清楚地表明了 0.67 ns 的周期噪声,它与 1500 MHz 频率相一致。这个结果表现为微处理器时钟频率的两倍,并且与频谱分析仪测量的结果一致。

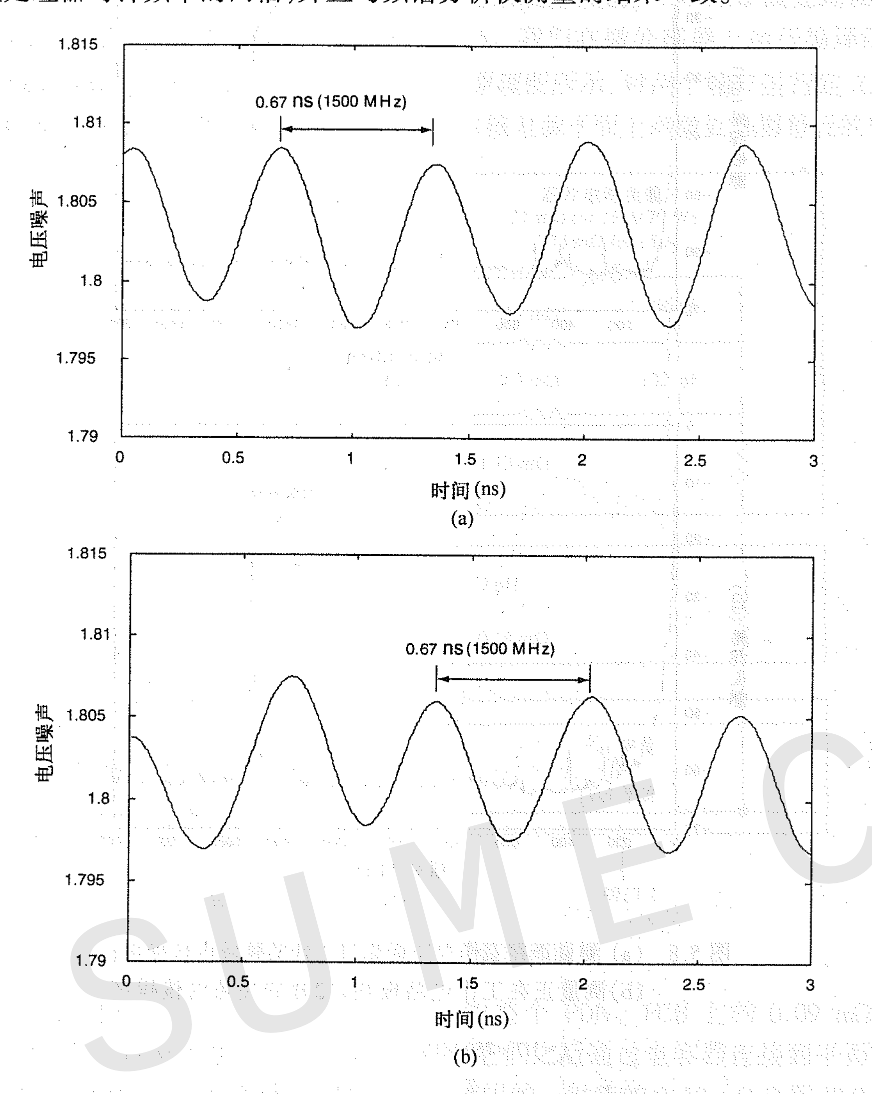


图 5.10 (a) 测量的功能电路板端口 1 处的时域内核噪声;(b) 测量的功能电路板端口 2 处的时域内核噪声

内核 PDN 的最大峰 - 峰噪声电压(V_{pp})由示波器测量,其结果如图 5.11 所示。19.5 mV 最大峰 - 峰噪声是从远离微处理器的正在工作的内核 PDN 上测量的,而 48.7 mV 是从微处理器下方测量的。这些噪声电压分别与 1.8 V 内核电源的 ±0.54% 和 ±1.35% 相符。出现较小的噪声电压,是由于 PDN 的阻抗较低(包括自阻抗和转移阻抗)。

5.2.2 I/O PDN 噪声

在高速计算机系统中,I/O 驱动器的 PDN 常与微处理器内核的 PDN 分开,从而确保这两个 PDN 彼此隔离。数百个驱动器的同步开关引入了 PDN 上的噪声,并导致电路的电源供电轨道上的电压波动。这个波动造成的 SI 问题影响了信号传输线上的数据。本节将介绍与传输线相连的输出驱动器开关噪声测量与建模,这些传输线位于一个包含有若干平面的多层功能电路板的 8 个层中。如图 5.1 所示,它们与 402 个驱动器连接,由微处理器与 SRAM 之间的 274 条传输线和微处理器与接插件之间的 128 条传输线组成。如图 5.2 所示,电路板的剖面图由三对 I/O V_{dd}/Gnd 平面组成;所有 V_{dd}平面和 Gnd 平面都被连接起来,使其具有相同的 DC 电平。I/O 电源平面间的介质为厚 2 mil 的 FR-4。I/O V_{dd}和 Gnd 平面间共分布 178 个去耦电容器。很明显,这时要仿真的是一个复杂问题,需要加以简化。

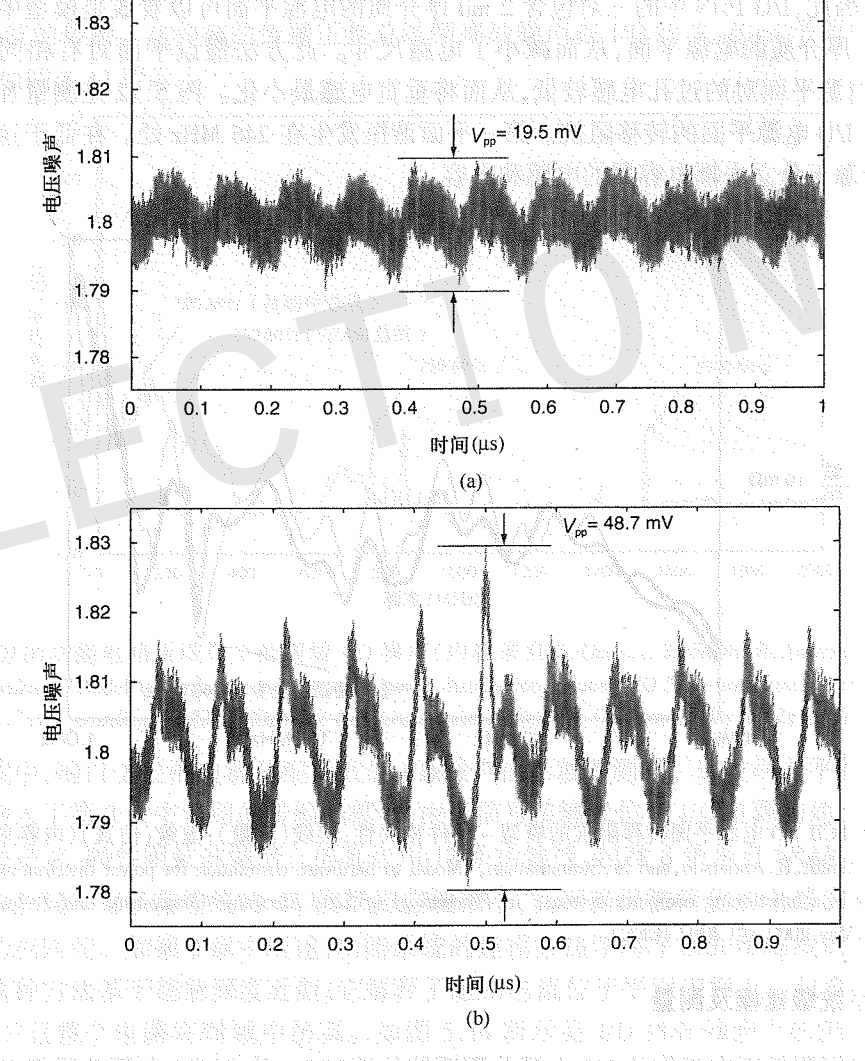


图 5.11 (a) 测量的功能电路板端口 1 处峰 - 峰内核噪声:V_{pp} = 19.5 mV;(b)测量的功能电路板端口2处峰 - 峰内核噪声:V_{pp} = 48.7mV

5.2.2.1 平面的模型 - 硬件相关性

我们采用 VNA 来测量装有去耦电容器的 PCB I/O 电源平面。在此次测量中,端口 1 和端口 2 的位置分别为(x = 4.1, y = 0.3)(英寸)和(x = 5.3, y = 3.9)(英寸)。我们对在相应位置装

有 178 个去耦电容器的平面建立谐振腔电路模型，并在 HSpice 中进行仿真。假设有足够多的过孔连接这些平面，保持相连接平面有相同的电位，我们就可以建立一个等效的单一平面对模型，而不用对三个电源平面对进行仿真。因此，n 个平行电源平面对的等效厚度可计算为[6]

$$t_{\text{equivalent}} = \frac{1}{\frac{1}{t_1}+\frac{1}{t_2}+\cdots+\frac{1}{t_n}} \tag{5.3}$$

其中 $t_1, t_2, \cdots, t_n$ 为各平面对的介质厚度。方程(5.3)可由彼此相连接的平面对中的并联电容推导出来。因此，I/O PDN 中的三对包含 2 mil 厚介质的电源平面可以看成是模型中的一对包含 0.667 mil 厚介质的电源平面，从而减小了电路尺寸。此方法假设平面对有相同的介电常数，且并联电源平面对的过孔电感较低，从而将垂直电感最小化。图 5.12 是测量和仿真得到的组装 PCB I/O 电源平面的转移阻抗。第一平面谐振发生在 246 MHz 处。在低于这个频率处发生的谐振源于分立去耦电容器的电感和电容。

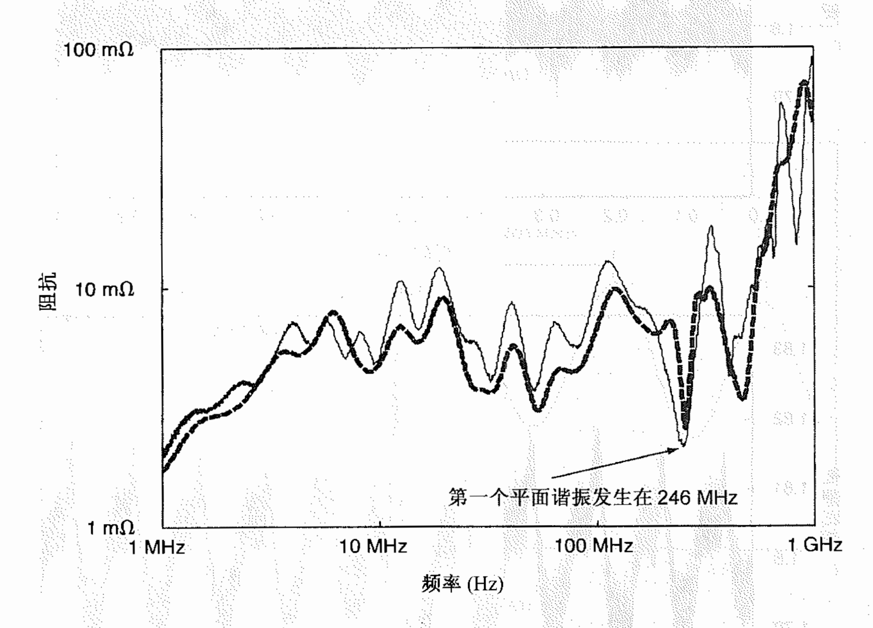


图 5.12 组装 PCB I/O 电源平面转移阻抗的模型－硬件相关性：实线(测量)；虚线(仿真)(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

5.2.2.2 系统级建模及测量

现在，我们测量正在工作的 I/O 电源分配系统的端口 2。片上 402 个驱动器都以 1.5 V I/O V_{dd}/Gnd 平面为电源。在这些驱动中，274 个用于驱动总线频率为 250 MHz 传输线，这些传输线位于微处理器和 SRAM 之间。而剩下的 128 个与总线频率为 125 MHz 传输线连接，这些传输线位于微处理器和接插件之间。以上传输线都位于 I/O 电源与地平面之间。由频谱分析仪测量正在工作的 PCB I/O 电源平面上产生的最大噪声，如图 5.13 所示。

如图 5.13 所示，在 750 MHz 处存在噪声峰值，与微处理器时钟频率相一致；或者在 1500 MHz 处，与微处理器时钟频率的两倍相一致。然而，最大噪声出现在 125 MHz 和 250 MHz 处，它们分别为接插件总线和 SRAM 总线的总线频率。I/O 电源分配上产生的噪声源于这些平面上的返回电流。

在高速条件下，返回电流在一个非常邻近信号传输线的参考平面上流动，以使输出和返回电流路径间的总回路面积最小化。像三明治一样夹在 I/O 的 V_{dd} 与 Gnd 平面间的传输线，以电源和地平面为参考来传输信号。如第 3 章所述，这些传输线的参考平面并不是完美的，它们会反弹。这是因为传输线返回的电流累积并向平面间的平行板电容充电，从而导致在 V_{dd} 与 Gnd 平面[7][8]间波的传播。这种波的传播正是总线频率处噪声在 I/O 的 V_{dd}/Gnd 平面中占主导地位的原因，如图 5.13 所示。

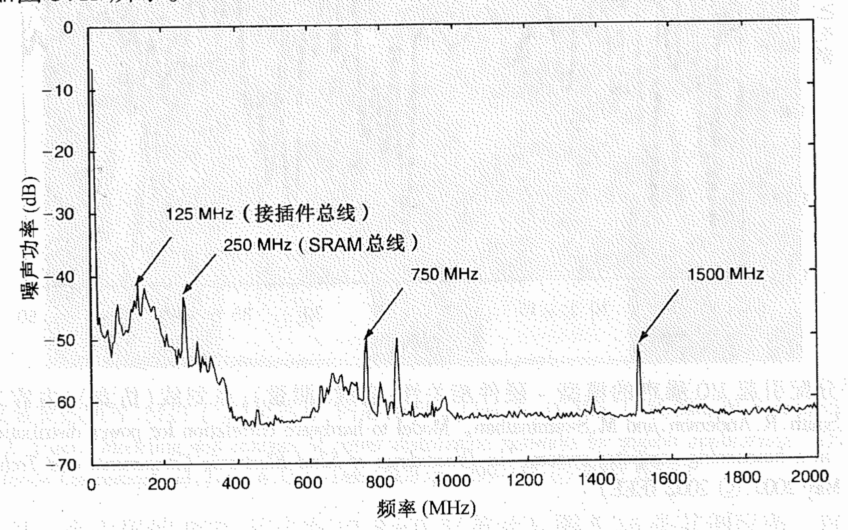


图 5.13 测量的功能电路板端口 2 处频域 I/O 噪声(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

在时域中，端口 2 处的电源分配导致的 I/O 噪声由示波器测量。通过两条平行传输线，我们构建和纳入了第 3 章中介绍的传输线模型，由于信号传输线位于 I/O 电源与地平面之间，每条传输线都是 Z_0 特性阻抗的两倍。仿真选用 12 条传输线，包括 8 条来自 SRAM 总线和 4 条来自接插件总线。每条传输线的 Z_0 值都相应地减小，从而确保被简化的电路的瞬态电流和原始电路的相匹配。如第 3 章中所述，功能系统的建模方法学将平面和传输线的电路模型叠加起来。这种方法基于趋肤深度近似，它解释了返回电流位于平面表面上。包含了驱动器和电源模型，并且整个电路在时域中仿真。如图 5.14 所示是 I/O PDN 噪声[1]的测量和仿真结果。图 5.14 应用了第 3 章中介绍的时变电阻器的驱动器模型。开关以开关频率打开和关闭。这些模型足以模仿本例中的驱动器。

如前所述，参考平面上返回电流的中断被用做平面之间的垂直电流源。如图 5.14 所示，由这些电流源激发的辐射电磁波将导致 V_{dd}/Gnd 平面反弹，从而引入 I/O V_{dd}/Gnd 平面上的电压波动。通过简化了的电路模型，这些影响已被很好地获取，该模型由连接到一个单一平面对的传输线构成。

在这个系统中，40 mV 最大峰－峰噪声电压 V_{pp} 是在 402 个驱动器开关同时切换时测量的。在图 5.14 中，4 ns 周期噪声源于 250 MHz 传输信号的 SRAM 总线，而 8 ns 周期噪声源于 125 MHz 传输信号的接插件总线。考虑到测量是在运行的计算机系统(而不是一个实验测试装置)中进行的，仿真结果显示出很好的模型－硬件相关性。

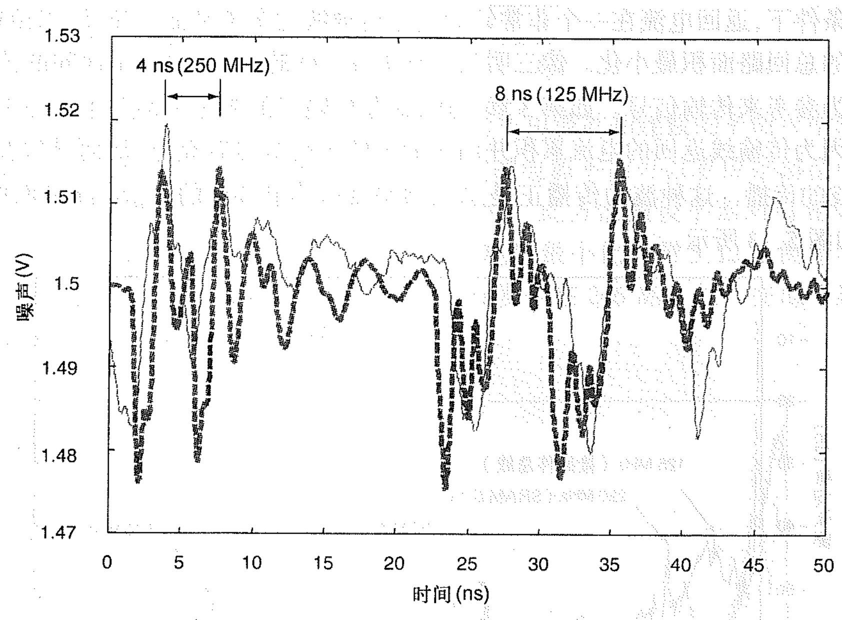


图 5.14 电源分配引起 I/O 噪声的模型－硬件相关性：实线(测量)；点划线(仿真)(内容来自 S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, "Model to hardware correlation for power distribution induced I/O Noise in a functioning computer system," in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002, © 2002 IEEE)

5.2.3 小结

本节讨论了正在工作中的 750 MHz 微处理器电源分配系统的测量。对于内核 PDN，两倍时钟频率处的噪声在频域和时域中都是主导噪声。内核和 I/O PDN 的转移阻抗都是用平面的谐振腔模型进行仿真的。仿真结果与测量结果呈现出很好的一致性。对于 I/O PDN，在频域和时域中的测量都表明 I/O 开关噪声是由 I/O V_{dd}/Gnd 平面上流过的返回电流造成的。通过应用前几章中介绍的方法，我们在时域对功能型系统的 I/O 开关噪声进行了建模，该噪声由返回电流造成。建模结果与测量结果显示出很好的一致性，展示了对第 2 章和第 3 章中所讨论方法学的应用。其中，采用驱动器、传输线和 PDN 的简化模型，实现对复杂和真实系统的建模。

5.3 高速差分信令

差分信号通常对电源/地噪声不敏感，因为两条信号线上的电流均衡化，并以相反的方向流动。然而，在实际应用中，差分线的长度并不是完美地匹配的，在信号路径中存在突变，使得在驱动器中产生不均衡，并且可以耦合到电源及地平面。在这种情况下，伴随着差分信号，共模信号会产生电源及地噪声。差分线和 PDN 间的耦合是本节的重点，应用第 2 章中所介绍的传输矩阵法(TMM)，对 Rambus 的测试装置进行建模。应用第 4 章中所介绍的有理函数逼近，将平面的频率响应转换为一个 Spice 模型。应用第 3 章中所介绍的模态分解法，差分信号线被连接到平面模型，从而对 SSN 进行仿真。

5.3.1 测试装置说明

测试装置由发射器和接收器芯片组成，这些芯片键合到 PCB 一个塑封球栅阵列(PBGA)封装上。通过焊球或插座直接将 PBGA 封装在电路板上。测试装置如图 5.15 所示[9]。

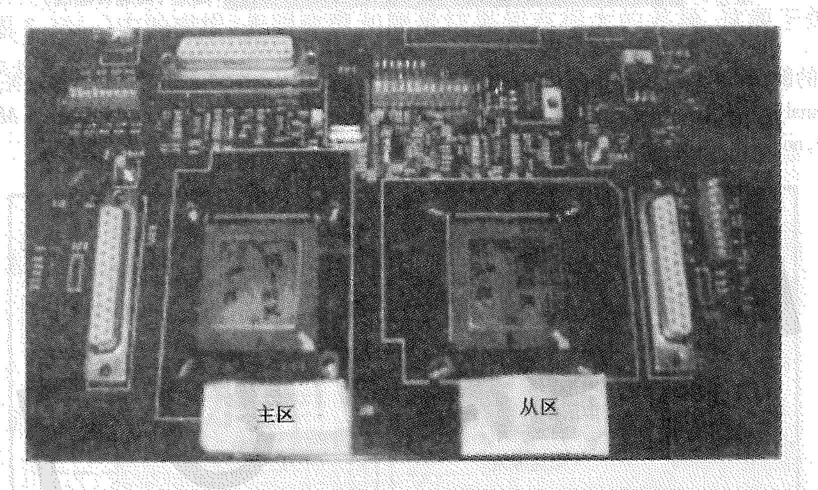


图 5.15 测试装置的照片，标出了主/从芯片(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE)

电路板是一个六层的 PCB，尺寸为 12.8 × 9.5(英寸)，图 5.16 是其剖面图。PCB 由两个电压平面、两个地平面和两个信号层组成。第 3 层是一个电压平面，为电路板的外围元器件提供 5 V 电压。它还有两个 1.2 V 形状不规则的电源岛，分为主从两部分，分别为电路板上的发射器和接收器芯片提供电压，如图 5.17 所示。第 4 层是一个 1.2 V 的分裂平面，它为主从部分服务，而且包含的一个 3.3 V 位于中心的小岛，为时钟产生芯片提供电压，如图 5.17 所示。分裂平面用于监控各个子系统的电源。两个分裂平面通过一条跳线连接起来。第 2 层和第 5 层是连续地平面。第 1 层和第 6 层分别是低速和高速互连的信号层。低速信号传输线是单端的，而且它们的特性阻抗设计为 50 Ω，其线条宽为 7 mil、间距为 18 mil。而高速信号网络是差分的，它的线条宽为 6 mil、间距 11.5 mil。差分线条的设计是为了产生一个 100 Ω 的差分阻抗。电路板上有 3 个磁珠。所有的磁珠都被连接到顶层，与稳压器相邻。每个电源应用一个磁珠(即 1.2 V、3.3 V 和 5 V)。它的作用是把电源平面从任何电源噪声中隔离出来。例如，将磁珠置于第 1 层的一个 1.2 V 外围电源上，从而保证供给两个岛的 1.2 V 电源很纯净且没有任何由其他源引入的电源噪声。接着，1.2 V 电压通过过孔被分裂为第 3 层中的主从电源[10]。PCB 的介质材料为 FR-4，其相对介电常数 $\epsilon_r = 4.5$，1 GHz 处介电损耗正切 $\tan\delta = 0.02$，导体为铜，其电导 $\sigma_c = 5.8 \times 10^7$ S/m。第 1 层和第 6 层铜的厚度是 0.7 mil，其他层铜的厚度是 1.4 mil。

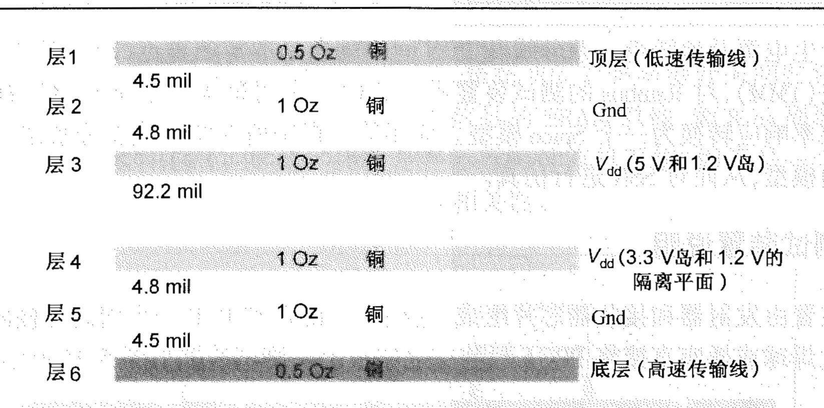


图 5.16 PCB 的剖面图(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313, © 2003 IEEE)

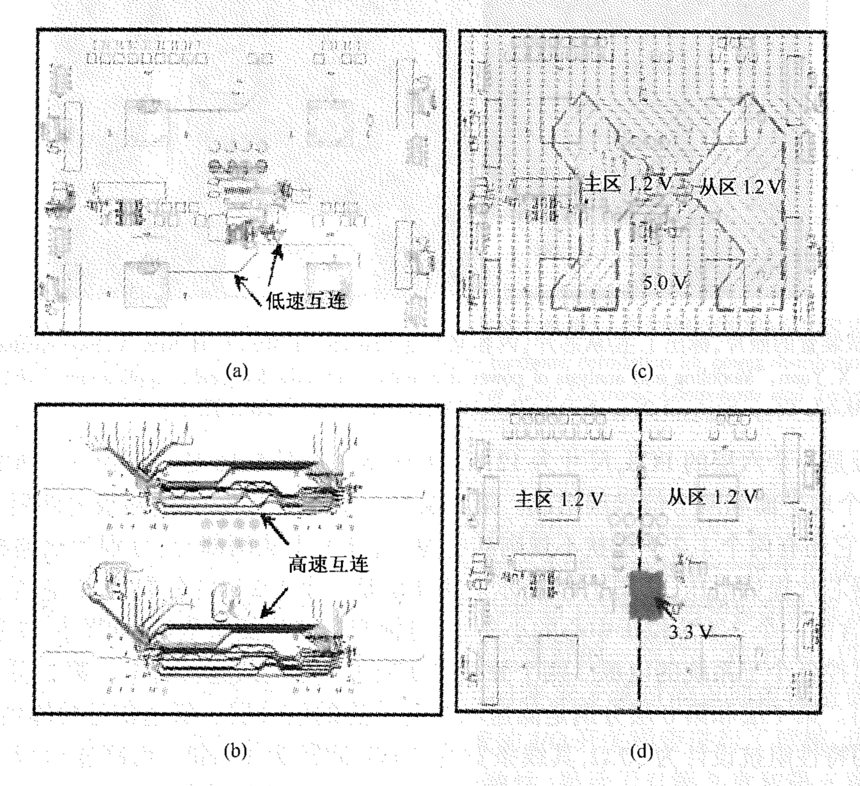


图 5.17 PCB 的电源及信号平面层:(a) 第 1 层:低速信号传输线的信号层;(b) 第 6 层:高速信号传输线的信号层;(c) 第 3 层:电源层(5 V 和 1.2 V 主从岛);(d) 第 4 层:电源层(1.2 V 分裂平面及 3.3 V 岛)(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313, © 2003 IEEE)

5.3.2 平面建模

第 2 章中介绍的 TMM 用于对平面建模。为了保证 TMM 的精度,我们分析了由第 4 层和第 5 层组成平面对的频率响应。第 4 层的物理版图如图 5.18 所示,它由中间附近的两个分隔

平面组成。在测试装置中,第 4 层和第 5 层与去耦电容器相连,这些电容器可以焊上也可以移走。因此,无论有无去耦电容器,平面对的频率响应都可测量。在任何情况下,频率响应的测量位置都为主区上的 C238(x = 2712.5 mil, y = 5687.5 mil)和 C217(x = 2712.5 mil, y = 687.5 mil),如图 5.18 所示。这些位置表示了去耦电容器的位置,即探测电源/地平面时焊盘的位置。TMM 用于计算端口 C238 和 C217 处的自阻抗,以及它们之间的转移阻抗。这些平面被近似为矩形平面。为了证明 TMM 的精度,我们采用 VNA 进行不同的测量。在 10 MHz ~ 6 GHz 范围内,电路板光板(不含去耦电容器)的模型 – 硬件相关性结果如图 5.19 所示。转移阻抗 Z_{12}(图 5.19(b)中的虚线)表现出很好的模型 – 硬件相关性。然而,自阻抗 Z_{11}(图 5.19(a)中的虚线)和 Z_{22}(图 5.19(c)中的虚线)表明建模和测量结果间有很大的差异,这源于焊盘的电感和电阻,而初始模型并不包含这种电感和电阻。

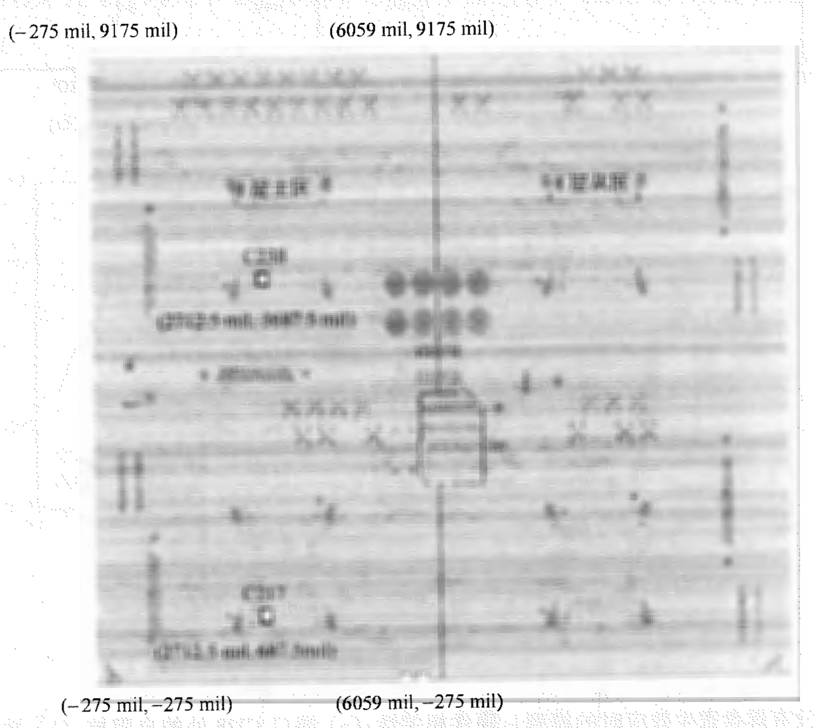


图 5.18 第 4 层上 C217 和 C238 的位置(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313, © 2003 IEEE)

焊盘电感和电阻对电源/地平面频率响应的重要性可由图 5.20 说明。图中,平面对的频率响应可表示成一个黑盒子。输入和输出端口的电阻和电感源于与电源/地平面串联的焊盘。因此,在图 5.20 中,测量电压和电流间的关系可写为

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} + R_1 + \mathrm{j}\omega L_1 & Z_{12} \\ Z_{21} & Z_{22} + R_2 + \mathrm{j}\omega L_2 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \tag{5.4}$$

方程(5.4)中,焊盘寄生效应仅影响电源/地平面的自阻抗,并不影响转移阻抗。因此,必须注意到:自阻抗很敏感,需要精确校准;因此转移阻抗的测量更加可靠。由于 TMM 基于电路公式表述,焊盘寄生效应可以轻而易举地添加到模型中。添加后,在 10 MHz ~ 6 GHz 之间,将端口

C238 和 C217 处的自阻抗（Z_{11} 和 Z_{22}，实线）及它们之间的转移阻抗（Z_{12}，实线）的建模与测量结果（虚线）在图 5.19 中进行比较。结果表明，建模与测量结果间有很好的相关性。

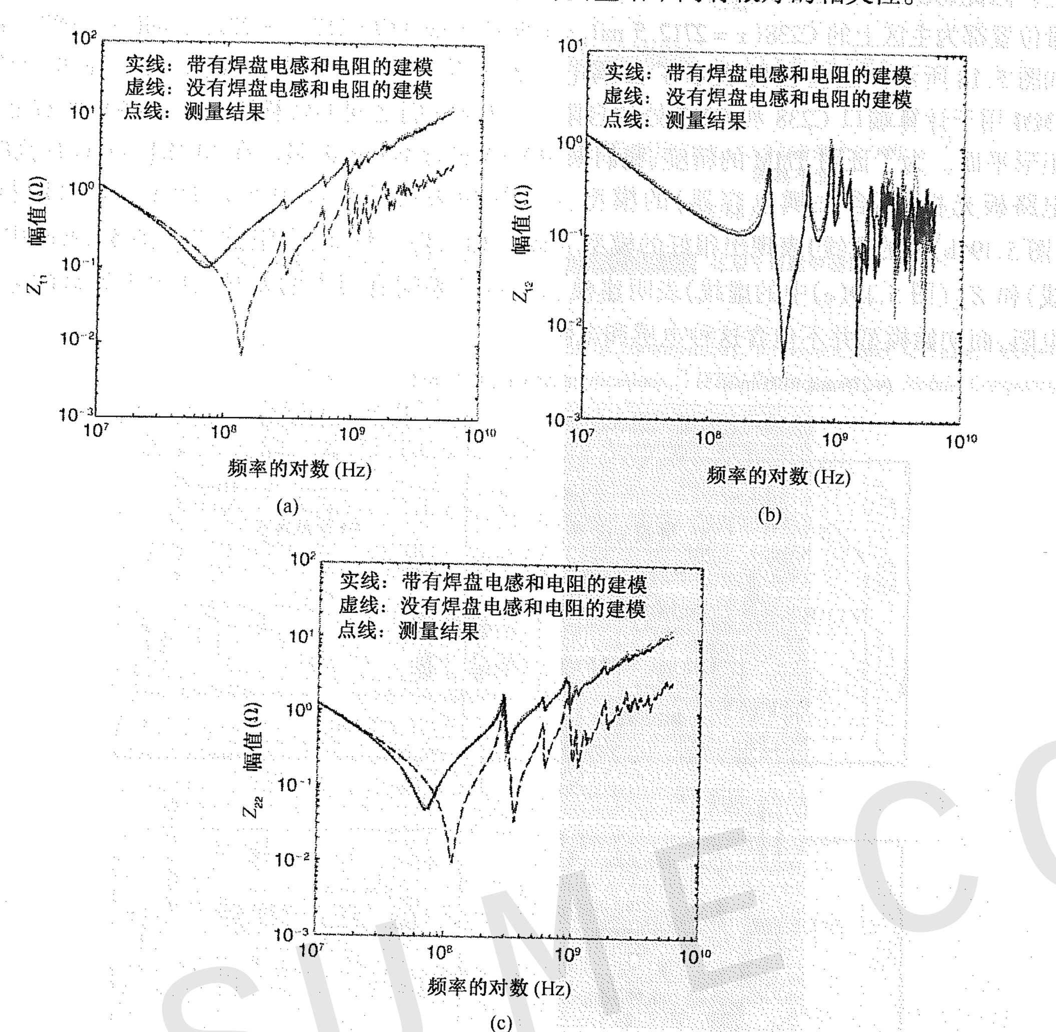


图 5.19 有与没有焊盘寄生效应时的模型－硬件相关性：(a) 端口 C238 处的自阻抗；(b) 端口 C238 和端口 C217 间的转移阻抗；(c) 端口 C217 处的自阻抗（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

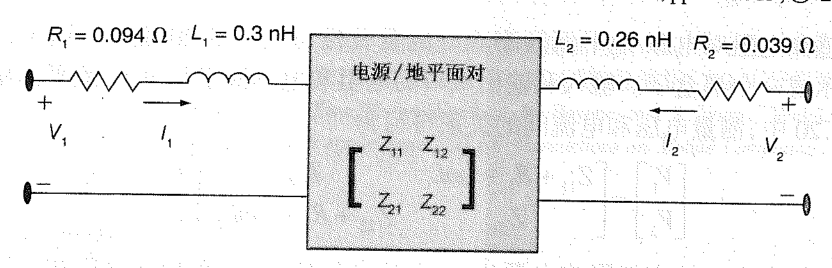


图 5.20 电源/地平面修正后的等效网络（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

接着，我们研究去耦电容器对转移阻抗的影响。在电路板的不同位置上放置 100 nF 去耦电容器。ESL 和 ESR 分别为 0.55 nH 和 0.02 Ω。包含去耦电容器时的模型－硬件相关性如图 5.21 所示。第一谐振频率和转移阻抗的幅度受到了影响。该现象可用图 5.22 中的原理图来解释，它将电容器表示为连接到电源平面和地平面之间的一个串联 RLC 电路。图中标出了平面间的静态电容 12.5 nF。对于一个单一的去耦电容器，自谐振频率（SRF）为

$$\mathrm{SRF} = \frac{1}{2\pi\sqrt{L_{\mathrm{total}}C_{\mathrm{cap}}}} \approx 16.57\ \mathrm{MHz} \tag{5.5}$$

其中，L_{total} = 0.923 nH = L_{cap}（去耦电容器的 ESL）+ L_{pad}（与去耦电容器相连接焊盘的电感），C_{cap}（去耦电容器的电容）= 100 nF。SRF 处的阻抗幅度代表了去耦电容器的 ESR。如果电源与地层间的电容很小，并且 C_{cap} 远大于 C_{plane}，其中 C_{plane}（平面电容）= 12.5 nF，反谐振或平行谐振频率（PRF）近似为

$$\mathrm{PRF} = \frac{1}{2\pi\sqrt{L_{\mathrm{total}}C_{\mathrm{plane}}}} \approx 46.86\ \mathrm{MHz} \tag{5.6}$$

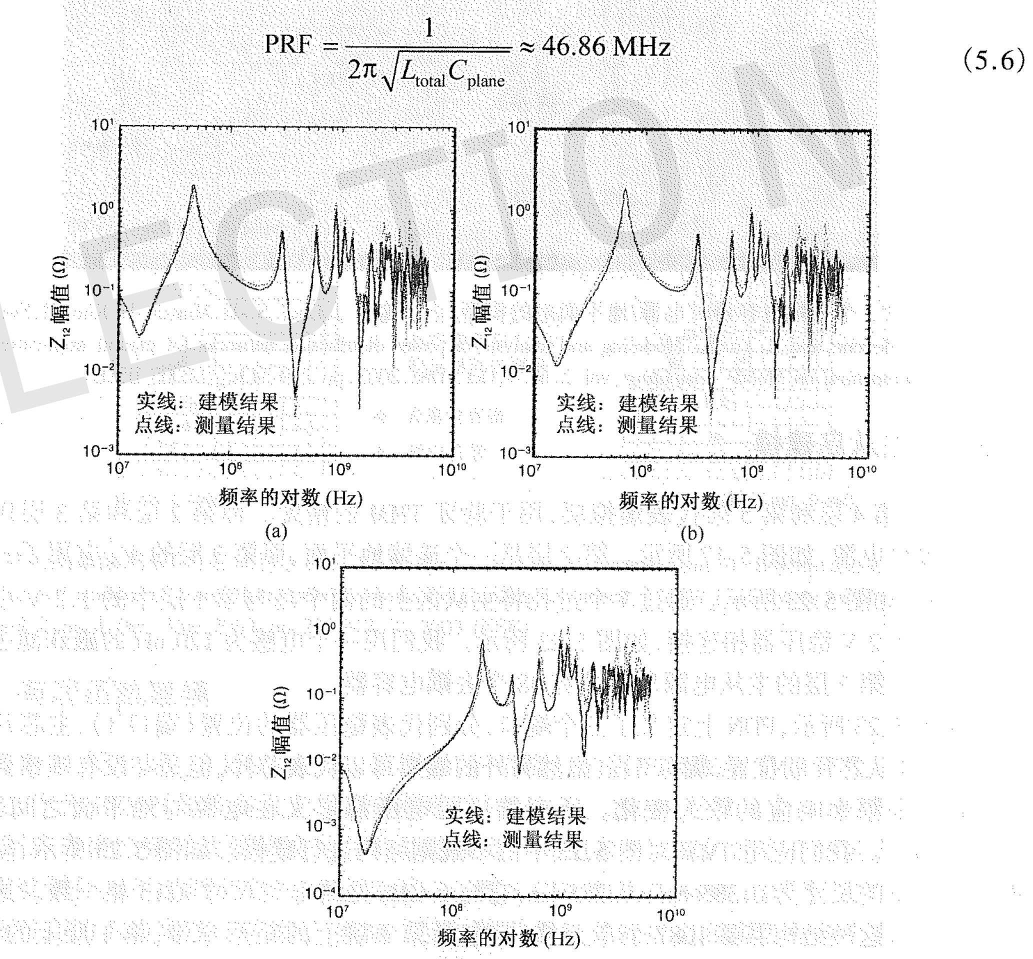


图 5.21 PCB 第 4 层和第 5 层中端口 C238 和端口 C217 间转移阻抗的模型－硬件相关性：(a) 包含 1 个去耦电容器时，端口 C238 和端口 C217 之间的转移阻抗；(b) 包含两个去耦电容器时的转移阻抗；(c) 包含 18 个去耦电容器时的转移阻抗（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

在图 5.21(a)中,增加一个去耦电容器导致第一谐振发生在 16.57 MHz 处,而第一反谐振发生在 46.86 MHz 处。图 5.21(b)给出了接有两个去耦电容器时转移阻抗的幅度。这时,第一谐振位置不变,而第一峰值移到一个更高的频率处,这是因为电容加倍而电感减半,使 SRF 不变 PRF 增大。图 5.21(a)和图 5.21(b)都显示出较好的模型-硬件相关性。在图 5.21(c)中,18 个去耦电容器被添加到 PCB 上,而且结果仍旧显示出好的模型-硬件相关性,证明了在高频处对电源/地平面建模时 TMM 的精度。由图 5.21 可知,这 18 个去耦电容器的添加导致高达 100 MHz 处的阻抗很低。频率响应的峰值由驻波或谐振产生,这是我们不希望发生的[11]。必须注意到图 5.19 和图 5.21 是负载电路板的测量结果,它们包含很多不理想的因素。

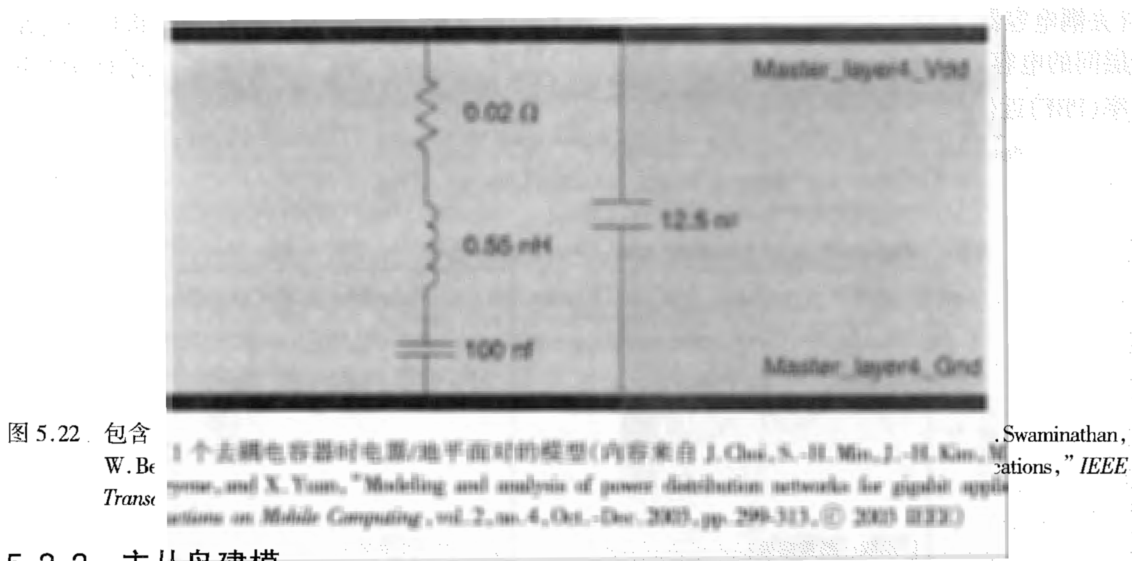


图 5.22 包含 1 个去耦电容器时电源/地平面对的模型(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec. 2003, pp.299-313, © 2003 IEEE)

5.3.3 主从岛建模

这里,第 4 层和第 5 层代表虚拟层,用于验证 TMM 的精度。而第 2 层和第 3 层用于为主从芯片提供电源,如图 5.17 所示。第 2 层是一个连续地平面,而第 3 层的 V_{dd}应用了一个分裂平面结构,如图 5.23 所示。通过 7 个过孔将主从区上的两个岛与第 1 层中的 1.2 V 小型窄带电源岛和 1.2 V 稳压器相连接,如图 5.23 所示。我们用一个电感为 120 nH 的磁珠滤去所有的电源噪声。第 3 层的主从电源岛上共有 48 个去耦电容器。

如图 5.23 所示,PDN 上定义了三个端口,分别代表稳压器的位置(端口 1)、主芯片的位置(端口 2)和从芯片的位置(端口 3)。虽然另外的端口可以代表芯片,但是并没有观察到由另外的端口带来频率响应的较大变化。所有端口的电压都定义在电源与地平面之间,坐标如图 5.23所示。我们应用 TMM 对图 5.23 中的不规则结构进行建模。如图 5.23 所示,所用矩形网格单元格的尺寸为 0.385 cm × 0.385 cm,它与 6 GHz 处的电气尺寸 λ/13 相一致。这个尺寸决定了逼近这种结构需要 1087 个单元格,它包括第 1 层上的矩形窄带,第 1 层上的稳压器,第 2 层上的连续地平面,以及第 3 层中的分裂平面,如图 5.23 所示。连接第 1 层和第 3 层的 7 个过孔表现为短路,用于加强这些部分电流和电压的连续性,应用 TMM 进行建模。TMM 用于计算3 × 3阻抗矩阵,该矩阵给出了三个端口位置的自阻抗和转移阻抗。在 10 MHz ~ 6 GHz 范围内,第 3 层中主从区的转移阻抗穿越主从分裂区进行仿真。并且对主从区的自阻抗进行计算。如图 5.24(a)所示,主从区中的自阻抗仍然基本相同。稳压器感受到的自阻抗(Z_{11})比

Z_{22}和 Z_{33}大,这是因为第 1 层中由一个窄带为开关电路提供电荷。这个窄带具有较小的电容、较大的电感,因而具有较大的阻抗。在图 5.24(b)中,主从分裂区之间的转移阻抗表明低频处的耦合较小,这是因为应用了分离的岛为主从区提供电源。然而,在高频处即使这些区是分离的,也能观察到主从区之间较大的耦合,这是因为稳压器的窄带通过过孔来保持两个岛具有相同的电位,从而导致两岛间通过窄带的导电耦合。这种耦合在平面谐振时获得放大。

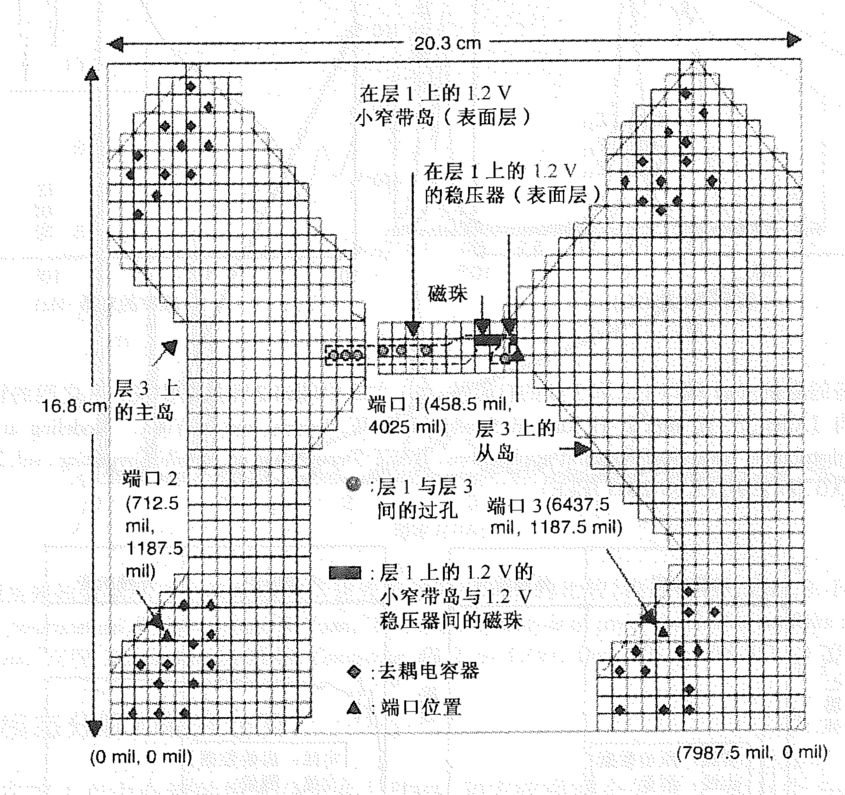


图 5.23 对主从岛的建模(内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313, © 2003 IEEE)

5.3.4 有理函数建模

如图 5.24 所示,在 10 kHz ~ 6 GHz 范围内,三个端口的阻抗参数由 TMM 产生,并且转换为导纳参数,作为 BEMP(宽带高效宏模型建模程序)的输入。BEMP 是第 4 章中介绍的一种软件程序,将制成表格的频域数据转换为一个电路模型。应用参考文献[12]中介绍的启发式方法,频率响应被划分为不规则子带,这是因为从 DC 到 6 GHz 和从 7.4498×10^9 到 227.6 导纳参数的幅度有很高的不均衡性。应用了 BEMP 之后,提取的复共轭极点和实极点的个数分别为 150 和 4。公共极点用于表示 3 × 3 阻抗矩阵。图 5.25 是 Y_{22} 和 Y_{23}的宏模型与输入 Y 参数的比较。由图可知,超过 6 GHz 时,宏模型的外推表现出趋于零的均匀衰减特性。建立宏模型时,通过确保没有任何极点在 6 GHz 以上,明确强制 BEMP 中的这种特性。结果表明输入数据与带宽为 6 GHz 的宏模型有很好的一致性。

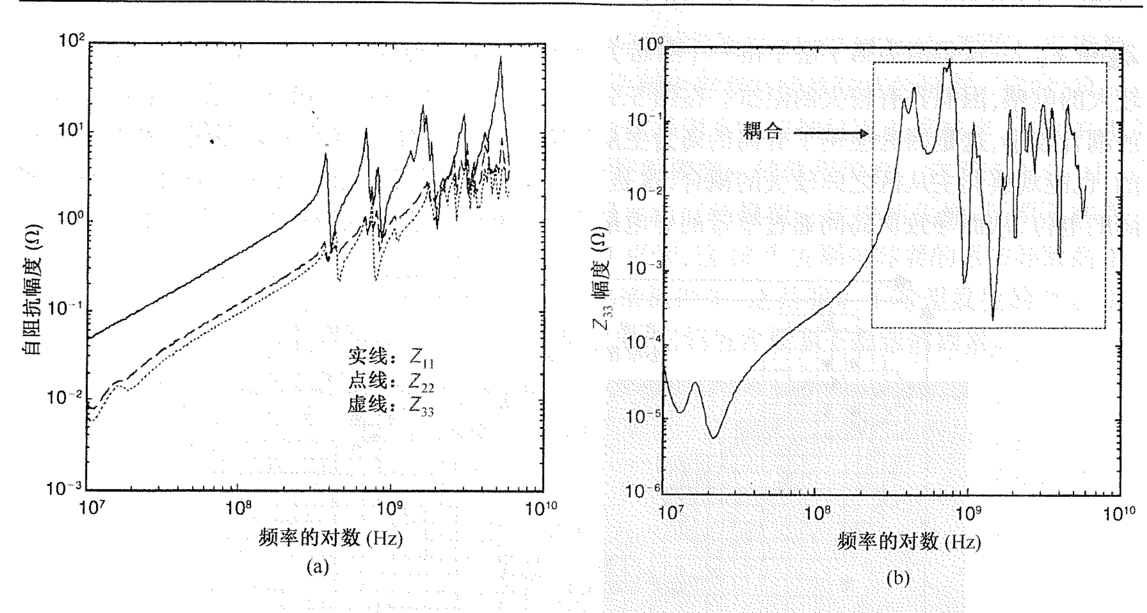


图 5.24 主从岛的阻抗：(a) 端口 1、2 和 3 处的自阻抗；(b) 主岛中端口 2 和从岛中端口 3 之间的转移阻抗（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

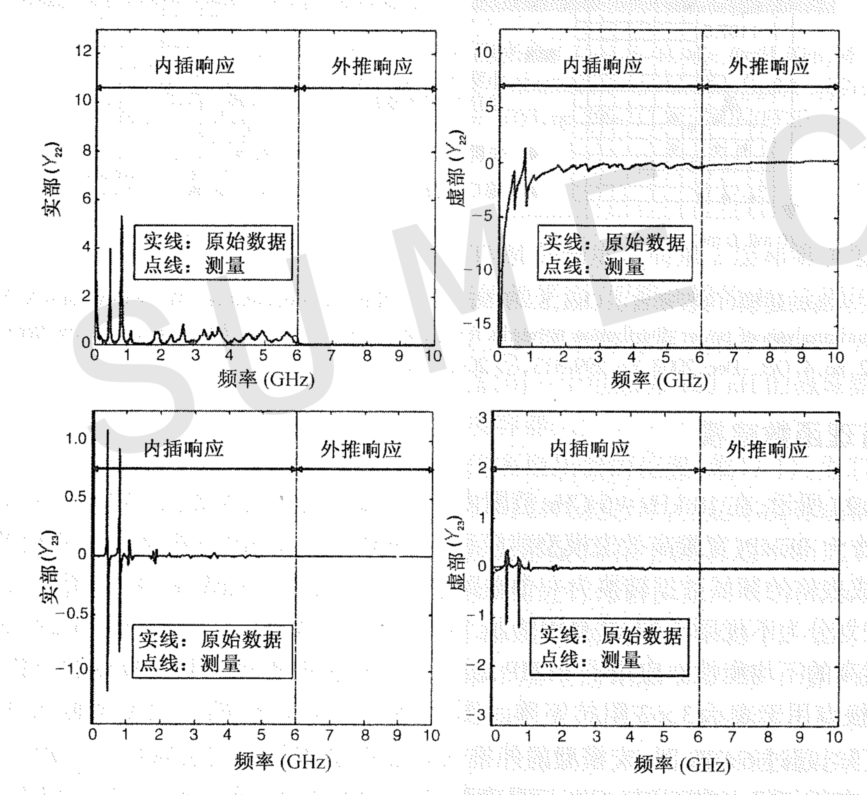


图 5.25 输入 Y 参数与宏模型的比较（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

如第 4 章中所述，通过修正特征值，强迫建立宏模型为无源性。如图 5.26 所示，频率函数的特征值，与由原始数据得到的特征值相比，显现出较高的精度。

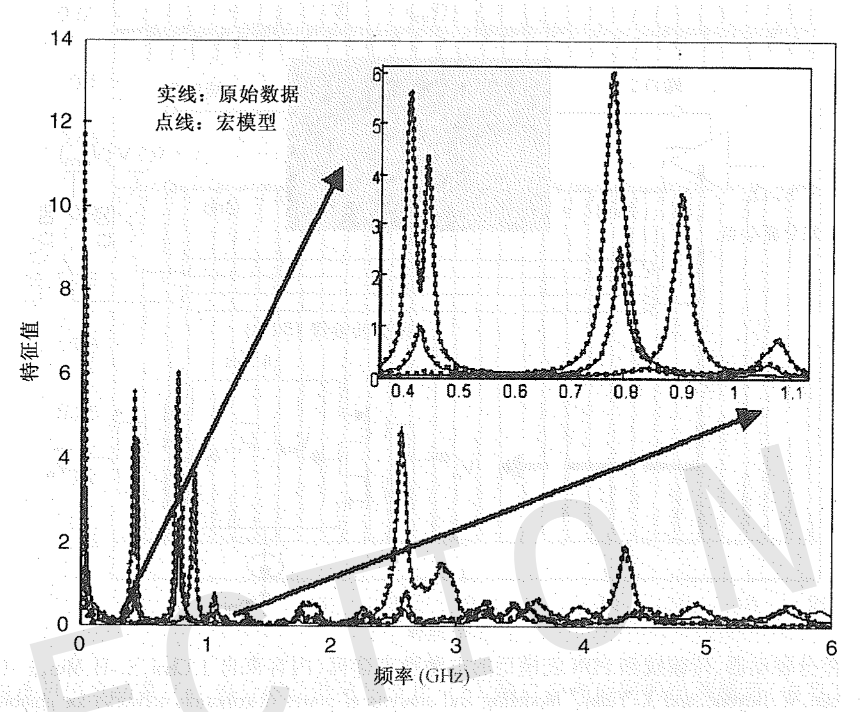


图 5.26 原始建模数据的三个特征值与所建宏模型频率响应的比较（内容来自 J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.-Dec. 2003, pp. 299-313, © 2003 IEEE）

5.3.5 模态分解和噪声仿真

本节将第 3 章中介绍的模态分解法与 TMM 和宏建模结合使用，产生一个 Spice 模型，用于电源噪声的仿真。为计算电源噪声，我们应用电源/地平面、差分驱动器和传输线的宏模型，在 HSpice[3] 中进行时域仿真。图 5.27 给出了仿真电源噪声的原理图。所用驱动器模型是一个代表 4 个差分驱动器的时变电阻性开关。这些驱动器与 4 条差分传输线相连接。上升和下降边都为 0.05 ns 的差分驱动器由端口 2 供电。特性阻抗为 100 Ω 和时延为 1 ns（对地特性阻抗为 50 Ω）的差分传输线和与驱动器的输出相连接。用一个在 HSpice 中有效的标准传输线模型代表传输线。为了达到匹配，传输线的远端端接一个 50 Ω，并与一个 0.3 V 电压源相连接。而端口 3 并没有端接匹配，此端口代表从芯片的一个 1.2 V 电源。因此，差分传输线为主从芯片间的通信提供路径。图 5.27 中，一个包含 0.6 V 电压源的 VRM 被接在端口 1 和地之间。在图 5.16 中，两个地平面通过很多过孔彼此连接。因此，这两个地平面仍然保持在同一电位。在图 5.27 中，差分传输线以地平面为参考，与图 5.16 中的剖面图一致。当驱动器开关从高到低或从低到高切换时，电源/地平面上产生电流。如第 3 章中所述，这些电流激发电源/地平面间的电磁波，使它们产生反弹。电源/地平面的激励是平面上返回电流造成的直接结果。因此，在图 5.27 中，对于电源噪声的仿真，传输线的适当参考是很重要的。

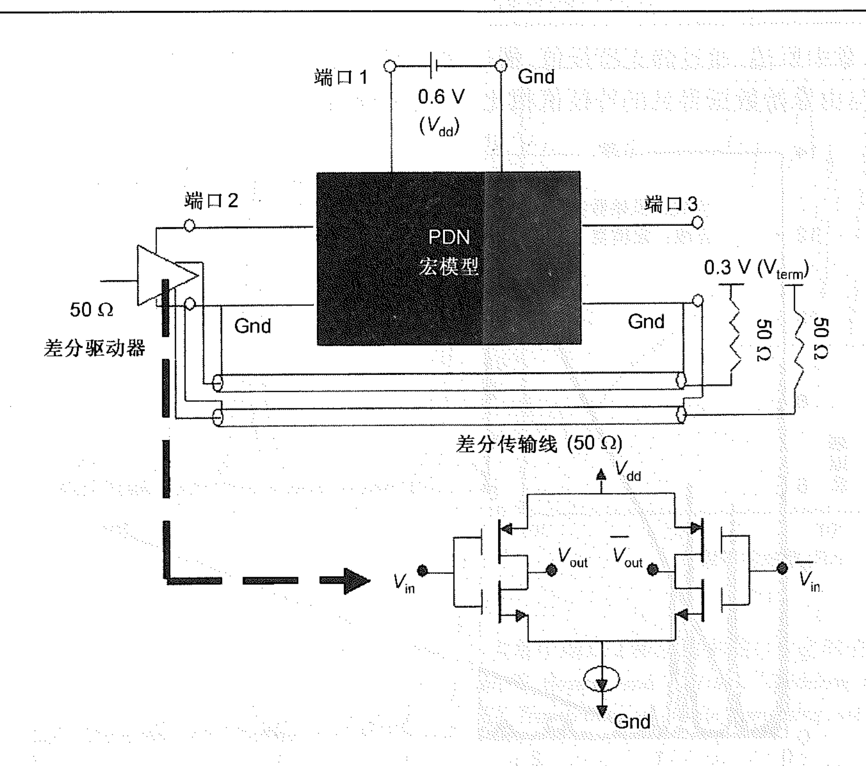


图 5.27 包含差分驱动器、传输线和 PDN 宏模型的电源噪声建模(内容来自 J.Choi,S.-H.Min,J.-H.Kim,M.Swaminathan,W.Beyene,and X.Yuan,"Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313,© 2003 IEEE)

端口 2 和地之间电源噪声的时域波形如图 5.28 所示。最大电源噪声发生在驱动器输出由低变高或由高变低的时候,这是因为由电源/地平面上传输线的返回电流激发了电磁波,导致平面反弹。在包含平面在内的封装中,返回电流位于参考平面上,并且与传输线非常接近。这是因为在高速条件下,返回电流沿电感最小的路径流动,而不是要电阻最小。电感最小的返回路径位于信号导体的正下方,它使输出和返回路径间的总回路面积最小化[13]。在图 5.28 中,虽然峰值噪声发生在切换处,但是电源持续反弹,甚至发生在切换之间,这取决于电源/地平面的品质因数。完全均衡化的差分驱动器不会产生电源噪声,因为从 V_{dd} 流出的净电流为零。然而,工艺的变化将导致驱动器输出电流的不均衡。本章通过在差分输入之间加入一个 10 ps 的时延来实现对这种情况的仿真。波形的位模式为 0000111100001111...,产生一个每对包含 271 mV 电压摆幅、3.2 Gb/s 的数据速率,如图 5.28 所示。图中,4 条差分传输线的开关引入了 40 mV 的电源噪声。均匀的电源噪声持续时间大于 20 ns,表明所用的宏模型是稳定且无源的。

5.3.6 小结

本节中,介绍了一种将 TMM(用于平面建模)和宏建模(用于时域仿真)结合起来的建模方法。首先,TMM 用于 PDN 计算频率响应。所得结果与用 VNA 测量法测量的数据是一致相关的。然后,用 BEMP 在指定的端口产生平面对的宏模型表示。最后,在仿真电源噪声模态分解的基础上,将平面的宏模型、差分驱动器模型和传输线在 HSpice 中对接起来。结果表明电源噪声的时间特性在很大程度上取决于差分驱动器和返回电流。

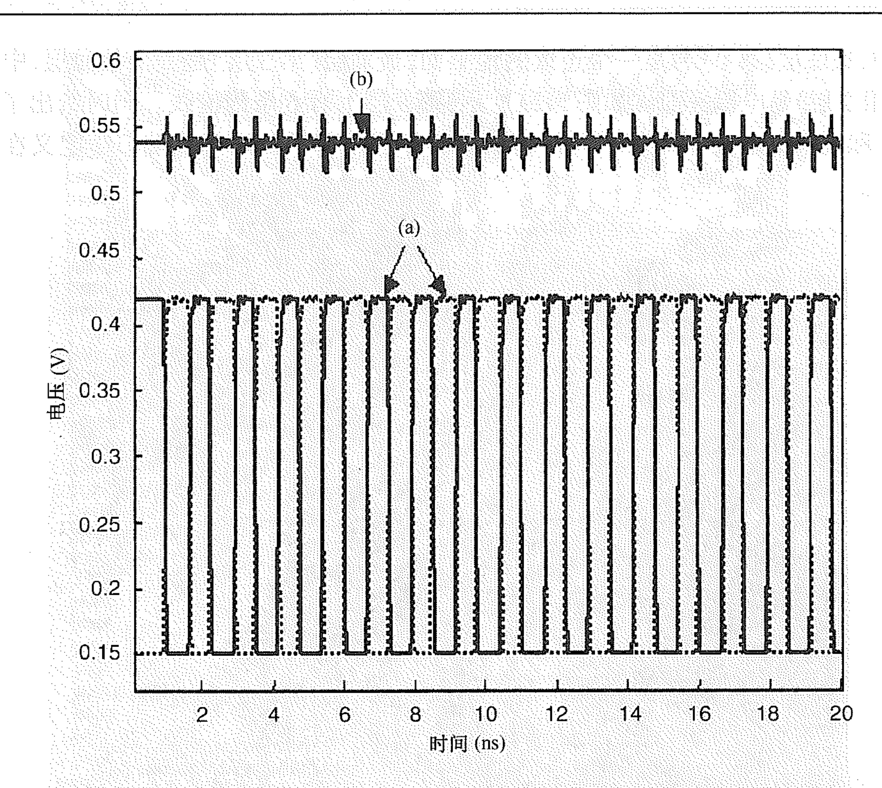


图 5.28 电源噪声仿真结果:(a)差分驱动器输出波形;(b)端口 2 和地间的电源噪声(内容来自 J.Choi,S.-H.Min,J.-H.Kim,M.Swaminathan,W.Beyene,and X.Yuan,"Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol.2, no.4, Oct.-Dec.2003, pp.299-313,© 2003 IEEE)

5.4 IC 封装分析

通过应用第 2 章和第 3 章中的多层有限差分法(M-FDM),本节讨论了两种 IC 封装的仿真。第一个实例演示这种方法在复杂封装设计中的应用,包括孔径耦合效应。第二个实例说明如何应用 M-FDM 和因果信号流图(SFG),在眼图仿真的基础上,对一个封装的信号完整性进行分析。

5.4.1 用 M-FDM 仿真多层封装

为了演示 M-FDM 在真实封装几何结构中的应用,我们考虑应用一个基于 Cisco 封装设计的四层封装实例。本实例中的叠层由起初 Cisco 设计修正为包含传输线及与分裂平面的相互作用。平面上有几个开槽,因此可用来证明多层结构中的孔径耦合效应。封装的尺寸为 34 mm × 34 mm。所有介质层的介电常数为 4.5,耗散因子为 0.005,厚度为 0.2 mm。金属层为铜,其电导为 5.8×10^{-7} S/m,厚度为 0.03 mm。导体的最小宽度和间距为 87.5 μm。为了获取到这种封装的所有细微特征,我们应用了一个 60 μm 的单元格。该单元的尺寸不能超过设计的最小宽度和间距。具有这种尺寸的封装可在包含 2GB RAM 的台式 PC 上进行仿真,每个频率点所用的计算时间都不超过一分钟。

本例中,最底层(第0层)是一个连续的地平面,最顶层(第3层)是一个信号层,中间的两层(第1层和第2层)是电源平面。如图5.29所示,第3层上有6条传输线。同时给出了端口的位置。端口1和端口2定义在两条不同传输线和第2层顶部平面之间。端口3定义在第1层和第0层之间。

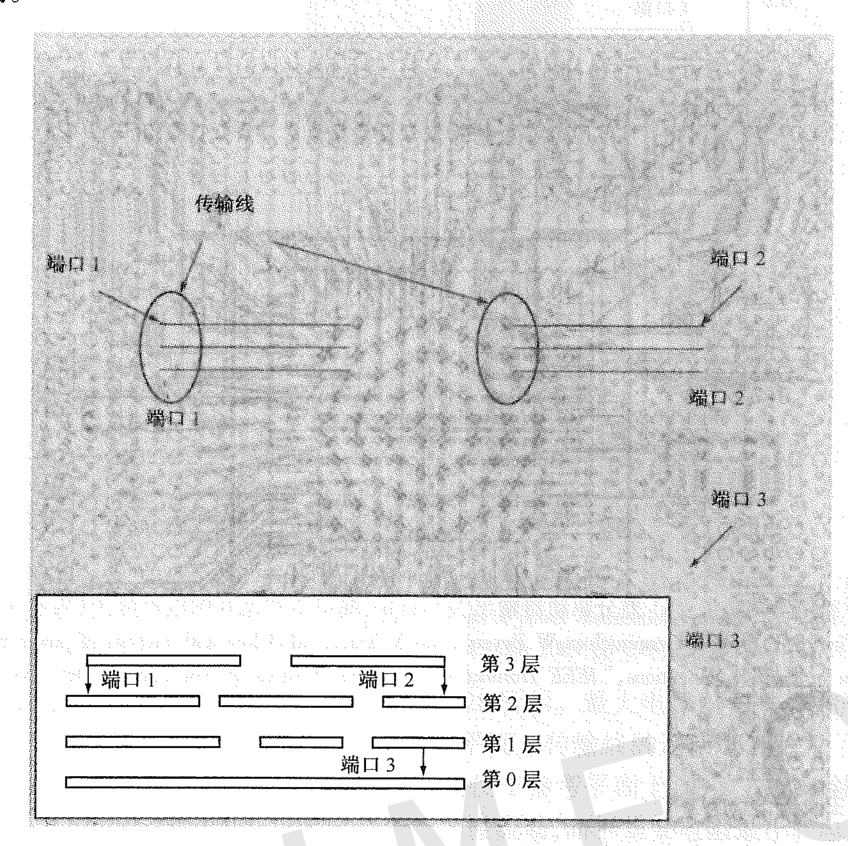


图5.29 传输线和端口的位置,嵌入的小图给出了剖面图中端口的位置

在第一种测试情况下,端口3开路。端口1和端口2由等效电流源激励。由于这些端口被连接到待测分裂平面的传输线上,它们将激励下面的电源平面。图5.30给出了3.4 GHz处、第1层上所产生的噪声电压分布。该电压在各个节点都进行了计算,以第0层的理想地平面为参考地。图5.31给出了第2层上类似的噪声电压分布。第2层上,可以计算出每个节点相对于它下面第一个金属层的电压(第0层或第1层上)。虽然没有端口连接到电源平面(即端口3开路),但由于裂缝引起的返回路径突变及孔径耦合效应,使得噪声耦合到这些平面上。正如本例证明的,在包含很多开槽和洞的复杂封装版图中,由于环绕电流的存在,在顶层和底层之间可能存在很大的噪声耦合。

在第二种测试情况下,第3个端口仍然用于产生封装三个端口的频率响应。图5.32给出了从端口1到端口2和端口3传输系数的幅度。低频处只有较小的耦合。然而,耦合随频率增加,而且在高频处可能会引入SI和电磁干扰(EMI)问题,除非通过避免穿越分裂平面或使用去耦电容器以管控传输线返回电流。这个实例证明了彼此远离传输线之间的PDN上可能会存在串扰。这两种情况表明通过PDN的噪声耦合,在水平和垂直方向都会发生。

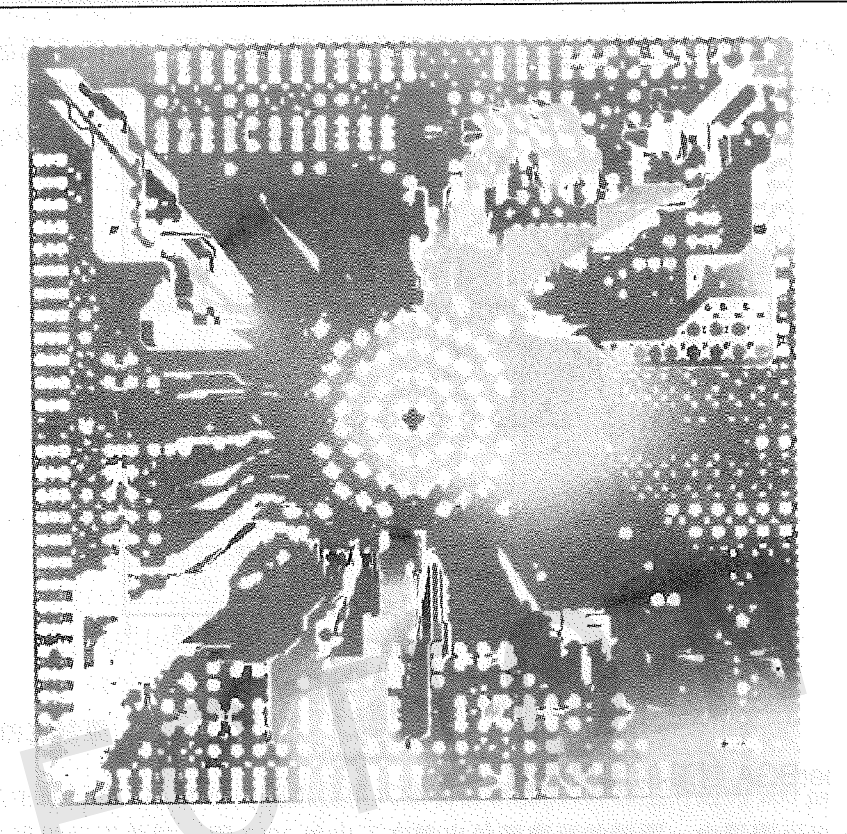


图5.30 3.4 GHz处、第1层上的噪声电压分配(用灰度的明暗表示电压的幅度)

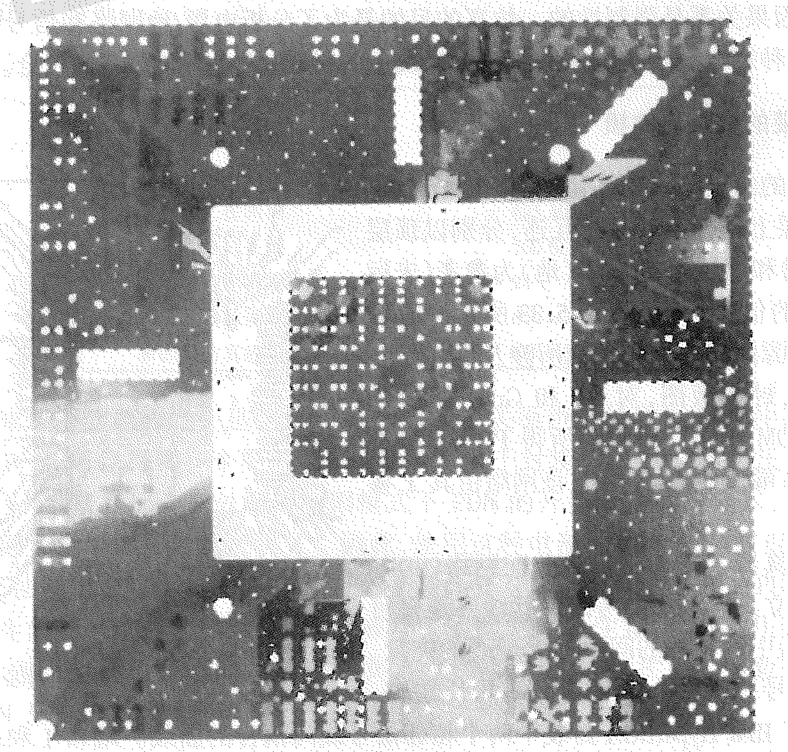


图5.31 3.4 GHz处、第2层上的噪声电压分配(用灰度的明暗表示电压的幅度)

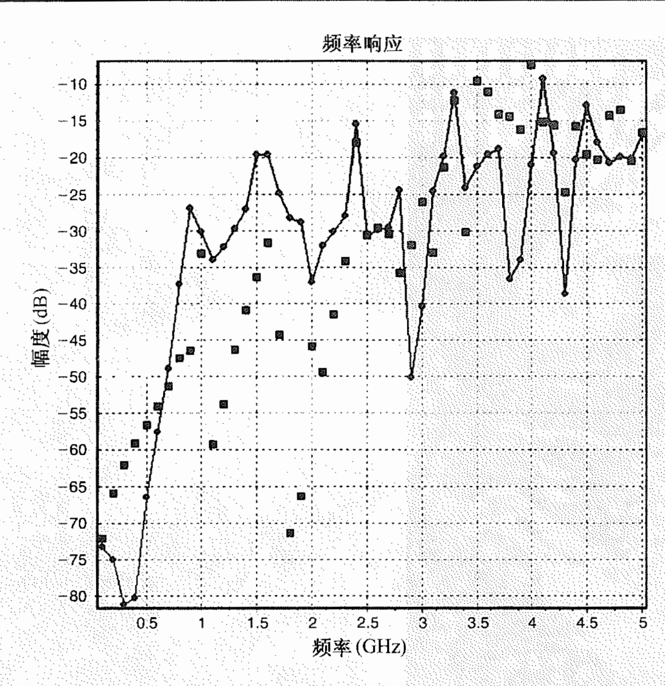


图 5.32 信号线和平面间的耦合:方块:S_{12};圆圈:S_{13}

5.4.2 HyperBGA 封装的因果仿真

这里应用第 4 章中所介绍的 SFG 对 IBM 的 HyperBGA 封装眼图进行仿真。如第 4 章中所述,在仿真中因果关系是强制性的。仿真的目的是为了分析电源/地网络和信号线之间产生的寄生耦合。这种耦合表现为电压波动和信号线上的抖动,并会引起眼图的闭合。

5.4.2.1 封装的表征与建模

这里涉及的封装是一个多层 HyperBGA 封装。仿真的是 S1 层上的一组带状线互连,分别以顶层上的 V1(电源)和底层上的 Gnd1(地)为参考(未标出)。封装中的信号层 S1 如图 5.33 所示。方框表示信号和电源的瞬态协同仿真所涉及的一组互连。通过导入封装版图,对 V1 和 Gnd1 层应用第 2 章的 M-FDM 法建立模型。所得 PDN 模型的形式是一个 12 端口的无源网络,该网络由其 Y 参数定义。

用电路仿真器 ADS[14] 把信号分配网络(SDN)建模为一组独立具有理想参考的带状线互连是可能的,因为封装中线与线的间距远大于线的宽度,从而在相邻信号线间引入的耦合几乎可以忽略。

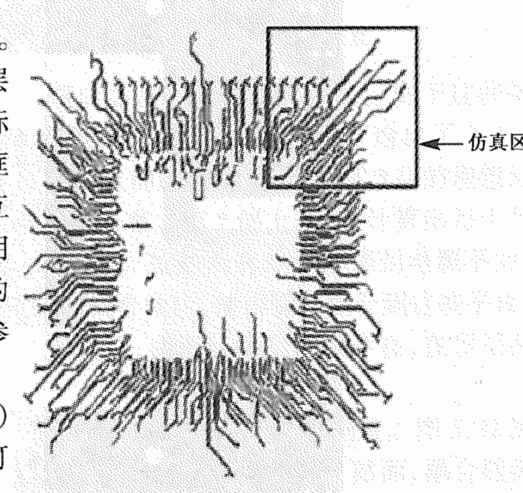


图 5.33 IBM HyperBGA 封装的信号层

图 5.34 描绘了 IBM HyperBGA 封装中两个相邻信号线间耦合的曲线。端口 1 和端口 2 分别位于一个信号线条的近端和远端,而端口 3 位于一个相邻线条的近端。在仿真总带宽以上,邻线耦合(S_{13})远低于 80 dB。通过第 3 章中所介绍带状线互连的模态分解技术,PDN 和 SDN 的模型集成到一起,产生一个包含 24 个端口的系统网络。这个网络应用 SFG 进行仿真,而且在其中的一个信号网上观察到了瞬态输出。

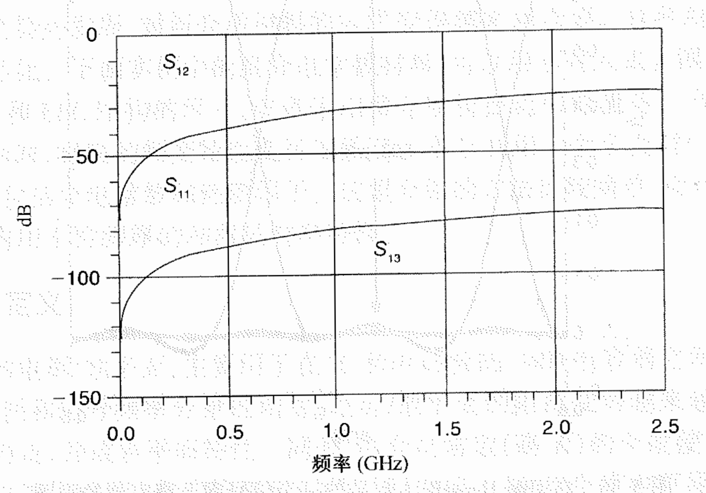


图 5.34 IBM HyperBGA 封装上相邻信号线间的耦合

5.4.2.2 仿真结果

互连是由运行在 625 MHz 的随机位模式驱动器驱动的,并且上升边为 200 ps。表 5.2 对仿真参数和结果进行了总结。图 5.35 给出了在输出处观察到的眼图。由眼图可以看出,封装线条表现出很好的 SI 特征。

表 5.2 IBM HyperBGA 封装的仿真参数和结果

特性阻抗	50 Ω
系统响应带宽	2.5 GHz
驱动器的上升边	200 ps
驱动器工作频率	625 MHz
随机位模式长度	500 位
系统网络中的端口数目	24
因果仿真的眼睁开度	650 mV
非因果仿真的眼睁开度	650 mV

获得此清晰眼图的原因之一是 PDN 中相当低的开关噪声。如果将 PDN 中真实的开关噪声电流用于仿真,就可以得到一个更加逼真的眼图。由于封装 PDN 的 SSN 电压不能进行瞬态测量,我们选用了 IBM Power5 微处理器空闲模式下 PDN 的开关噪声电流样本,它能很好地代表复杂数字电路所产生的开关电流样式。因此,使用这种电流样本激励 PDN 时,IBM HyperBGA 封装的瞬态协同仿真将得到重现。图 5.36 是在同样互连上获得的眼图。PDN 中由数字电路同步开关产生的噪声耦合到 SDN 上,从而减小了眼睁开度。注意:仿真中用到的电流样本是 Power5 微处理器运行于空闲模式下所提供的;而当处于工作模式且大多数数字电路切换时,耦合到 SDN 上的开关电流和噪声会更高。

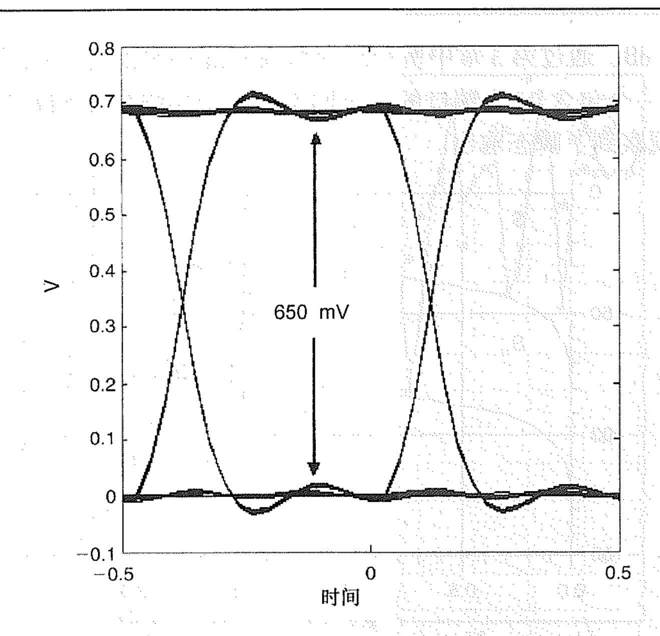


图 5.35 在 IBM HyperBGA 封装的一个信号网上观察到的眼图

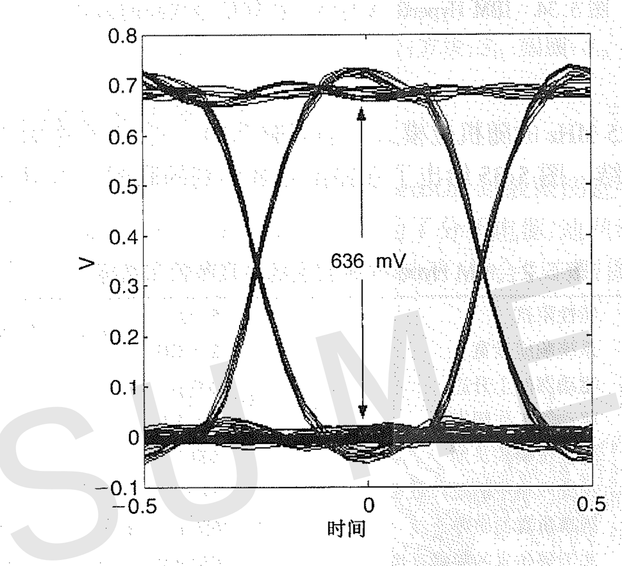


图 5.36 有 SSN 存在时,在一个信号网上观察到的眼图

SSN 仿真中重要的是获得一个好的电流源表征。由于一个好的电流源表征很难获得,必须研究好的近似模型。

5.4.3 小结

本节仿真了两种不同的封装。第一个示例说明了 M-FDM 在含有分裂平面和开槽等复杂封装设计中的应用。第二个示例讨论了 SSN 建模中因果 SFG 的应用。该示例表明,封装信号线上的噪声耦合直接造成抖动和电压波动。

5.5 提取介电常数及耗散因子

随着微型化趋势的发展,对新介质材料的需求变得越来越重要。这些材料可以用于减小噪声和电路的微型化。下面实例中的高介电常数材料,可以用于嵌入式去耦电容器,或用于减小无源嵌入式 RF 和 EBG 结构的尺寸,或者采用薄介质管控返回电流等。当利用这种材料传输信号的频率增加时,材料的频变特性变得很重要。本节利用一个平面对(又叫谐振腔)提取材料的频变特性,包括介电常数和耗散因子。这里介绍的方法比较简单,而且可以在一个很大的介电常数范围内用于检测厚的和薄的材料特性。

5.5.1 问题的定义

电气封装中的电源/地平面,主要用于在 IC 和电路板的 SMD 电容器之间提供一个低阻抗路径。随着 IC 功耗和信号频率分量的增加,电源/地平面的阻抗变得越来越重要。一个更薄的介质可以减小阻抗,并改善平面特性。同理,高介电常数(高 K)的介质使平面的电容增大,有助于为开关电路提供电荷,或管控高频时的返回电流。高 K 介质也可用于电磁结构的设计,如滤波器或占用面积较小的 EBG 结构(在后面几节中介绍)。

要精确地估算薄且高 K 介质的特性,必须提取频变介电常数和耗散因子。本节采用平面提取材料的频变介电常数和耗散因子。

如图 5.37 所示,获取介质特性的方法之一是应用微带线 - 间隙或环形谐振[15][16]。这种方法对于薄的高 K 材料不适用,因为间隙间的耦合变得太小,几乎可以忽略。参考文献[17]基于时域反射计(TDR)技术采用带状线提取介质特性,这种带状线的制作比较麻烦,因为它需要两个相同介质。通过带状线的衰减和相位常数的迭代拟合,产生介质的因果模型。全片谐振(FSR)技术只需对一个矩形平面对加以测量[18],因此是获取介质特性的一种简便方法。本节介绍的一种方法,同样是基于对一个矩形平面对的测量[19]。与参考文献[18]中的四层结构相比,它只需要一个两层结构。因此,在结构的制作方面更加简单。

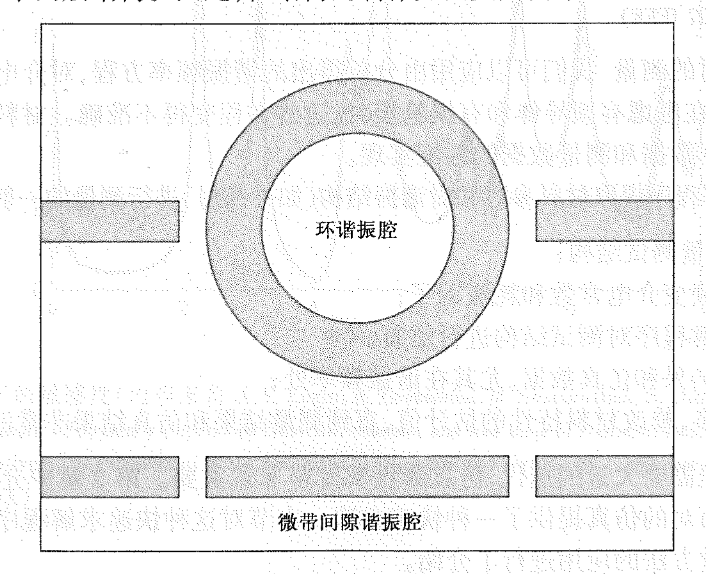


图 5.37 一个环形谐振腔和一个微带 - 间隙谐振腔的俯视图

为了证明基于电源/地平面对测量提取方法的敏感性,我们应用了一个边长为 33.3 mm 的方形平面对。平板由 35 μm 厚的铜平面组成。介质的标称值为 DK(介电常数) = 4, DF(耗散因子或损耗角正切) = 0.025,厚度为 60 μm。随着材料参数和厚度的变化,图 5.38、图 5.39 和图 5.40 给出了仿真的对角线上两个端口之间转移阻抗幅度的变化。DK 的变化主要改变谐振频率的位置,而 DF 和厚度主要影响响应的幅度。从这些结果我们可以推断出平板对的响应对材料特性的变化是很敏感的。厚度和 DF 的变化对频率响应具有相同的效果;因此,必须小心地提取。方法之一就是在低频时提取厚度,因为在低频时 DF 对频率响应影响不大,如图 5.40 所示。

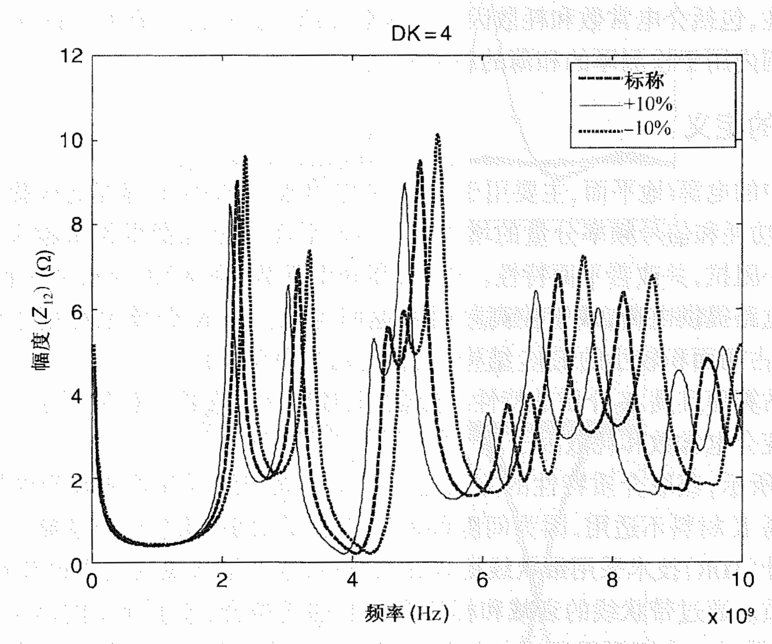


图 5.38　介电常数的敏感性(内容来自 A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency- dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

基于对平面对的测量,我们可以应用由分析得出的谐振频率方程,对介电常数和耗散因子进行提取。然而,在考虑有损导体和有损基板时,这些方程变得不准确。材料参数的精确提取可以通过电磁仿真数据和测量数据的匹配实现。

应用电磁求解程序提取材料参数和对谐振结构(如平面对)进行测量的一般步骤总结如下:

1. 用 VNA 测量测试结构;
2. 初步估计频变介电常数和耗散因子;
3. 用电磁求解程序对测试结构进行仿真;
4. 比较测量结果和仿真数据,尤其在谐振频率处;
5. 返回第 3 步,修改材料特性的估计值,直到测量结果和仿真结果非常匹配。

由于匹配过程需要大量的迭代,仿真器效率变得非常重要。第 2 章中介绍的快速求解程序为这种矩阵平面对的仿真提供了一种快速方法。本节对这种快速求解程序及材料特性的角点对角点平面测量方法的应用进行了介绍。

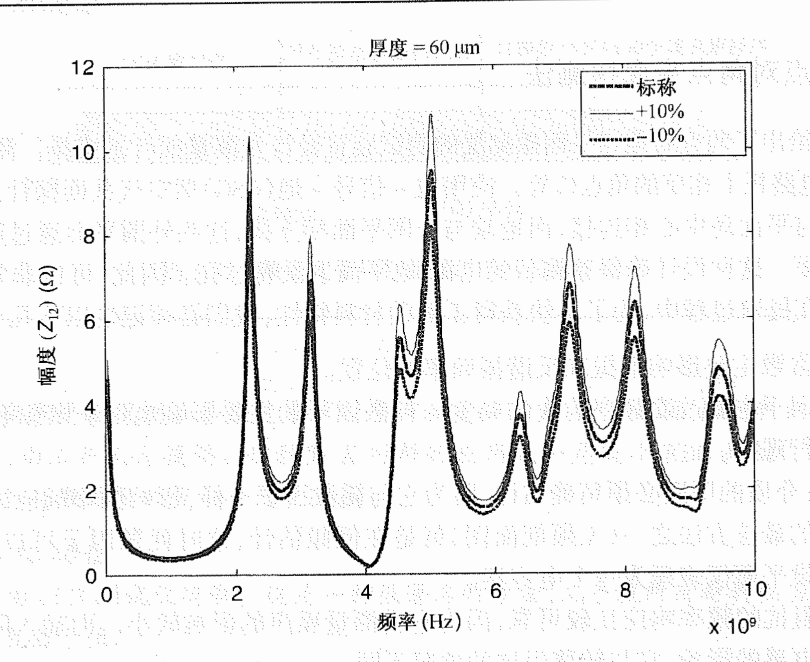


图 5.39　对厚度的敏感性(内容来自 A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

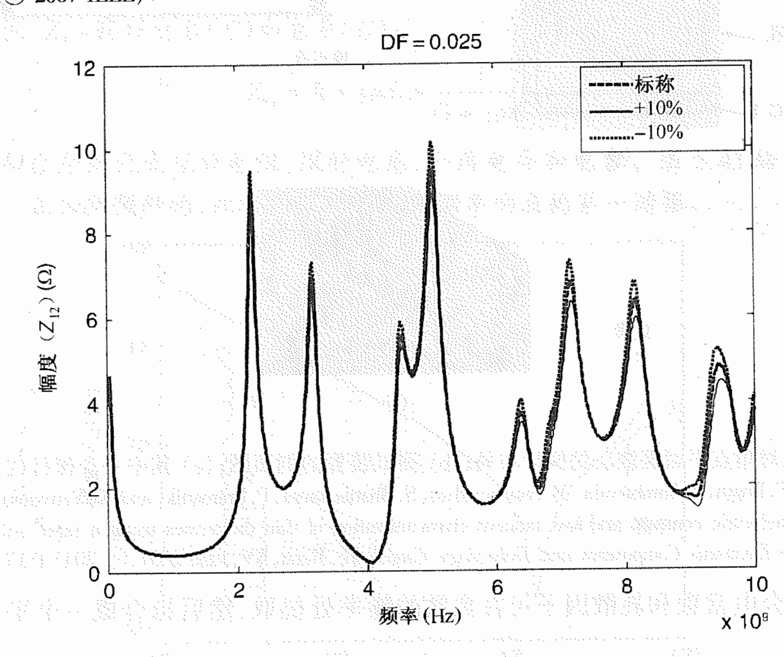


图 5.40　对耗散因子的敏感性(内容来自 A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

5.5.2 角点对角点平面探测法

图5.41给出了角点对角点平面探测法的测试装置设计及测量探针的安排。测量时,我们将端口设定在电路板上相反的角点位置。应用地－信号－地(GSG)型空气共面探针进行测量。探针的信号端与平面岛中心相连接,而地端与外围平面相连接,这些外围平面通过周边的过孔短路到底部平面。这种设计确保被测量的电源/地平面上没有过孔。因此,可以非常精确地提取材料特性。在提取过程中,为了尽快获得正确的材料特性,我们必须记住以下几个方面:

1. 介电常数主要影响谐振和反谐振频率的位置。
2. 耗散因子主要改变频率响应的幅度。耗散因子的主要影响也可从谐振和反谐振频率中进行观察。
3. 注意:介质的厚度必须精确估计,因为它与耗散因子一样,影响频率响应的幅度。估计厚度的最佳方法之一(无须剖面图)就是在低频估计,这时耗散因子可以直接提取,这里假设平面仅表现为一个电容器。
4. 转移阻抗的频率响应比较可靠,因为它受测量噪声的影响较小。而输入阻抗则比较受探针电感的影响,它与转移阻抗的情况不同。

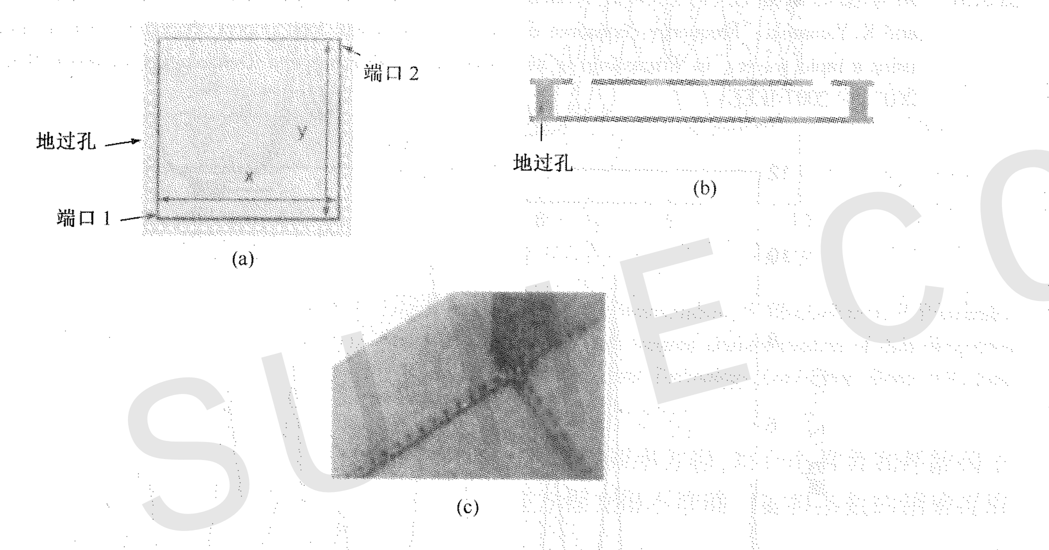


图5.41 (a)角点对角点平面探测法的探针布局;(b)测试装置的剖面图;(c)其中一个探针的实际位置(内容来自 A.E.Engin, A.Tambawala, M.Swaminathan, S.Bhattacharya, P.Pramanik, and K.Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

因此,频变介电常数和耗散因子可在离散的频率处提取,然后拟合成一个平滑函数,用于电磁仿真器。

对于介质特性的宽带提取,低频数据可由一个测量电感、电容和电阻的LCR测试仪获得。在中频处,可以将平面看成是一个平行板电容器,并且由VNA测量[20]。通过假设一个平行板电容器模型,介电常数和耗散因子可直接提取。在高频处,应用电磁求解程序时,必须考虑谐振。对这三个区域的近似频带范围的总结如图5.42所示。为保证不同频率点间插值的连续性,可以采用不同尺寸的平面对以覆盖较宽的频带范围。

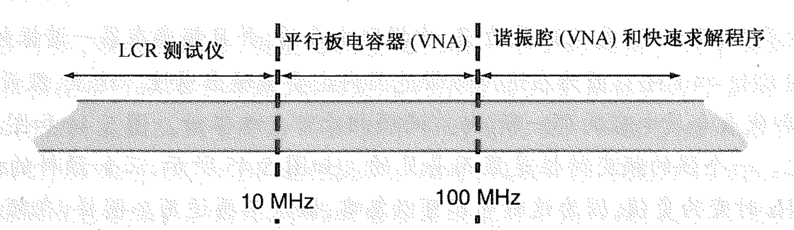


图5.42 测量宽带材料特性的不同技术组合

举例

用角点对角点平面探测法和快速求解程序可测量一种厚14 μm、高 K 材料的特性。所测材料为BC-16T,由三井-Oak提供。这种高 K 材料的应用之一是减小EBG结构[21]的尺寸。其频变介电常数和耗散因子的提取分三个阶段:

100 kHz～10 MHz

DK和DF由LCR测试仪提取。这是一种很著名的方法,几乎被所有材料供应商用于获得介电常数和耗散因子值。

10 MHz～100 MHz

DK和DF由VNA和平行板电容器模型提取。这种方法需要一个小型电容器来增大谐振频率。本例中为一个尺寸为4.4 mm×4.4 mm的小型平行板。基于一个平行板模型,我们可以通过输入阻抗(Z_{11})获得电容(C)和电导(G):

$$Z_{11} = R + j\omega L + \frac{1}{G + j\omega C} \tag{5.7}$$

其中,R、L、G和C分别代表探针电阻、探针电感、介质电导和电容。图5.43给出了该模型与测量的相关性。正如所预料的,此模型只能获取到频率响应的第一谐振。

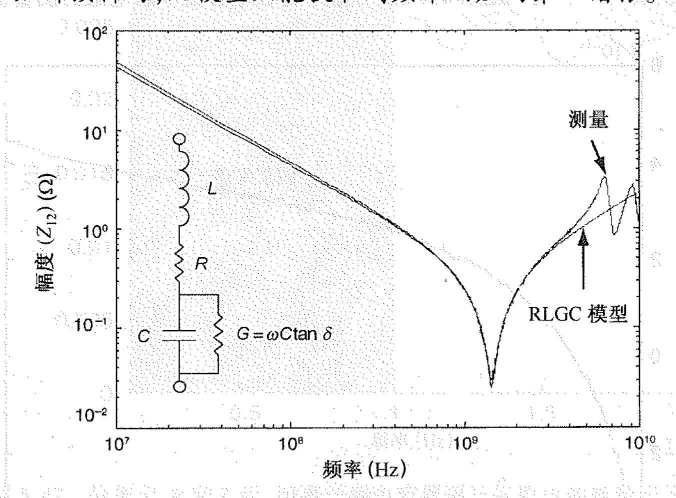


图5.43 一个4.4 mm×4.4 mm方形平行板电容器输入阻抗的测量值和建模值(子图中给出RLGC模型)(内容来自 A.E.Engin, A.Tambawala, M.Swaminathan, S.Bhattacharya, P.Pramanik, and K.Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

探针寄生参数(R 和 L)是从测量的 Z_{11} 中提取出来的，并且频率在第一谐振频率和第一反谐振频率之间(2 GHz ~ 4 GHz)，因为在这个频带范围内主要呈现出感性。这里，假设方程(5.7)中和式的第三项，即代表介质电容的那一项，与前两项相比可忽略不计。图 5.44 和图 5.45 是 R 和 L 随频率的变化。一个强的频变特性是显而易见的。如图 5.45 所示，正如预料的那样，电感在频率低于 1.5 GHz 时变为负值，因为这时电容可以忽略，假设不再适用。同样，在频率较高时，由于多谐振的存在，这种模型也不再有效。因此提取的频带范围变得十分重要。本例中，R 和 L 值的提取频率是它们表现出最小变化时的频率。R 在 2 GHz 处提取，提取值为 20 mΩ，L 在 4 GHz 处提取，提取值为 37 pH。接着，我们应用一个迭代过程，将 C 和 $\tan\delta$ 与谐振频率周围测量的 335 pF 和 0.03 进行匹配。频率低于第一谐振频率时，这些参数最容易提取。

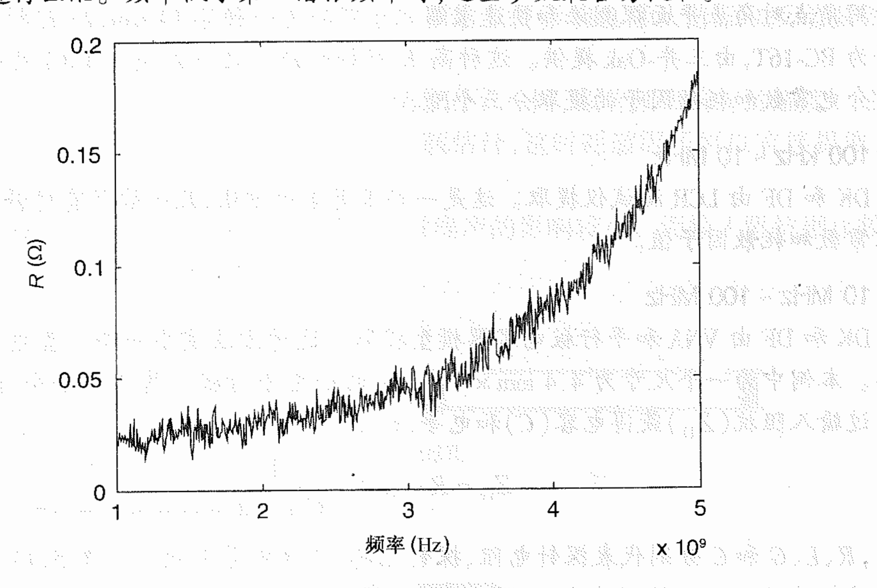


图 5.44　一个 4.4 mm × 4.4 mm 方形平行板电容器串联电阻的测量值

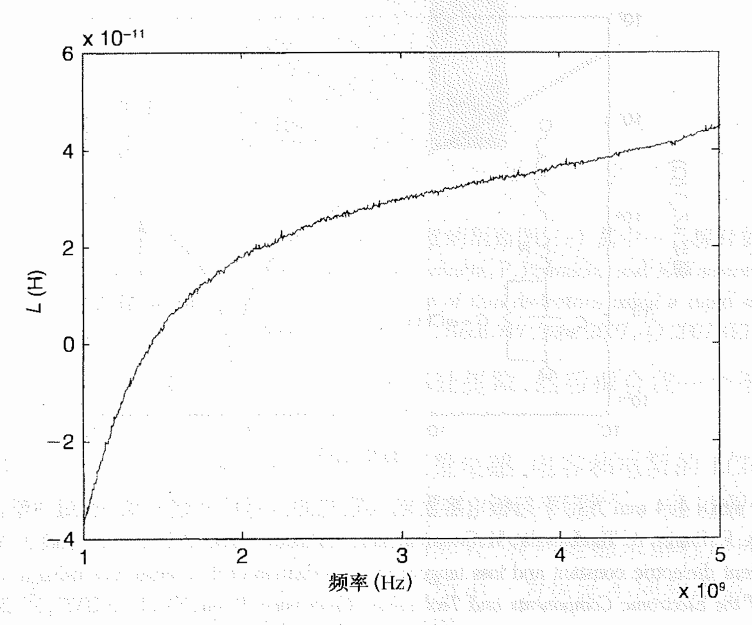


图 5.45　一个 4.4 mm × 4.4 mm 方形平行板电容器串联电感的测量值

由图 5.43 可知，频率较低时，模型与测量之间有一个小的偏离。这个偏离源于介电常数的频变特性，在模型中可以不予考虑，但却是此次分析的主要目标。为了获得这种频变特性，通过应用方程(5.7)，我们从测量中分离出 R 和 L 的有关项。如图 5.46 和图 5.47 所示，我们从实部和虚部两个方面对 DK 和 DF 进行提取。此时，假设介质厚度为 14 μm。可以看出，频率较高时，测量结果中包含噪声。因此，平行板电容器逼近对于高频处(大于约 100 MHz)材料特性的提取并不适用。可用先进的测量技术改善这种电容测量的噪声平台[2]。然而，即使可以获得不含噪声的数据，但在结构的第一并联谐振发生后，平行板逼近不能在更高的频率处使用。

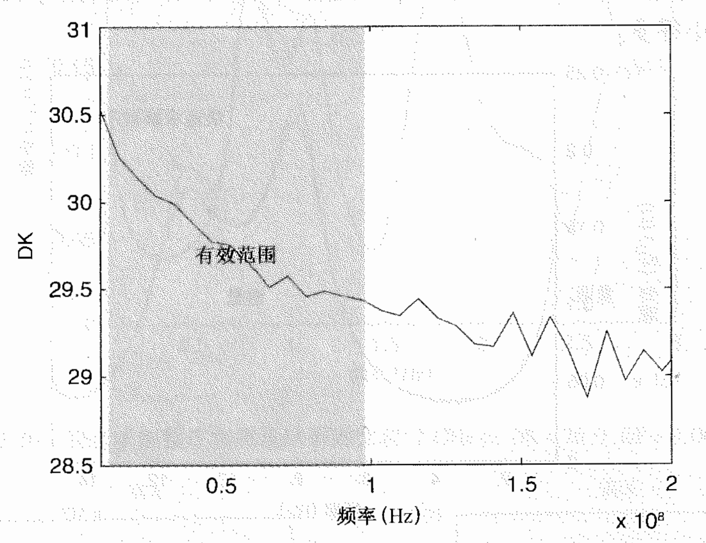


图 5.46　分离出 R 和 L 后，用平行板电容器逼近提取出的介电常数(DK)

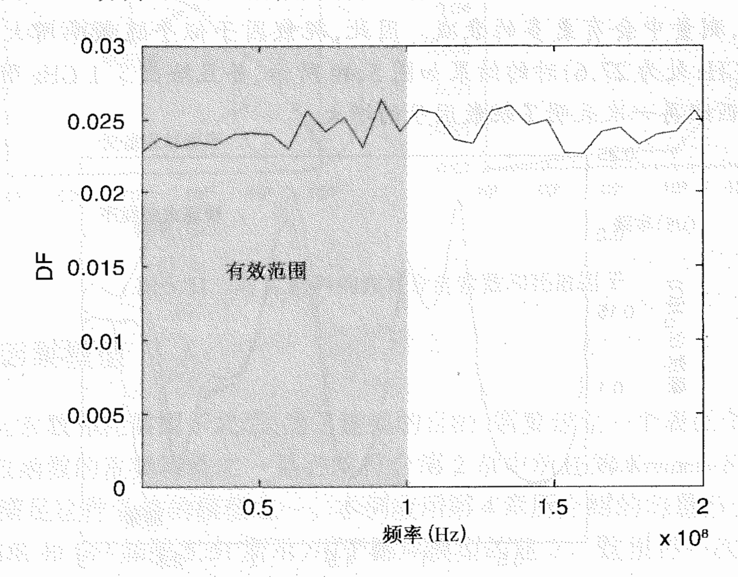


图 5.47　分离出 R 和 L 后，用平行板电容器逼近提取出的耗散因子(DF)

100 MHz ~ 10 GHz 及更高

DK 和 DF 由 VNA 和快速求解程序提取。这种方法应用了一个 33.3 mm × 33.3 mm 的大型平行板。通过应用快速求解程序运行多个仿真，在谐振频率处对介电常数和耗散因子进行匹

配。假设在谐振频率附近，耗散因子接近常数，且将第2章所介绍相应的因果复介电常数函数应用于快速求解程序。我们应用转移阻抗(Z_{12})来执行参数的提取，因为它不受探针电感和电阻的影响，如第1章所述。

图5.48给出了快速求解程序和测量幅度 Z_{12} 之间的比较，其中对于快速求解程序，介质特性具体为：1 GHz处DK = 27.6，DF = 0.022。如图5.47所示，这个DF值是从一个更小测试结构的平行板逼近中事先提取出来的。可以看出，频率较低时，快速求解程序与测量匹配得很好。因此，可以断定对介质厚度最初假设为14 μm是精确的。如前所述，频率较低时，耗散因子比介质厚度的影响小得多。

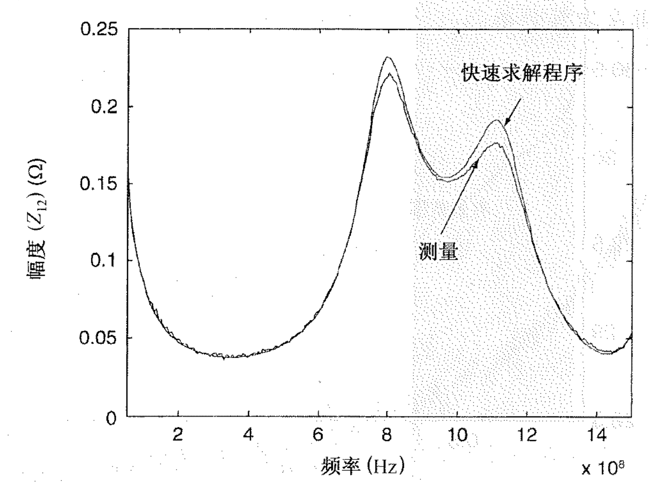


图5.48 快速求解程序和测量结果的比较(1 GHz处DK = 27.6，DF = 0.022)

频率较高时，测量中会有更多的衰减。因此，耗散因子似乎随频率增大。仿真中DF = 0.03(DK保持1 GHz处为27.6)时的结果如图5.49所示，并且给出了1 GHz附近的正确响应。频率更高时的不匹配再一次表明了耗散因子的增大。

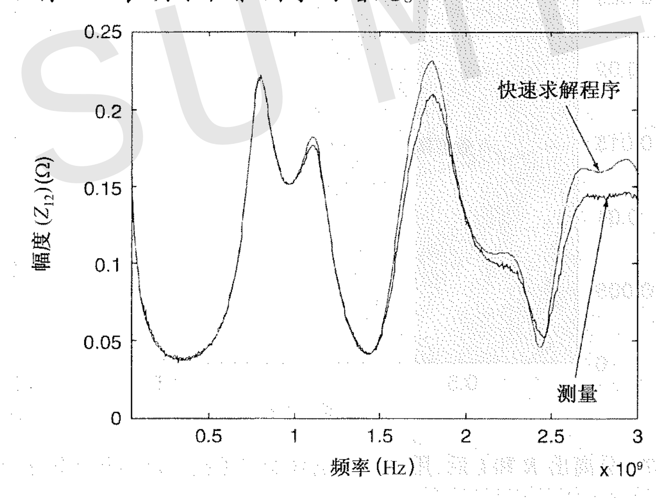


图5.49 快速求解程序和测量结果的比较(1 GHz处DK = 27.6，DF = 0.03)(内容来自A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

图5.50给出了仿真器2 GHz处DK = 26.9、DF = 0.041的情况，并且包含了2 GHz附近一个更好的匹配。对于结构中所有高达10 GHz的谐振频率，我们都进行了DK和DF的提取。图5.51给出了提取的材料的DK和DF。圆圈表示提取数据的频率点。

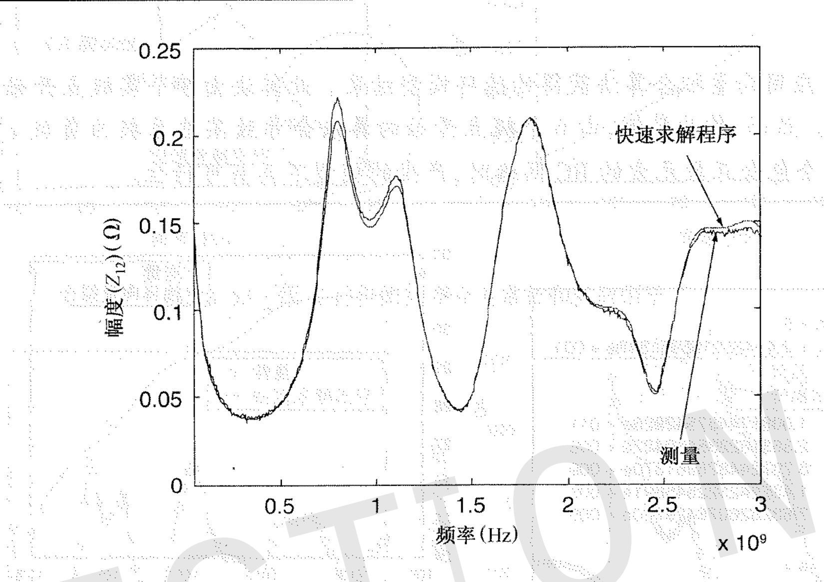


图5.50 快速求解程序和测量结果的比较(2 GHz处DK = 26.9，DF = 0.041)

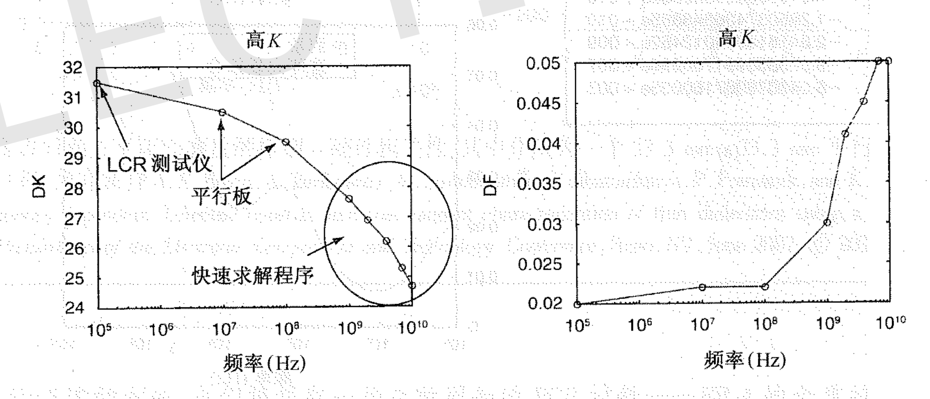


图5.51 高K材料的频变介电常数和耗散因子

5.5.3 建立因果模型

提取了介电常数和耗散因子之后，为了建模的目的，需要建立一个表征介电常数的因果模型。复介电常数函数的重要特性之一是必须符合第2章中所述的Kramers-Kronig关系。德拜(Debye)模型是满足这种条件的模型之一。本例应用第4章所介绍的向量拟合法，将在不同频率处提取出的DK和DF(如图5.51所示)用于德拜模型的建立。这里再一次给出包含不同变量的德拜模型：

$$\varepsilon(\omega) = \varepsilon_\infty + \sum_{i=1}^{K} \frac{c_i}{s - a_i} \tag{5.8}$$

为使这个方程具有可行性，系数 c_i 应该为正数，a_i 为负数。这样该方程为最小相位，满足

Kramers-Kronig 关系。和式中的每一项都可作为一个电阻器 - 电容器(RC)电路实现。对应于方程的高频渐近线为 ε_∞。由产生的德拜模型可获得一个最佳表征测量数据的因果方程。

举例

图 5.52 是应用向量拟合算法获得的德拜模型结果。此算法由 5 个实极点开始,并且极点越多匹配越好。然而,作为举例,由 6 个极点开始的算法会导致某些系数为负数 c_i 或为正数 a_i,因此应用一个包含正数元素的 RC 网络时,产生的模型不再有可行性。

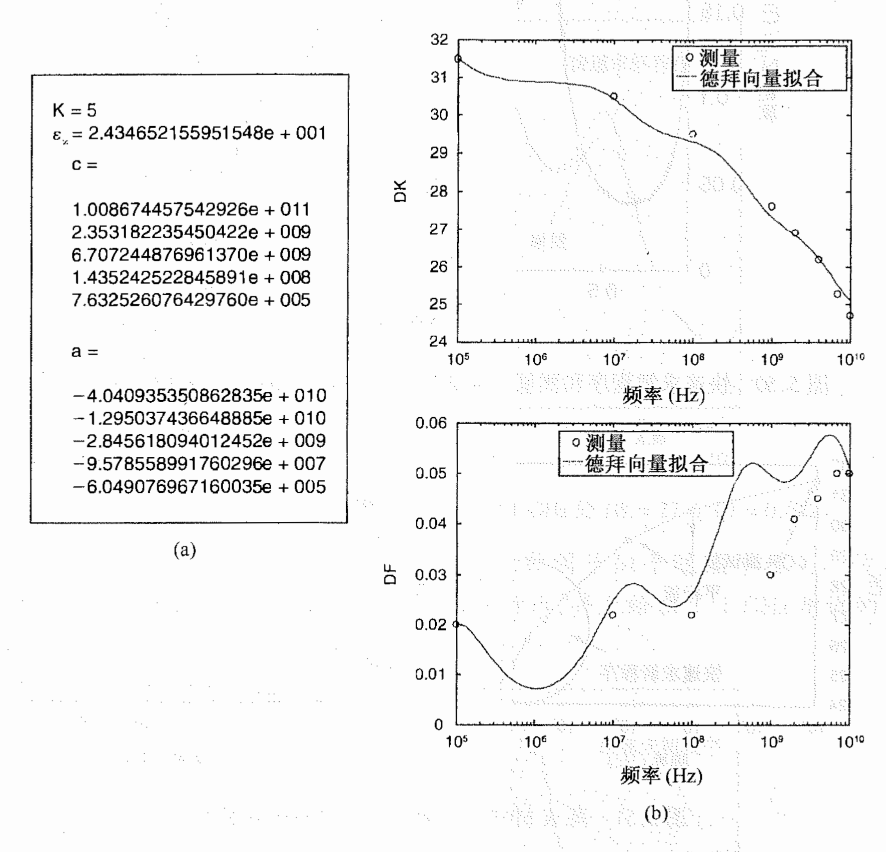


图 5.52 (a) 用向量拟合获得的高 K 材料德拜模型参数;(b) 与测量结果进行比较

举例

低 K 材料的特性也可采用类似前边的测试装置以相同的方式获得。图 5.53 给出了这种情况下的 DK 和 DF。在高 K 和低 K 材料的特性提取中,介电常数都随频率减小。如图 5.54 所示,使用提取得到的频变 DK 和 DF 参数,在低 K 的情况下,通过应用快速求解程序,我们获得了一个很好的模型 - 硬件相关性。最后,图 5.55 给出了由向量拟合获得低 K 材料的德拜模型。

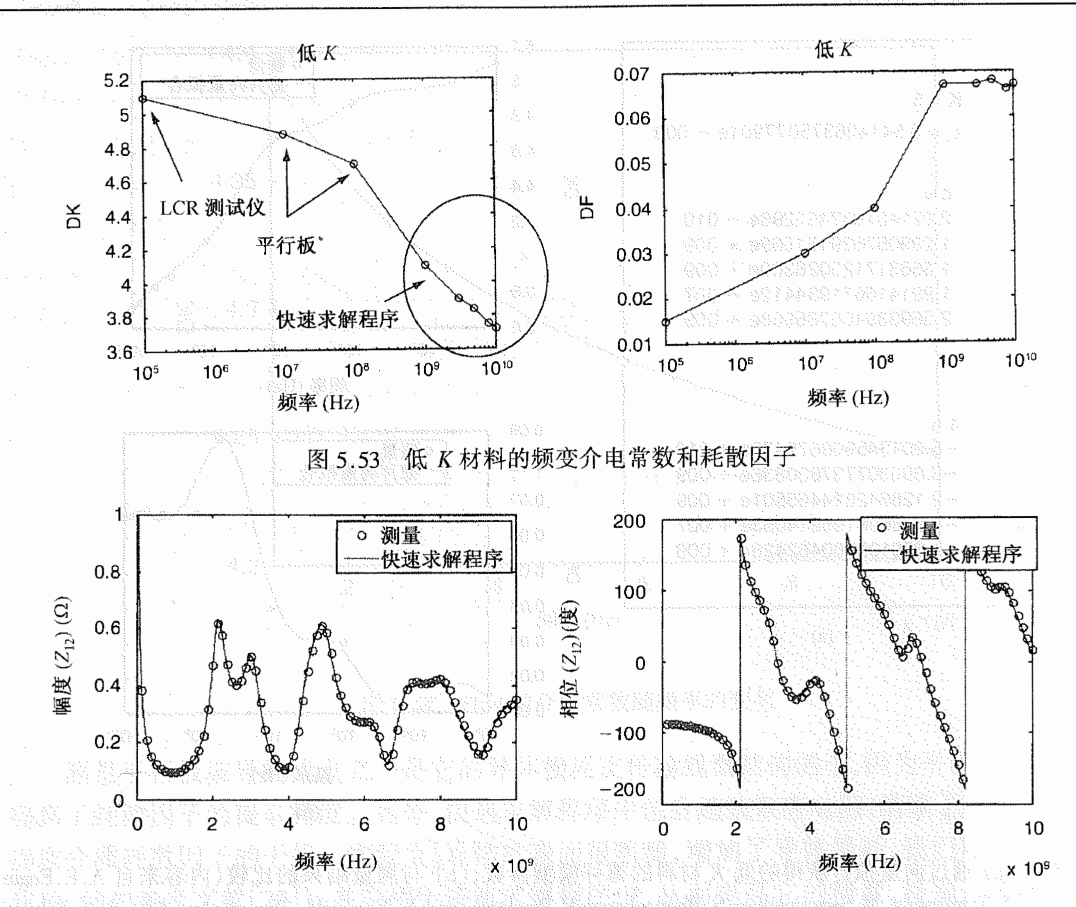


图 5.53 低 K 材料的频变介电常数和耗散因子

图 5.54 角点对角点平面探测法的模型 - 硬件相关性,其中介质为一个 33.3 mm × 33.3 mm 平行板和一种低 K 材料(内容来自 A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

举例

为了验证这种方法,我们将提取一种众所周知的 PCB 材料——FR-4 的介质特性。本例采用了一个 22.2 mm × 22.2 mm 的方形平行板电容器。图 5.56 是快速求解程序与测量间的比较。提取出的介质厚度为 98 μm,1 GHz 处的介电常数为 4.4。在所关心的频带内,耗散因子近似为常数 0.025。复介电常数(可由它计算出 DK 和 DF)近似为

$$\varepsilon(\omega) = as^{-2\delta/\pi} \tag{5.9}$$

它体现了一个常数耗散因子 $\tan\delta$(假设方程中的 δ 为常数)和一个随频率变化的介电常数。在方程(5.9)中,s 是拉普拉斯变量,a 是一个任意的正常数。基于方程(5.9),图 5.57 是介电常数随频率的变化。虽然假设耗散因子为常数,但是这个方程代表一个最小相位(因此也是因果的)方程。该函数详见第 2 章。由于 FR-4 的耗散因子在给定的频带内相对平坦,方程(5.9)的应用与测量结果体现出很好的一致性。提取出的与预测的 FR-4 参数匹配得很好。

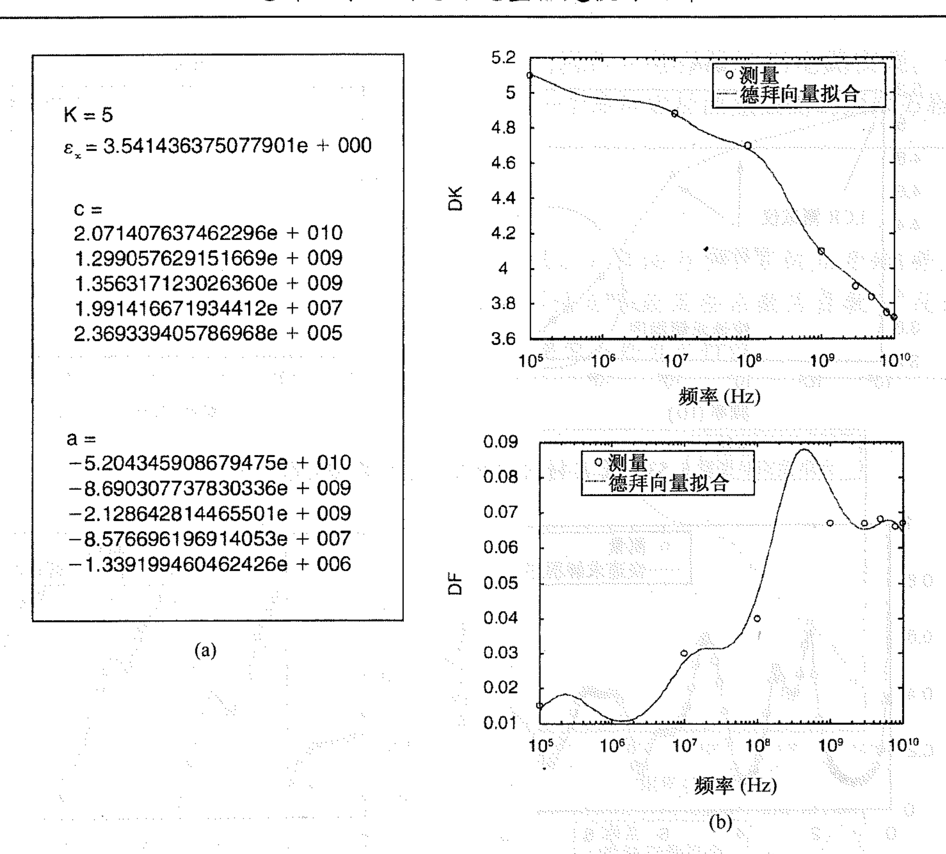


图 5.55 (a) 通过向量拟合获得的低 K 材料的德拜模型参数；(b) 与测量结果的比较(内容来自 A.E.Engin, A.Tambawala, M.Swaminathan, S.Bhattacharya, P.Pramanik, and K.Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007, © 2007 IEEE)

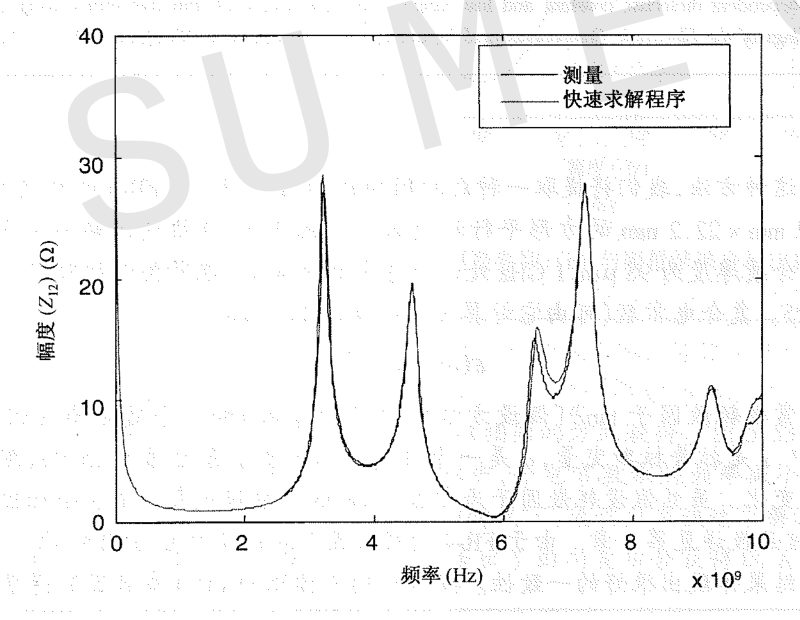


图 5.56 FR-4 的快速求解程序和测量结果的比较(1 GHz 处 DK = 4.4, DF = 0.025)

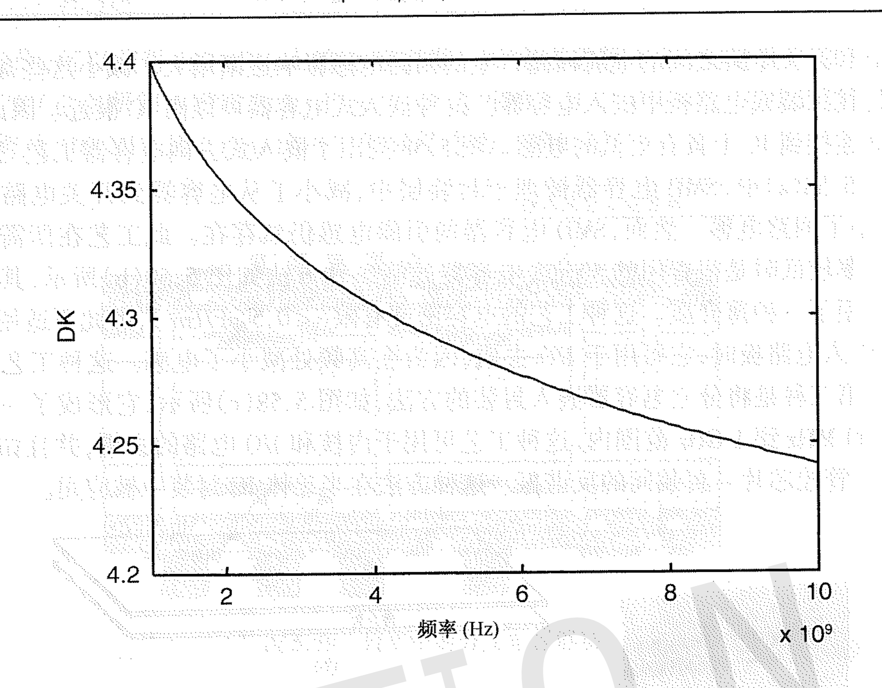


图 5.57 FR-4 的介电常数随频率的变化

测量平行板波导的优点之一是它的导体损耗比传输线型结构的小，因为平面的电阻很小，提高了耗散因子的提取精度。另外，快速求解程序中包含趋肤效应电阻，消除了导体损耗对所提取介质耗散因子的干扰。实际上，导体的表面很粗糙，增加了导体损耗，我们可以对它进行建模(例如参考文献[22])，并应用于快速求解程序中，从而提高它的精度，特别是那些损耗特别低(DF < 0.002)的结构。

5.5.4 小结

随着 IC 工艺的发展，更小更快的开关电路已经成为可能，而可用于封装和 PCB 级的高级材料也随之产生。如薄介质，其介电常数可高可低。对于 RF 或高速数字信令，这种介质在高频处的材料特性很重要。

本节介绍了一种从 S 参数测量中提取材料介电常数和耗散因子的方法学，它应用了第 2 章中所介绍的快速求解程序。除了材料特性，通过应用这种技术，我们对介质厚度也进行了提取。提取得到离散频率点处的介电常数和耗散因子可以拟合成一个符合 Kramers-Kronig 关系的因果模型。应用第 4 章中所介绍的向量拟合法可以获得因果模型。对于高 K 和低 K 材料实例，需要采用高阶德拜模型。

5.6 嵌入式去耦电容器

如第 1 章所述，去耦电容器是 PDN 提供稳定电压的必要元件。然而，其寄生特性(可以用一个等效串联电感和和电阻来表示)会减小它对快速开关电路的去耦效果。如第 1 章所述，SMD 电容器去耦的频带范围为千赫兹到几百兆赫兹。高于这个频率时它们将变得无效，因为

位于电容器和开关电路之间的电流回路产生的回路电感影响逐渐增大。减小这些寄生效应的方法之一是在封装或电路板中嵌入电容器。这种嵌入式电容器可以离 IC 很近。因此，一个嵌入式电容器连接到 IC 上具有更低的电感。图 5.58 列出了嵌入式去耦电容器工艺三个可行的实例。在图 5.58(a)中，SMD 电容器被埋于封装层中，减小了从电容器到开关电路的电流回路，从而减小了回路电感。然而，SMD 电容器的引脚电感仍然存在。此工艺在所需去耦量不大且开关频率较低时是很有用的。嵌入电容器的第二种方法如图 5.58(b)所示，其中电源与地平面间使用了一种薄介质。这种工艺的电容密度有限(< 0.5 nF/cm²)，因此不适用于内核去耦。然而，嵌入电路板时，它可用于 I/O 去耦，因为在高频处减小了电感。这种工艺对高速信道很有用。第三种是将分立电容器嵌入封装的方法，如图 5.58(c)所示，它形成了一个电容器阵列。在 100 MHz 到 1 GHz 范围内，这种工艺可用于内核和 I/O 电路的去耦，并且如第 1 章所述，也可用于管控芯片 - 封装间的反谐振。这种方法在半导体 IC 封装中被应用。

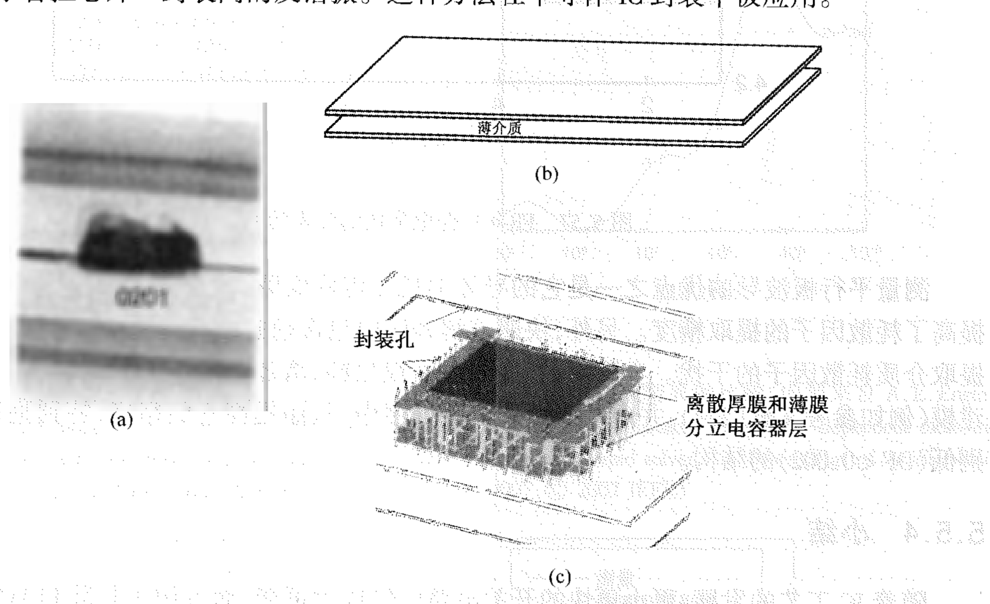


图 5.58 嵌入式去耦方法：(a) 封装中的嵌入式 SMD 电容器；(b) 电路板上的嵌入式平面电容器；(c)封装中的嵌入式分立电容器

本节基于图 5.58(b)和图 5.58(c)中的工艺，集中讨论嵌入式电容器的去耦应用。因此，所讨论的嵌入式电容器广义上可以分为两类：分立厚膜或薄膜电容器和平面电容器。嵌入式分立电容器包含一种高介电常数材料，具有各种尺寸。因此，在封装层中可用不同尺寸的电容器去耦。另一方面，嵌入式平面电容器由电源与地平面间的一个低 K 介质层组成。由于电容密度较高，嵌入式分立电容器可用于内核去耦，并且可置于封装级。而平面电容器在电路板级可用于管控传输线的返回电流。

5.6.1 嵌入式分立薄/厚膜电容器

如图 5.59 所示，封装中的分立厚或薄膜电容器层可用于去耦。这些电容器有不同的尺寸、不同的电容，因此有不同的谐振频率。与 SMD 电容器相比，这些电容器与有源器件的靠近减小了回路电感。使用分立电容器的另一个优点是可以获得较高的电容值。使用厚膜工艺，如杜邦工艺[23]，可以获得 150 nF/cm² 的电容密度。而使用薄膜工艺，如封装研究中心[24]或杜邦的薄膜工艺(正在研制的密度为 1 μF/cm²)，此值可增大到 1 μF/cm²。通过适当选择电容器的尺寸，可将从 100 MHz 到 1 GHz 这一中间频带作为去耦目标。

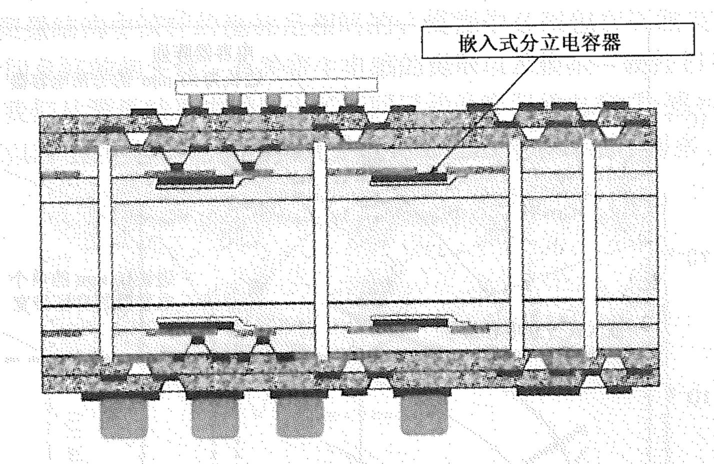


图 5.59 封装中的分立电容器层

很多可行的工艺和材料都可用于嵌入式分立电容器。我们用新型聚合物——陶瓷纳米复合材料介质将薄膜电容器与一个厚 10 μm、介电常数为 30 的介质组合在一起，得到高达 2.6 nF/cm² 的电容密度。为了支持高达 200 W 的功耗，应用低温工艺开发了超薄膜高 K 介质。通过快速热处理如热液和溶胶 - 凝胶等合成法，已研制出厚度小于 1 μm、电容密度约为1 μF/cm² 的薄膜。低温工艺很适于在封装上系统(SoP)的低成本有机基板上实现集成[25]。作为一个具有嵌入式去耦电容器的封装设计案例分析，本节采用了杜邦的商用电容器。

5.6.2 嵌入分立电容器的优点

如第 1 章中所述，由于电容器 ESL 的存在，SMD 电容器将发生谐振。在谐振频率处，阻抗为电容器的 ESR。通过使 SMD 在 PDN 阻抗峰值的对应频率处谐振，可以减小 PDN 的阻抗峰值。由于电容器是嵌入的，与 IC 形成回路的 ESL 和总电感比较小，所以我们这里仍使用同样的概念，但保留差异。因此，电容器将在更高的频率处谐振。通过控制电容器的尺寸，使它们在不同的频率处谐振，从而在一个较宽的频带上减小阻抗。图 5.60 将10 mm × 10 mm电容器的阻抗与相同面积中的一些尺寸更小的电容器进行了比较。当包含电容为 13.28 nF 的 10 mm × 10 mm电容器时，目标阻抗在 800 MHz 处满足，其带宽为 100 MHz。然而，当包含总电容为 0.16 μF 的不同尺寸电容器阵列时，满足目标阻抗的情况位于 300 MHz 到 1 GHz 的频带范围内。因此，要使目标阻抗满足的情况位于比单一大型电容器更宽的频带范围内，应用不同尺寸的分立电容器是一种更好的解决方案。

5.6.3 嵌入式厚膜电容器阵列设计

如图 5.59 所示，所讨论的嵌入式分立电容器可与标准 FR-4/BT 层压 PCB 工艺相兼容，并且可以集成到 BT 层压板中。图 5.61 是电容器的一张照片，其中过孔与电容器的顶端电极相连。图 5.62 给出了电容器在剖面图中的典型尺寸。介质厚度为 20 ~ 24 μm，介电常数为 3000。

耗散因子小于0.05。顶部铜箔和底部电极的厚度分别为35 μm和3～5 μm。这些电容器的构成包含铜箔及其下面不同模式的介质和电极。基于杜邦近期开发的工艺，它们的形状可以是边长为0.5～3 mm的矩形。

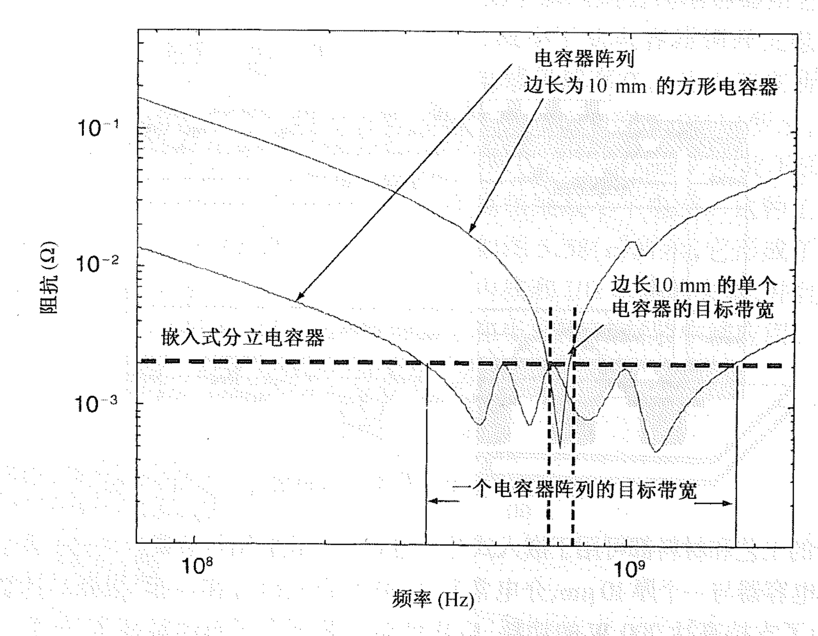


图5.60　单一大型电容器与嵌入封装中电容器阵列的比较

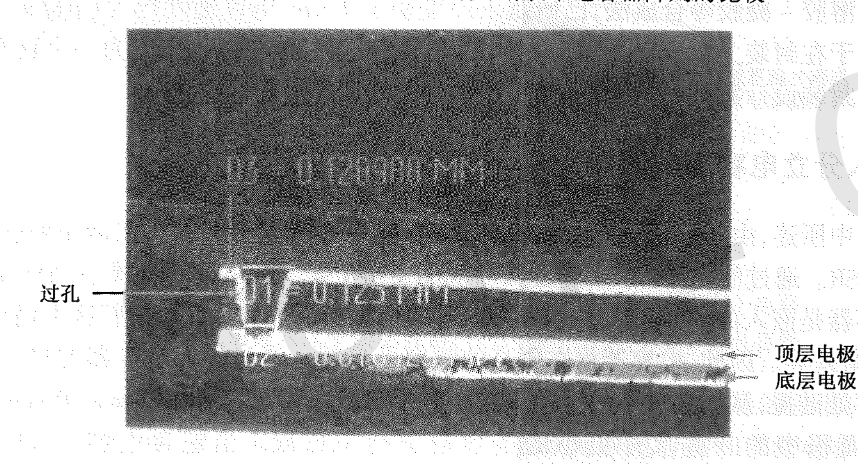


图5.61　嵌入层压板中的电容器

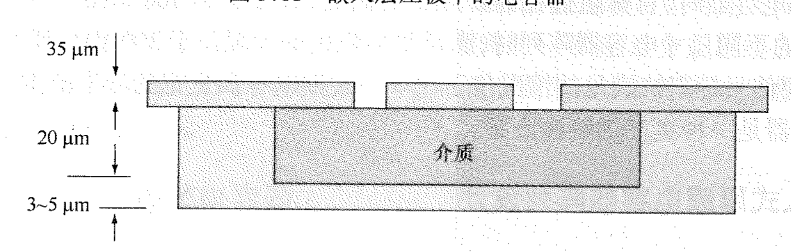


图5.62　电容器的剖面图

图5.63给出了测量不同电容器的阻抗曲线，它是根据第1章生成的。图5.64给出2 mm×2 mm电容器建模和测量值的模型－硬件相关性。我们应用TMM对电容器进行建模。在对其结构的建模中，忽略了边缘效应，因为这种结构的空间比(面积与介质厚度的比率)较大。在TMM中，端口与测量结构中探针的坐标是相同的。模型中必须包含探测装置的寄生电感，以获得模型与测量间良好的相关性。有关寄生电感的提取以及模型－硬件相关性的细节请参见参考文献[20]。我们从测量结果中提取出了不同尺寸电容器的电容、电感和电阻，表5.3列出了提取结果。可以看出，电容器的ESL为几十pH，比SMD电容器的小得多。

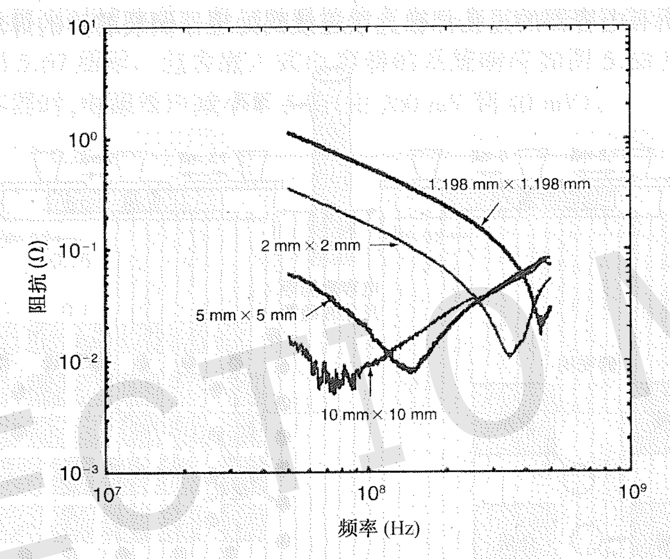


图5.63　不同尺寸电容器的频率响应

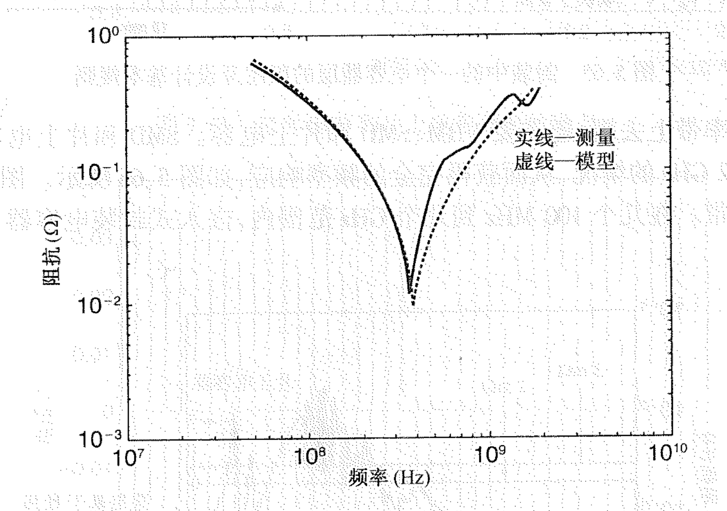


图5.64　2 mm×2 mm电容器模型与测量的相关性

表5.3　从测量中提取的参数

电容器尺寸(mm×mm)	ESC(nF)	ESL(pH)	ESR(mΩ)
1.198×1.198	2.84	42.6	16
2×2	8.772	23.8	10.36

为了在100 MHz到2 GHz之间满足目标阻抗，我们采用这些分立厚膜电容器设计了一种封装容性网络。并且要求这些电容器必须放置在离开关电路尽可能近的地方。在分配给电容器的两个封装层中，将所有分立电容器都位于裸芯片正下方或周围来设计容性网络。65 nm高性价比节点处理器的裸芯片尺寸选为11.8 mm×11.8 mm[26]。把电容器放置在裸芯片的下方可以减小封装中平面分布电感的影响。这个网络由每个独立电容器层上18个方形1 mm×1 mm电容器和18个0.75 mm×0.75 mm电容器组成。封装中较低层的电容器通过盲孔和通孔连接到处理器的电源与地焊球上。图5.65是其中一层的版图及设计的基本规则。通过此网络的设计，几乎所有电容器的过孔都被直接连接到处理器倒装芯片的焊球上。

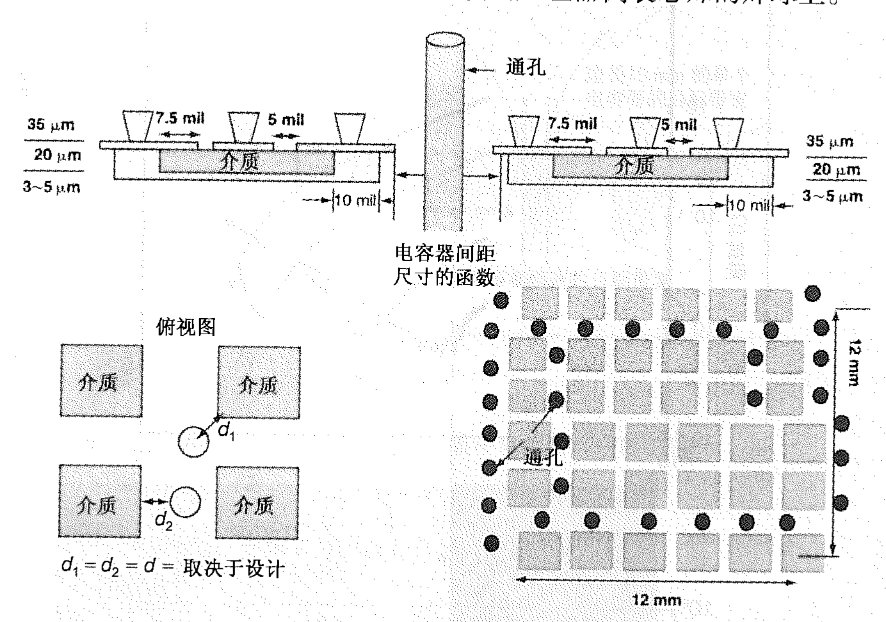


图5.65 封装中的一个电容器层的版图及设计基本规则

要在整个频率带上去耦，还需要VRM、SMD和片上电容。SMD和片上电容分别用于低于100 MHz和高于2 GHz的情况，从而获得完全的频率响应，如图5.66所示。图中给出了所有去耦元件的有效频带。在几个100 MHz到几个GHz范围内，嵌入式封装电容器可用于满足目标阻抗。

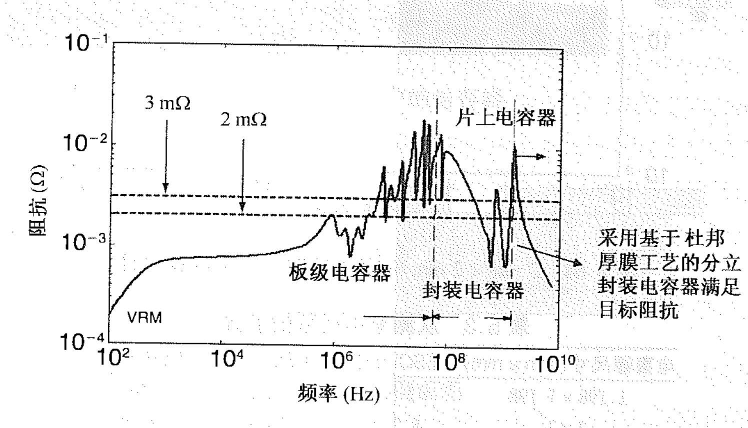


图5.66 包含VRM、SMD、嵌入式和片上电容器时的阻抗曲线

VRM在较低的千赫兹区有效，SMD在千赫兹到约100 MHz范围内去耦，片上电容器在高于2 GHz时使用。很显然，通过综合使用不同的去耦元件，在从DC到多倍芯片工作频率的宽频带范围中，目标阻抗可达毫欧姆量级。

接下来，我们研究容性网络的时域性能。对输入为2 GHz时钟的系统进行仿真，获取其特性。电流脉冲的上升边和下降边为50 ps。目标阻抗是基于电流脉冲幅度的。在此次仿真中，目标阻抗为2.5 mΩ，并假设内核电压为1 V，电流脉冲幅度为40 A。为了获得系统的时域响应，我们将输入电流脉冲序列的傅里叶变换与PDN的频域数据相乘。然后利用所生成频率响应的傅里叶逆变换得到时域响应。最初的系统仿真由一个VRM、SMD和片上电容器实现。系统的时域性能如图5.67所示。包含嵌入式电容器的系统响应如图5.68所示。这里，当封装中包含嵌入式电容器时，电源噪声减小了5倍(由200 mV到40 mV)。

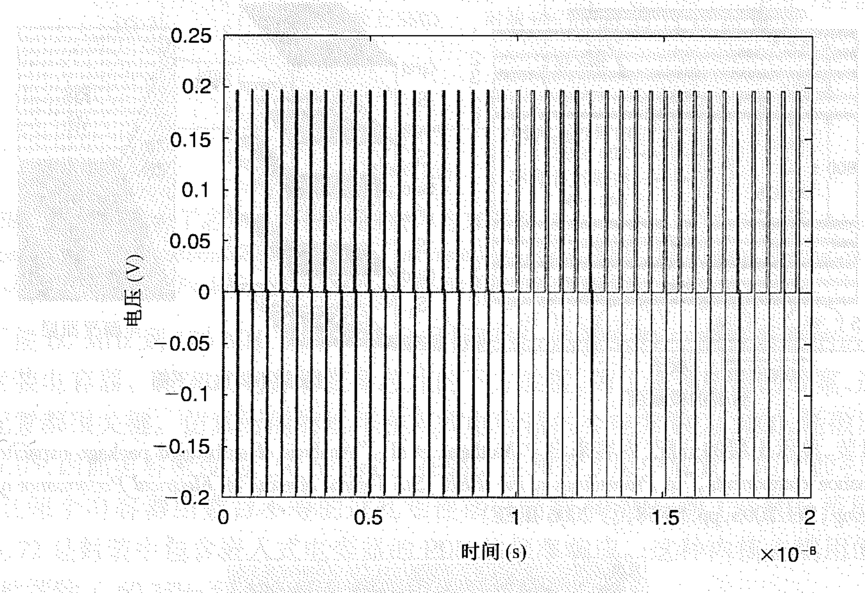


图5.67 包含SMD和片上电容器时的噪声

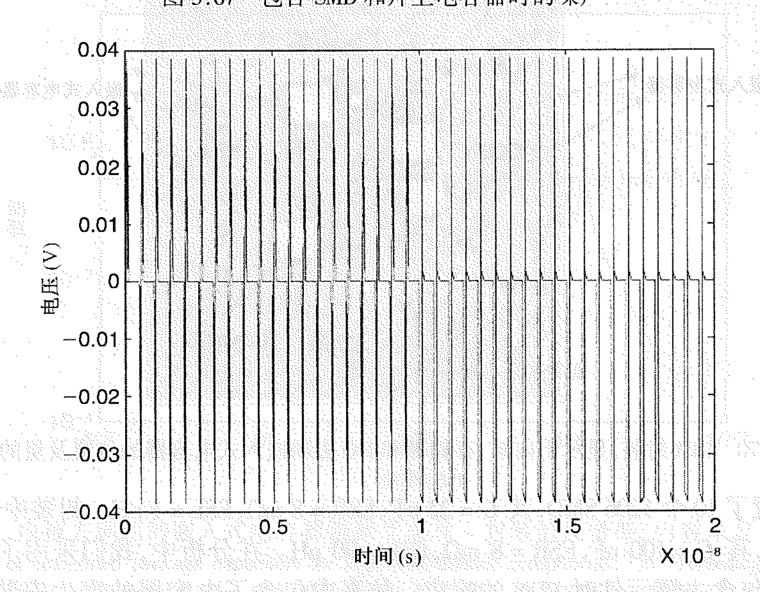


图5.68 包含SMD、嵌入式封装和片上电容器时的噪声

5.6.4 IBM 封装集成的嵌入式电容器

将电容器嵌入封装中时，难题之一就是布线的可行性，因为电容器可能会堵塞布线通道和过孔。在应用到倒装芯片工艺时，封装层所要求的密度重新分配使这个问题变得尤为突出。本节研究将厚膜电容器集成到 IBM 多层倒装芯片封装中。

图 5.69 给出了涉及的封装[23]的剖面图。它有一个 4-2-4 层压板叠层，以及多个电源与地平面。同时该图也给出了电源与地平面的分配。这个封装提供三种 PDN 为内核、I/O 和存储器供电。如图 5.70 所示，嵌入式电容器的使用改善了这三种 PDN 的性能。封装中嵌入了 4 个面积为 25 mm^2 的电容器和一个面积为 4 mm^2 的小型电容器。本节集中讨论内核 PDN。

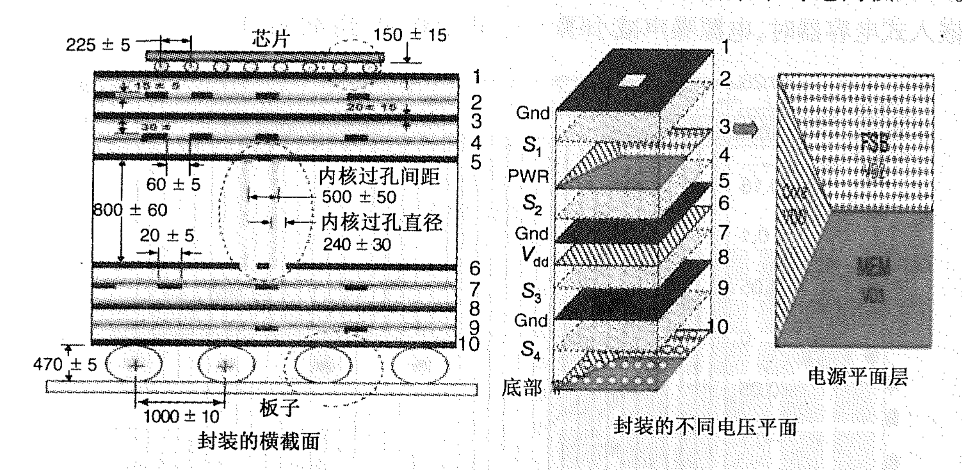


图 5.69 IBM 封装，显示出层的分配(内容来自 P. Muthana et al., "Analysis of embedded package capacitors for high performance components," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2006, pp. 55-58, © 2006 IEEE)

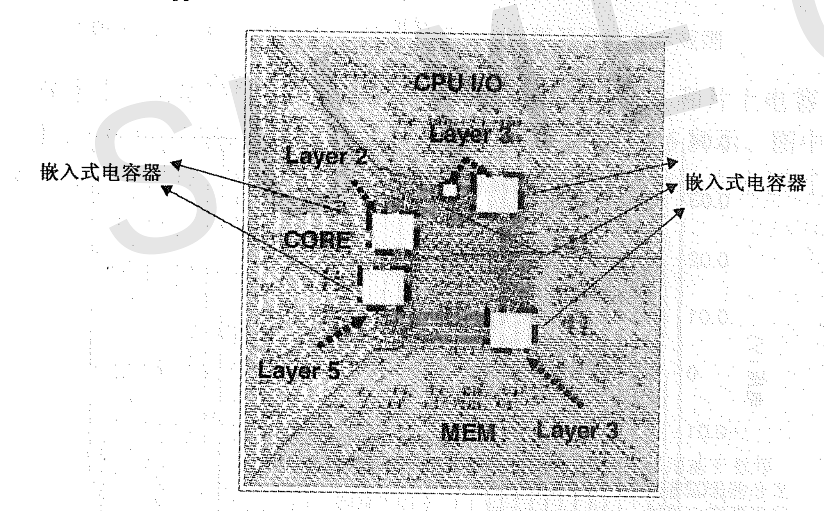


图 5.70 IBM 封装，显示出内核、存储器和 I/O 去耦嵌入式电容器的位置及层的分配

PCB 上放置了 10 个 1206 SMD，其 $C = 22\ \mu F$，ESR = 8 mΩ，ESL = 1 nH。封装中也放置了9 个叉指电容器(IDC)，其 $C = 100$ nF，ESR = 8 mΩ，ESL = 90 pH。在分析中，我们采用了 400 nF 片上去耦。图 5.71 是包含去耦元件时 PDN 的响应。仿真中包含了电容器的寄生安装电感。对于给定的应用，阻抗曲线是合理的，除了图 5.71 中的两个反谐振峰值。第一个反谐振在 PCB SMD 和 IDC 电容器之间，而第二个反谐振源于 IDC 和片上电容。由于这些反谐振的存在，目标阻抗在 5 MHz 到 25 MHz 和 60 MHz 到 120 MHz 频带内并没有得到满足。通过适当选择 SMD 可以减小第一个反谐振。

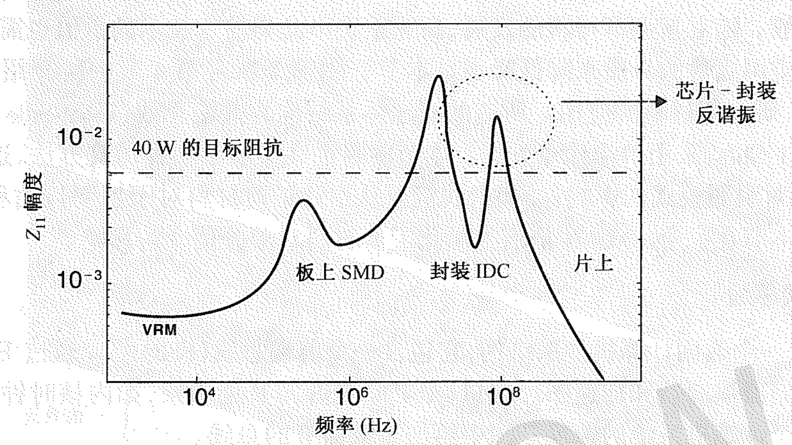


图 5.71 IBM 封装，显示出了芯片－封装反谐振(内容来自 P. Muthana et al., "Analysis of embedded package capacitors for high performance components," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2006, pp. 55-58, © 2006 IEEE)

为了使 60 MHz 到 120 MHz 频带内满足目标阻抗，如图 5.71 中曲线所圈的区域，需要采用嵌入式封装电容器。嵌入式电容器在裸芯片的下方放置，为了做到所需的带宽，过孔的数量和适当的配置都很关键。仿真所用的杜邦嵌入式电容器的介电常数为 3000，耗散因子在 1 MHz 处小于 0.05，因而电容密度为 150 nF/cm^2。在第 2 层和第 5 层中放置了两个面积为 25 mm^2 的电容器，且每个电容器由数目不等的过孔相连接以瞄准 60 MHz 到 120 MHz 范围内的不同频带。图 5.72 是封装中包含嵌入式电容器的 PDN 的频率响应。这种内核去耦用的嵌入式电容器，有效地消除了 60 MHz 到 120 MHz 频带中的阻抗峰值。

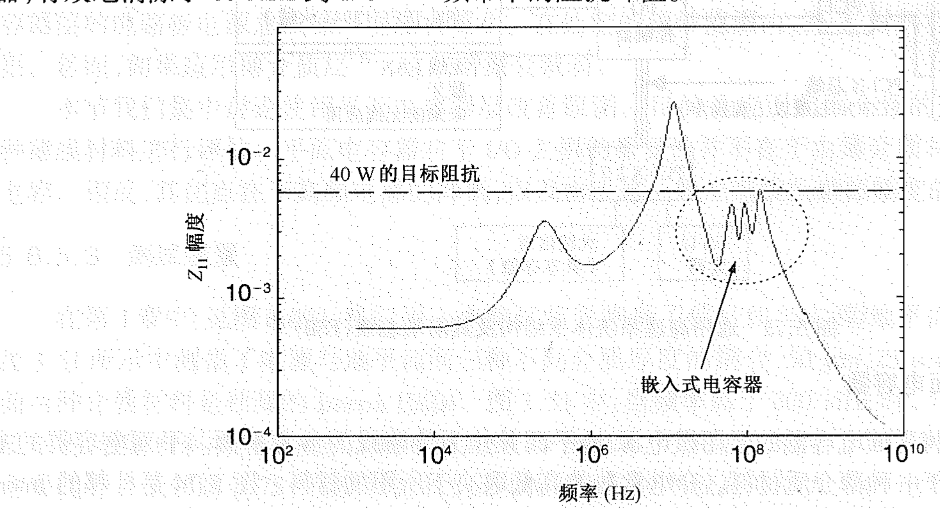


图 5.72 IBM 封装，内核去耦用的嵌入式电容器消除了芯片－封装的反谐振(内容来自 P. Muthana et al., "Analysis of embedded package capacitors for high performance components," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2006, pp. 55-58, © 2006 IEEE)

5.6.5 嵌入式平面电容器

由于对噪声的敏感性较低,差分信令越来越受到人们的青睐。然而,差分信号引出了成本问题。它不仅需要额外的布线空间,而且要将差分传输线设计得完全匹配,这对任何设计者而言都像噩梦一般。随着新型薄材料的发展,高速系统中此类信令技术的价值也需要重新评估,因为我们可以应用更薄的介质来降低噪声。本节应用第 2 章~第 4 章中所介绍的方法,以减小 SSN 为目的,研究薄材料的应用。所选的互连体系结构为前端总线(Front-Side Bus,FSB),其速度为每信道 1 Gb/s,采用单端信令方案。本节的目的在于展示一种仿真方法,这种方法用于获得 PDN 噪声对眼图模式的影响。同时,我们要从中评估薄材料对于控制抖动和最大化电压容限的效果。本节在一个 10 Gb/s 信道上量化了薄材料对差分信令的影响。

5.6.5.1 前端总线

图 5.73 是一个通用计算机体系结构,它包含一个前端总线(FSB)[27]。通过 FSB,多个处理器被连接到存储器控制器和加速图形端口(AGP)。FSB 与其他因素,如内核时钟速度和结构,一起决定了一个计算机系统的速度。图中给出了被研究的总线。

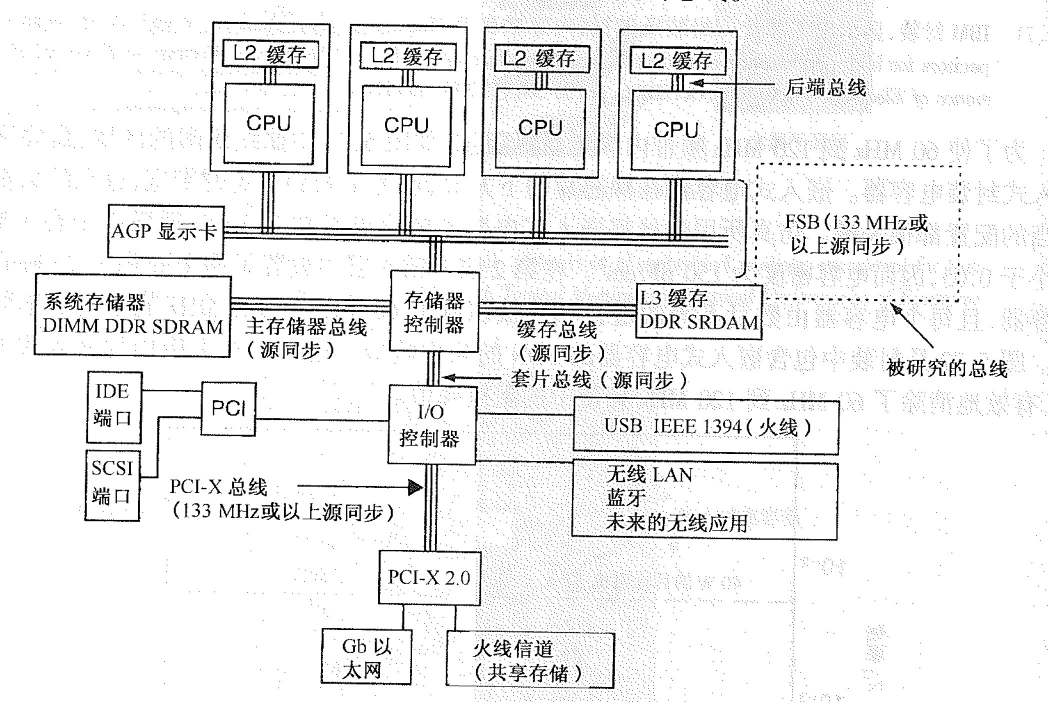


图 5.73 通用高速系统体系结构及其前端总线(FSB)[27]

5.6.5.2 平面电容器

我们通常将平面电容器的层用做电源/地平面并作为传输线的参考平面。平面电容器的主要特点是它基于一种薄介质材料。介电常数的高低取决于所用的材料。图 5.74 是杜邦的 Interra™HK04 电容器层压板。电容器的形式为两铜板之间的一个层压板,一种薄的且未加固的介质材料。这种介质的介电常数为 3.5,厚度为 18 μm 和 25 μm[28]。通过应用由薄介质隔开的电源/地平面(平面电容器),可以有效地减小平面间的噪声电压,因为如第 1 章中所述,电源平面的电感随介质厚度的减小而减小。可以看出,平面电容器可以改善 SI,尤其是对于高速 I/O 信令。20 世纪 90 年代[29]以来,其他材料的平面电容器已应用于各种产品,包括服务器电路板。

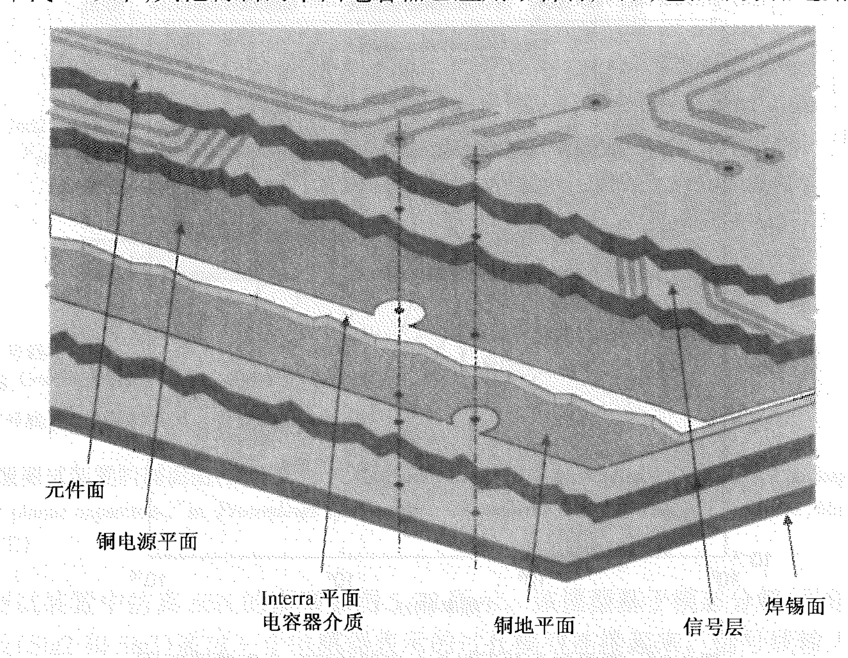


图 5.74 杜邦 Interra HK04 电容器层压板(内容来自 DuPont 公司)

对于内核去耦,这些平面电容器的电容一般都不大。然而,它们为分立 SMD 电容器提供了一种低阻抗路径,改善了分立电容器的效果。根据 OEM 的一些研究,通过在电源与地平面[30]间使用一种超薄的加载层压板材料,高达 75% 的 SMD 去耦电容器都可以被取代,而电路板仍可正常工作。根据这个研究,被取代的分立电容与所增加的平面电容之比约为几十倍。

时域测量同样表明,与在电源与地平面间有一个厚介质层的电路板相比,一个包含平面电容器层的电路板电源总线噪声电压将更小。在给定的频带范围内,高 K 材料将引入更多的谐振。然而,如果应用薄介质层[31],这些谐振会减弱。

本节我们集中讨论使用平面电容器层改善眼图。目的是应用前面介绍的建模方法,对各种薄膜材料进行评估。平面电容器对于 I/O 去耦的重要性并不在于由薄介质材料引入的额外电容。相反,其优点在于高频电感的降低,以及由于这一阻尼造成反谐振幅度的减小。

5.6.5.3 测试装置

在第 3 章中(见图 3.49),我们用一个测试装置测量了信号线与电源/地平面间的耦合。在图 3.51 所示中测量了电源与地平面间三种不同介质厚度的耦合:50 μm、25 μm 和 18 μm。后面两种介质材料是杜邦的 Interra HK04。图 3.51 中,当频率高于 300 MHz 时,与 50 μm 厚的介质相比,较薄材料将隔离度从 10 dB 增加到 15 dB。本节将指出,对于 I/O 信令而言,这是一个主要优势。正如图 5.75 所说明的,我们必须注意到,频率较高时加大 SMD 电容器并不能提高隔离度。本例给出尺寸为 192 mm × 198 mm 的矩形平面对两边缘间的转移阻抗。测量使用了 156 个 1 nF 电容器(0402 型),没有任何其他电容器。它们提高了低频处的隔离度。然而,电源与地平面间存在薄介质的电路板光板的阻抗在高频处会更小。

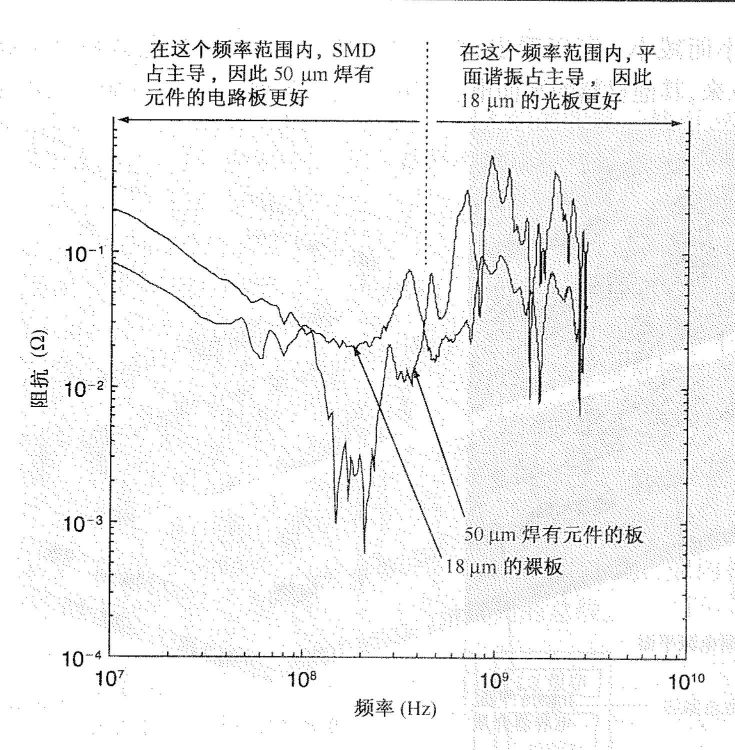


图 5.75 测量包含与不包含电容器的矩形平面转移阻抗

图 3.49 为一个没有放置任何 IC 的无源测试装置。现在我们来研究另一个放置有 IC 的测试装置，如图 5.76 所示。所用 IC 是一个频率为 100 MHz 的时钟振荡器。这个 IC 被连接到一条长信号线上，从而放大了 SSN。图 5.77 是该测试装置的剖面图。其中，信号线 Sig2 和 Sig3 是带状线。通过一个过孔将芯片的 I/O 驱动器连接到 Sig3，然后通过另一个过孔切换到 Sig2。线的远端匹配端接 50 Ω 的电阻器(两个 100 Ω 电阻器并联)。如第 3 章中所述，穿过电源与地平面间介质层的过孔切换产生了一个电磁波。该电磁波在电源与地平面间产生噪声，我们对此噪声进行了测量。应用了三种测试装置；它们之间唯一的不同点就是 V_{dd} 与 Gnd2 平面间的介质厚度不同。

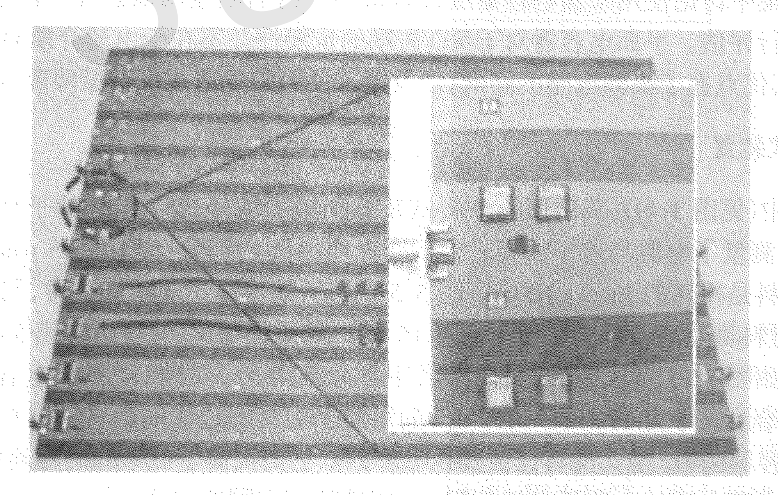


图 5.76 有源测试装置

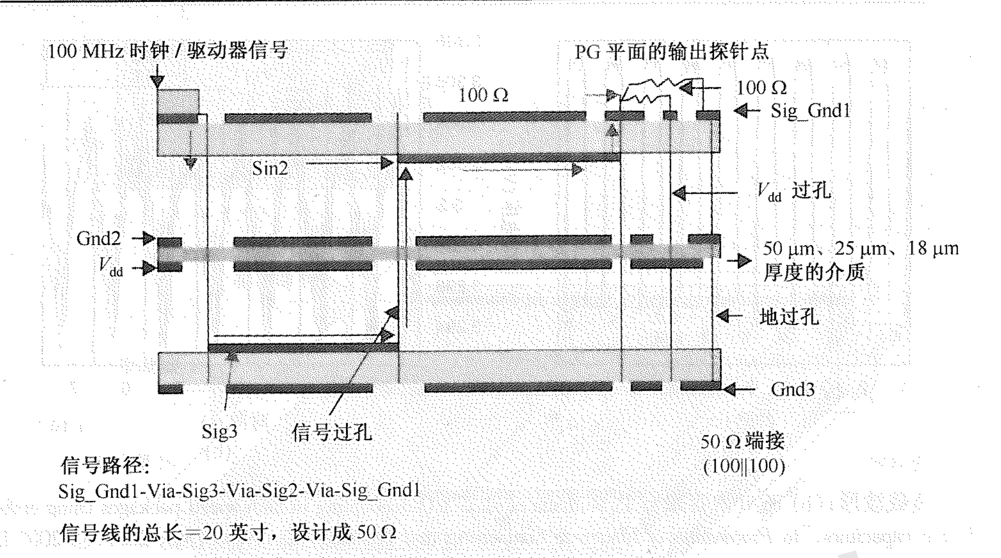


图 5.77 有源测试装置的剖面图(内容来自 P. Muthana et al.,“I/O decoupling in high speed packages using embedded planar capacitors,” in *Proceedings of Electronic Components and Technology Conference*, May 2007, © 2007 IEEE)

有源测试装置中仿真 SSN 的模型如图 5.78 所示。该模型基于模态分解(见第 3 章)，其中两条带状线(Sig2 和 Sig3)通过一个电感器表示的过孔模型连接起来。信号线输入和输出端的过孔也表示为电感器。受控源在平面模型和信号线间引入耦合，耦合系数 k 为 -0.5。我们可以应用第 2 章中介绍的任何一个平面模型。同样，也可以应用带状线的任何一个传输线模型。第 3 章中介绍的驱动器模型在这里用做 I/O 驱动器。

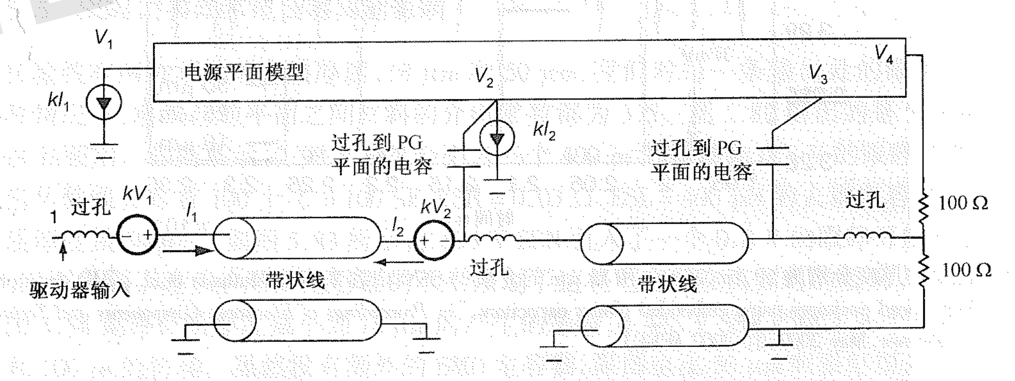


图 5.78 有源测试装置的模型(内容来自 P. Muthana et al.,“I/O decoupling in high speed packages using embedded planar capacitors,” in *Proceedings of Electronic Components and Technology Conference*, May 2007, © 2007 IEEE)

信号线远端的模型 - 测量的相关性如图 5.79(a)所示。通过探测连接到电压和地平面的过孔，对 SSN 进行了测量，如图 5.79(b)所示，图中同时也给出了模型的响应。由于估算了驱动器的压摆率，并应用于驱动器模型中(未找到驱动器的电路模型)，结果相当精确。

对有源测试装置各种介质厚度测得的 SSN 如图 5.80 所示。SSN 从 50 μm 厚介质的 37 mV 分别减小到 25 μm 和 18 μm 厚介质的 18 mV 和 15 mV。

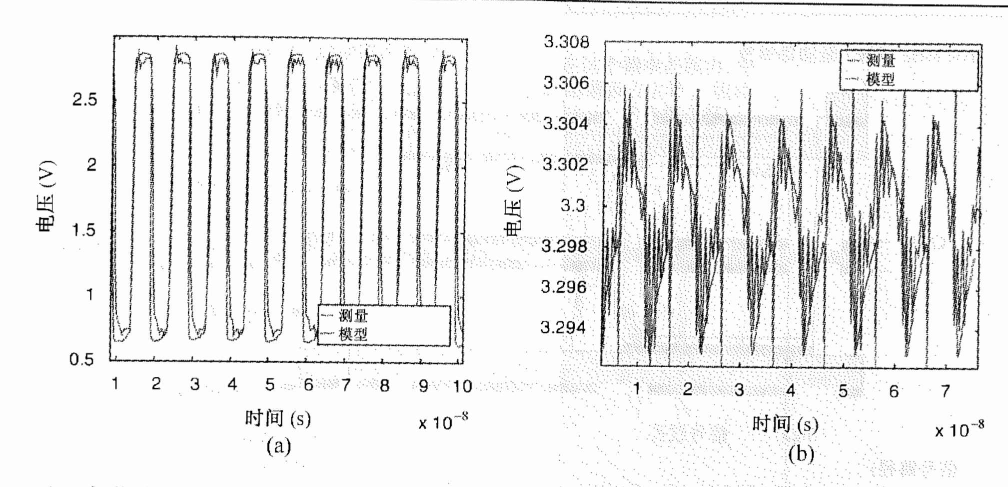


图 5.79 (a) 负载波形；(b) SSN(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technlogy Conference*, May 2007, © 2007 IEEE)

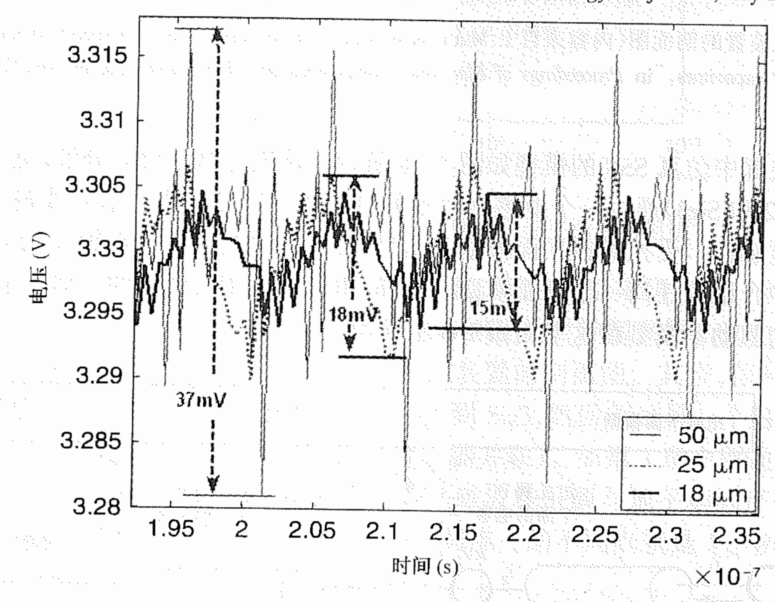


图 5.80 测量的厚度分别为 50 μm、25 μm 和 18 μm 的介质的 SSN(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007, © 2007 IEEE)

5.6.5.4 FSB 的仿真

图 5.81 是 FSB 仿真装置的剖面图和三维图。我们仿真了一个 16 位总线，该总线以两个地平面为参考，结构为一个单端的 50 Ω 带状线。带状线的一端连接到驱动器，该驱动器是以 1 Gb/s 速率的伪随机比特流波形序列(PRBS)。另一端通过 100 Ω 电阻器分别连接到电源与地，以获得 50 Ω 的有效端接。带状线的间距比较大(2 mm)，消除了串扰，使得可以集中考虑通过电源/地平面的噪声耦合。1 V 的供电电源位于电路板的右边缘。

我们应用 ADS 中可用的带状线模型对传输线建立模型[14]。应用 TMM 对电源/地平面建立模型。然后，用模态分解将传输线模型与电源/地平面模型对接起来。

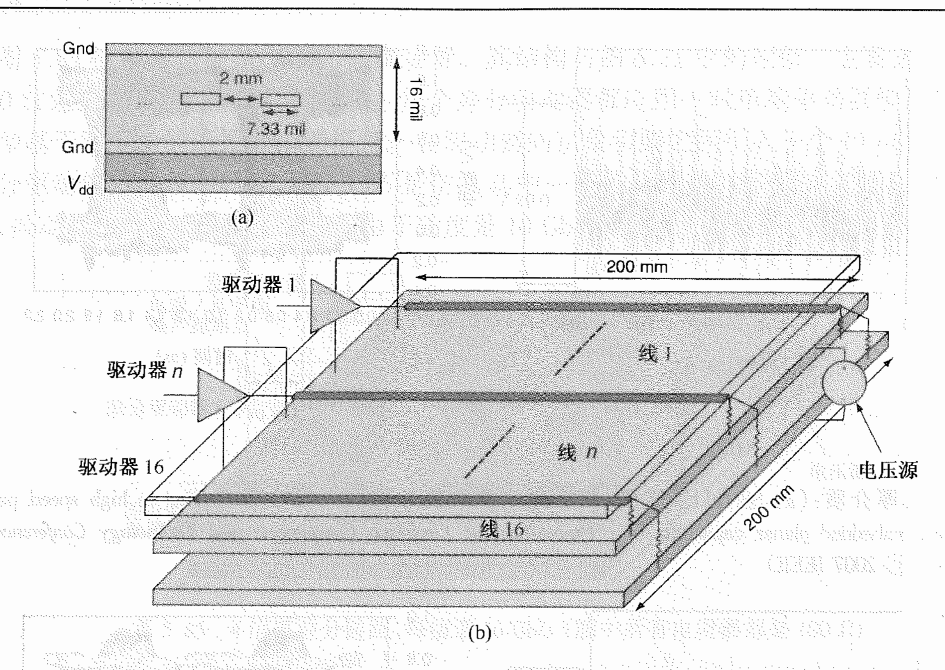


图 5.81 16 比特前端总线：(a) 剖面图；(b) 三维图(所有电阻器均为 100 Ω)(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007, © 2007 IEEE)

第 3 章中的模型被再一次用于驱动器。这个模型包含了代表 CMOS 反相器开关的时变电阻器。本例中 1 Gb/s 信号的上升/下降边为 200 ps。

5.6.5.5 SSN 对抖动和电压容限的影响

传输线有两种不同的介质厚度，18 μm 和 50 μm，我们对每一条输出处的眼图进行仿真。在两种情况下，电源与地平面之间材料的介电常数都为 3.5。图 5.82 给出的是 50 μm 厚介质的 SSN 和眼图。如图所示，0.98 V SSN 会引入一个 400 ps 的抖动和 0.7 V 的眼睁开度。然后，考虑沿传输线分布着 100 个 $C = 100$ nF、ESR = 0.03 Ω、ESL = 400 pH 的去耦电容器，且平面所用介质厚度是 50 μm。如图 5.83 所示，0.695 V SSN 引入了一个 0.8 V 的眼睁开度和 300 ps 的抖动，眼图得到了改善。SMD 电容器的 ESL 限制了这些电容器在高频时的效果。

图 5.84 是将介质厚度减小到 18 μm 时产生的影响，0.445 V SSN 产生了一个 0.9 V 的眼睁开度和 100 ps 的抖动。虽然没有额外的 SMD 电容器，眼图也比 50 μm 时要好得多。

虽然 FSB 的结果是在理想情况下测量的，如图 5.82 所示，但是图 5.83 和图 5.84 反映了一个有趣的趋势，证明了薄介质材料在控制 SSN 和最大化眼睁开度中的作用。

5.6.5.6 差分线 SSN 对抖动和电压容限的影响

接下来，我们讨论一个 4 信道的以太网背板(backplane)，该 4 信道总带宽是 40 Gb/s，每个信道的速率为 10 Gb/s。这种速度下，差分线更受青睐，因为它产生的噪声较少。由于只用了 4 个信道，背板上差分线的布线也更加容易。然而，由于差分线以电源/地平面为参考，返回电流会在电源上产生噪声。下面，讨论差分线中薄介质对最小化 SSN 产生抖动的影响。

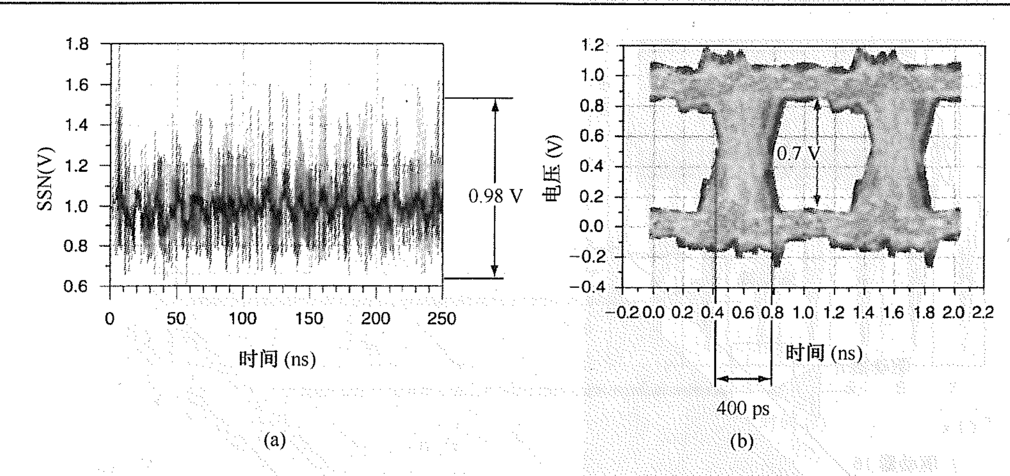


图 5.82 50 μm 厚介质:(a) SSN;(b) 眼图(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007,© 2007 IEEE)

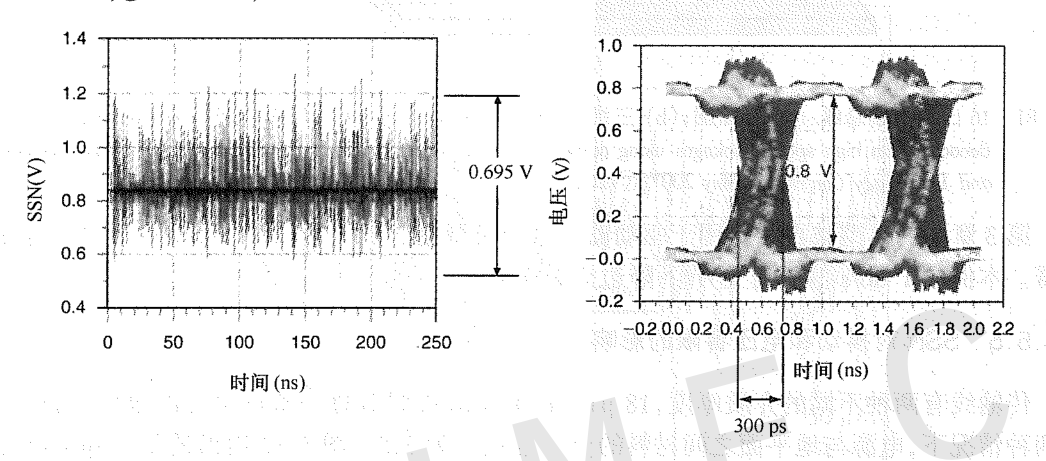


图 5.83 包含 100 个 100 nF 电容器的 50 μm 厚介质:(a) SSN;(b) 眼图(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007,© 2007 IEEE)

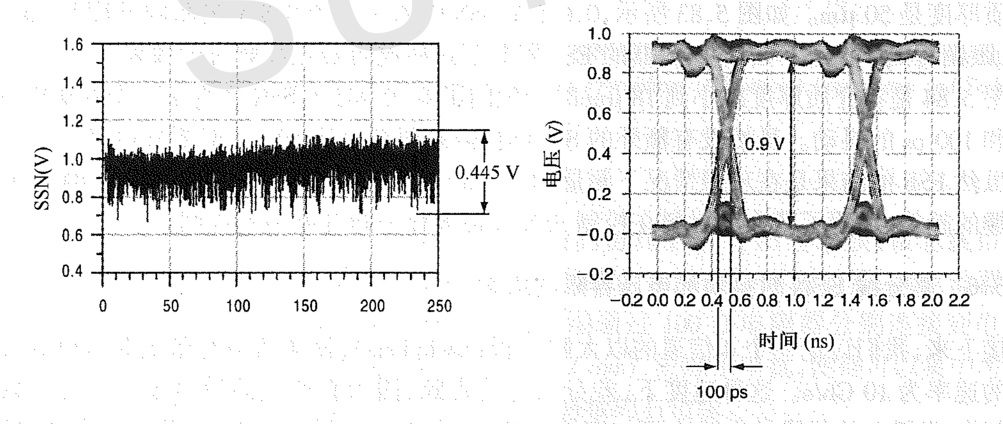


图 5.84 18 μm 厚介质:(a) SSN;(b) 眼图(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007,© 2007 IEEE)

图 5.85 给出了这种情况下的仿真装置。其结构与图 5.81 中的相似。主要区别在于应用了 100 Ω 差分线,且作为微带线布线。每个差分驱动器都应用一对单端驱动器模型进行建模,该模型基于第 3 章的压控电阻器模型。在驱动器的正负引脚之间引入一个 10 ps 的错位,以代表差分驱动器的非理想特性。图 5.86 是仿真其中一条差分线远端的眼图。通过使用一种薄介质,抖动从 18 ps 减小到了 8 ps。由于速度是 10 Gb/s,这个减小程度很明显。

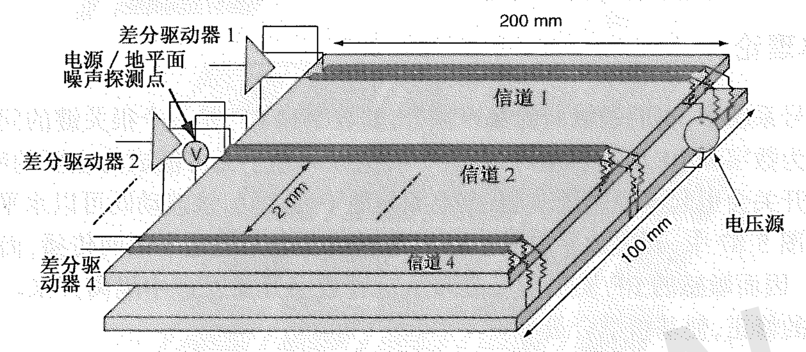


图 5.85 4 信道差分链路,每信道 10 Gb/s(图中所有电阻器都是 100 Ω)

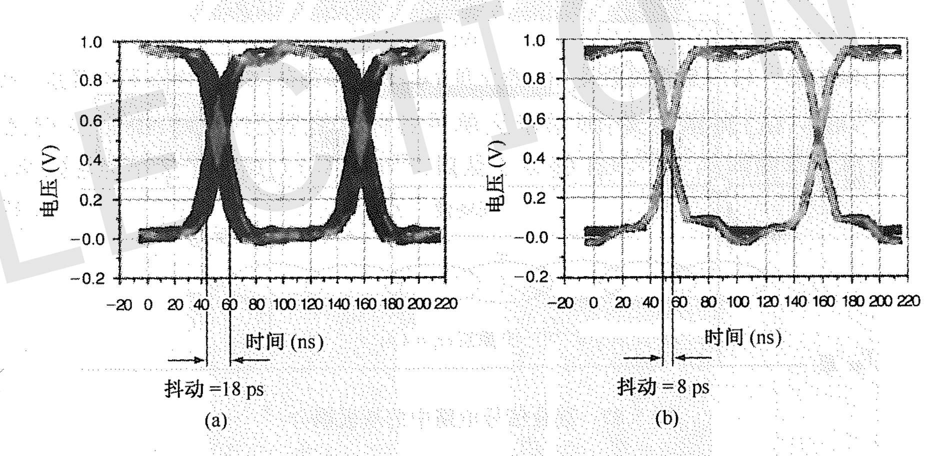


图 5.86 (a) 50 μm 厚介质的抖动;(b) 18 μm 厚介质的抖动(内容来自 P. Muthana et al.,"I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007,© 2007 IEEE)

5.6.6 小结

本节列举了嵌入式去耦电容器的实例。应用第 2 章中的方法,对电容器和平面进行了建模,并与第 3 章中的传输线和驱动器模型对接。本节重点讨论了两种电容器。由于内核逻辑电路的切换,嵌入式分立电容器可以改善电源噪声。另一方面,平面电容器可用于 I/O 去耦或管控传输线返回电流。仿真结果表明这种情况下的眼图得到了有效的改善。从眼图的仿真结果还可以看出,将电源平面与信号线间的耦合考虑在内是非常重要的。

5.7 电磁带隙(EBG)结构

为了成功设计出一个由数字和模拟/RF 电路组成的高性能系统,SSN 是一个主要瓶颈。例如,无线移动产品和测试模数变换器芯片所用的负载电路板情况就是如此。由于模拟/RF

电路特有的低电压变化，这种混合信号设计对 SSN 很敏感。应用 EBG 结构可成功地把数字电路与模拟/RF 电路隔离开来。本节将讨论的 EBG 结构包括建模方面的基本特性。由于 EBG 结构是高频结构，平面建模中必须讨论二阶效应，如间隙场和边缘场。在应用第 2 章中介绍的有限差分法时，需要根据间隙场和边缘场效应加入适当的修正因子。另外，对将 EBG 结构集成到数字系统中产生的问题进行了定量分析。

5.7.1　基本理论

在混合信号系统中，不同领域间的噪声耦合，如数字和 RF，是一个很关键的问题。当用一个相同的电源为数字和 RF 电路供电时，封装中的电源和地平面可能成为主要的噪声耦合源。驱动器的同时开关会引起电源电压波动，在电源与地平面之间，该波动既可以水平传播也可以垂直传播。在图 5.87 中，开关数字电路引入的电磁波在电源与地平面间传播，而且可以耦合到 RF 电路中。因而敏感的 RF/模拟信号必须从这种数字开关噪声中隔离开来。必须对平面结构进行适当的修正，使基板耦合最小。

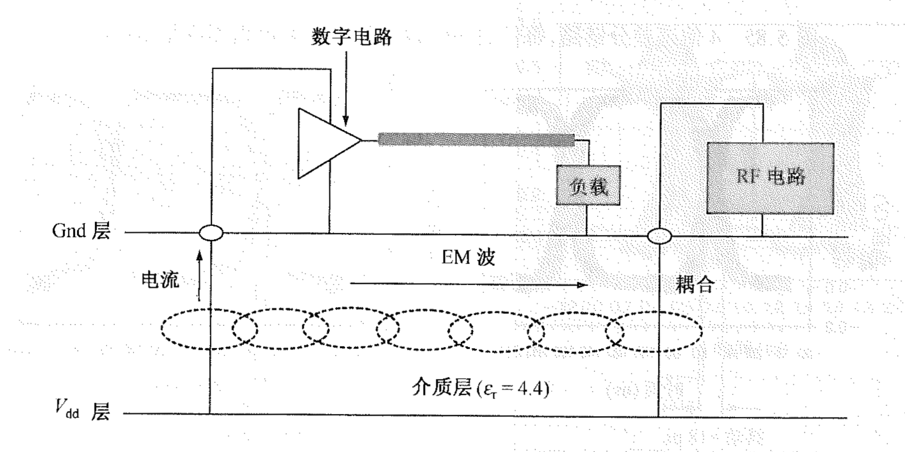


图 5.87　混合信号电路中的基板耦合

在一个电源/地平面对上，EBG 结构可在一些特殊的频率提供隔离。同时，提供一种 DC 连接，使相同的电源可用于不同的领域，如数字和 RF 模块。因此，在混合信号系统中，应用 EBG 结构是抑制噪声的一个前景很好的方法。EBG 结构中的隔离是由电源或地平面的周期模式形成的。这种形式决定了带隙特征，如隔离度和带隙（阻带）区域。

Sievenpiper[32] 首创在天线中将 EBG 结构用做一个高阻抗表面。最初提出的蘑菇型 EBG 结构，后来用于数字系统[33][34] 的隔离。蘑菇型 EBG 结构由三个带有盲孔的金属层组成。这种结构在后面修正为一个两层结构，且无需盲孔[35][36]。应用标准加工工艺时，这种结构的制造成本很低。通过蚀刻电源或地平面，如图 5.88(b)所示，很容易获得周期性图案。只需改变其中一个平面的图案，保持其他平面对信号返回电流的连续性。图 5.88 给出了一个周期结构的实例，它可作为 EBG 结构，并且只显示了其中的一个平面层。由图可知，通过横向重复使用图 5.88(a)中的单元格，可得到周期结构。当单元格沿单一方向重复使用时，我们称它为一维 EBG 结构，如图 5.88(c)所示；若沿两个方向重复使用，就称为二维 EBG 结构。EBG 结构的响应由三个参数决定：阻带的起始端，阻带的带宽，以及阻带中可达到的隔离度。阻带的起始端和带宽取决于 EBG 结构的色散图(dispersion diagram)，它可通过假设 EBG 结构的周期无限长对一个单一单

元格的分析而获得。通过提取有限尺寸 EBG 结构的 S 参数，可确定需要的隔离度。可实现的隔离度随 EBG 结构单元格数目的增加而提高。

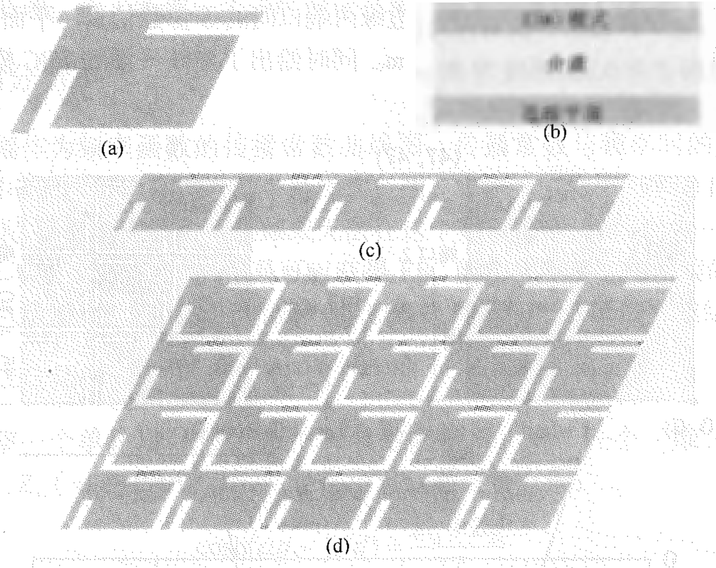


图 5.88　电源/地平面对中 EBG 格栅的实例：(a) 单元格；(b) 几层的叠层；(c) 一维 EBG；(d) 二维 EBG

图 5.89 是相关文献中已经发表的各种单元格结构：交流阻抗(AI)-EBG[35]，狭缝(slit)-EBG[21]，单面紧凑型光子带隙(UC-PBG)[37]，以及 L 型桥 EBG[38]。不同的单元格将给出不同的带隙特征。

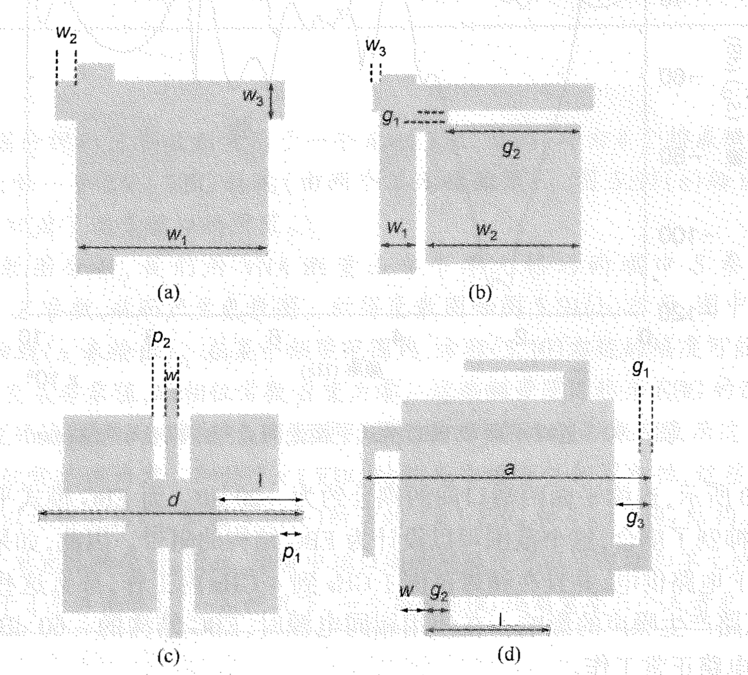


图 5.89　两层 EBG 单元格实例：(a) AI-EBG；(b) 狭缝-EBG；(c) UC-PBG；(d) L 型桥 EBG(内容来自 A. E. Engin, Y. Toyota, T. H. Kim, and M. Swaminathan, "Analysis and design of electromagnetic bandgap(EBG) structures for power plane isolation using 2D dispersion diagrams and scalability," in *Proceedings of the IEEE Workshop on Signal Propagation on Interconnects*, Germany, May 2006, © 2006 IEEE)

5.7.2 EBG 结构的响应

图 5.90 是(47 mm×47 mm)平面对相对边缘两端口间的 S 参数仿真。平面间介质为 FR-4,介电常数为 4.6,耗散因子为 0.02,厚度为 50 μm。同时给出了连续平面和 EBG 模式平面传输系数的幅度。

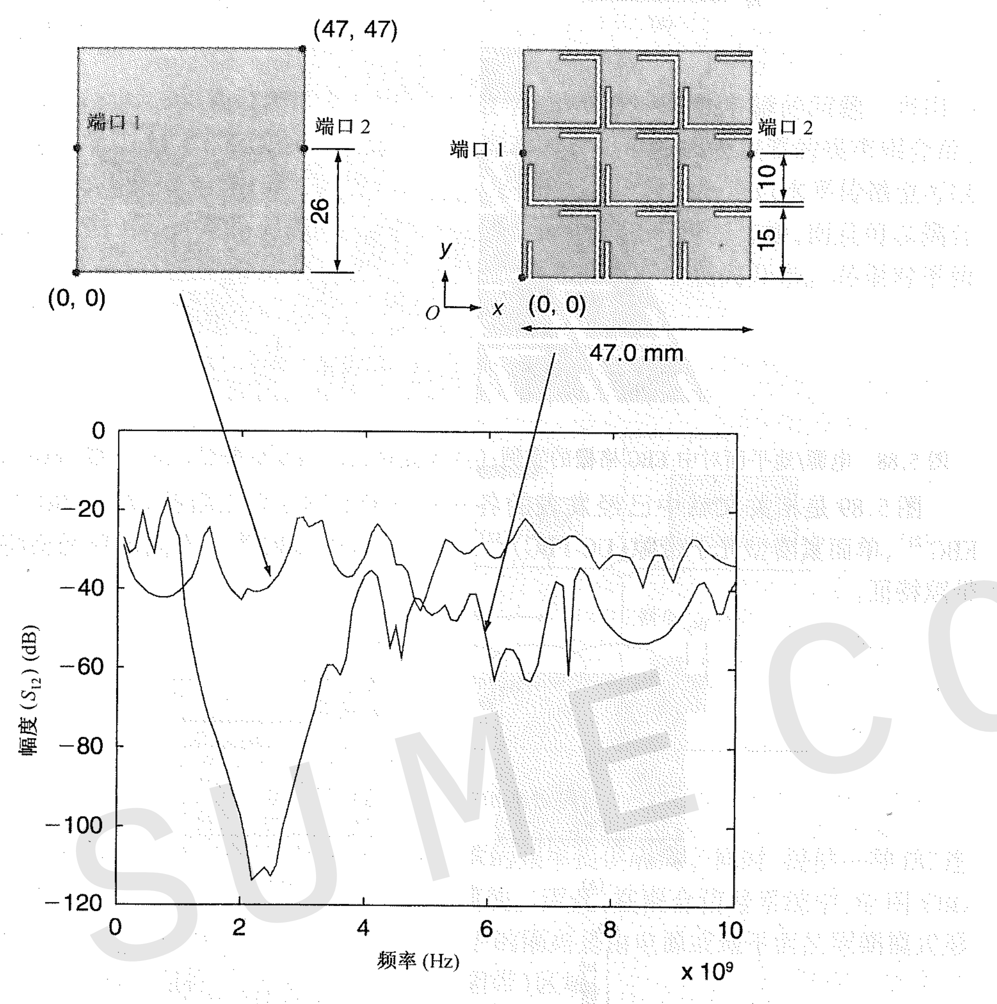


图 5.90 连续平面和 EBG 模式平面上两点间的耦合(单位:mm)

如图 5.90 所示,连续平面两端口间的耦合约为 -20 dB。而 EBG 模式平面在约 1 GHz 到 4 GHz 明显地抑制了耦合,这个范围可以设计为 EBG 结构的阻带。因此,如果用这个电路板的一个端口给 RF 电路供电,并且在频带范围 1 GHz 到 4 GHz 内工作,那么这些电路将不会受到由开关数字电路产生噪声的影响。在使用相同电源时,EBG 结构的 -60 dB 及更高的隔离度可以保证 RF 电路正常工作。

我们应用第 2 章所介绍的 M-FDM 实现了这些仿真。与全波法相比,M-FDM 可以更有效地对这些结构进行仿真,尤其是对于 EBG 结构尺寸增加而狭缝尺寸减小的情况。

EBG 结构的设计分两步。第一步,由一个单一的单元格计算出色散图。色散图在很大程度上减小了计算复杂性,且提供了阻带的起始端和带宽信息。然而,它并没有涉及隔离度。第二步,计算 S 参数(一个工作量较大的计算过程)。为了计算出 S 参数,我们对有限尺寸 EBG 结构进行了离散处理。为了实现一个迭代设计过程,两个步骤缺一不可。

5.7.3 色散图分析

色散图是一幅作为频率函数的传播常数曲线图。传播常数与频率间的关系确立了 EBG 结构的通带,表明电磁波可以在这个频带范围内传播。假设传播常数与频率间没有关系,或者相位常数是纯虚数,那么电磁波将被衰减或无法在这个频带范围传播,成为一个阻带。如前所述,由色散图分析不能得出 S 参数,但是可以获得 EBG 能作为隔离结构使用的区域。

为了计算出色散图,在下边两节中,我们将 EBG 结构区分为一维和二维结构。

5.7.3.1 一维 EBG 结构

现在我们考察一个单元格,用其阻抗(Z)参数来表示。对于一个一维、无限长周期的结构,用 Z 参数 Z_{11}、$Z_{12}(=Z_{21})$和 Z_{22}表示,色散图可以通过解方程:

$$\cosh(\alpha d + \mathrm{j}\beta d) = \frac{Z_{11} + Z_{22}}{2Z_{12}} \tag{5.10}$$

获得。其中,α 和 β 是衰减和相位常数,d 是周期间隔(或两端口的间距)[39]。在对单元格的建模中,我们可以假设导体是理想的,介质无损耗。一个单元格的 Z 参数可由一个电磁求解程序计算求得(如有限差分法)或直接测量获得。

举例

将一维色散图分析和 S 参数测量用于一个 4×1 EBG 结构(即由 4 个排成一排的单元格组成一维 EBG 结构)和一个 2×1 EBG 结构(由两个单元格组成)。图 5.91(a)给出了 4×1 EGB 结构的照片,其中标出了测量端口的位置。

为了进行色散图分析,我们用 VNA 测量出单个单元格的两端口 S 参数,然后通过方程(5.10)转换为 Z 参数,从而产生色散图。所得色散图如图 5.91(b)所示,图中绘出了相位常数 β 关于频率的曲线(α 未绘出)。在某个频带范围内,方程(5.10)右边的幅度可能会大于 1。因此,衰减常数 α 将变成非零值,而相位常数 β 变为零。这些频带范围称为 EBG 的阻带,因为这些范围内没有电磁波传播或者认为只存在消散波。图 5.91(b)中的阴影部分表示这个一维 EBG 结构的阻带,其中相位常数 β 为零。即使 2×1 EBG 结构几乎没有任何周期性,这些阻带与测量的传输系数 S_{21} 也可以很好地匹配,如图 5.91(c)所示的 2×1 EBG 和 4×1 EBG 结构。结果证明:通带和阻带仅取决于单元格的设计,因此,阻带中端口间的隔离度可以通过增加单元格的数目来提高(两个单元格相对于 4 个单元格)。一般情况下,一个高的 EBG 隔离需要三个或者更多的单元格。

5.7.3.2 二维 EBG 结构

如果将单元格彼此相连,形成一个二维网格,那么一维色散图分析就会不精确,因为在二维 EBG 中,波可以沿平面上的任何方向传播,与一维 EBG 结构中只能沿一个方向传播相反。

因此，一维分析必须扩展到二维结构。对于这种结构，我们可以应用一种通用的二维色散图分析方法[40]。它适用将任意单元格结构表征为四端口网络。图 5.92 给出了一维和二维 EBG 结构的端口定义。如图所示，一维 EBG 结构有两个端口，而二维 EBG 结构有 4 个端口。

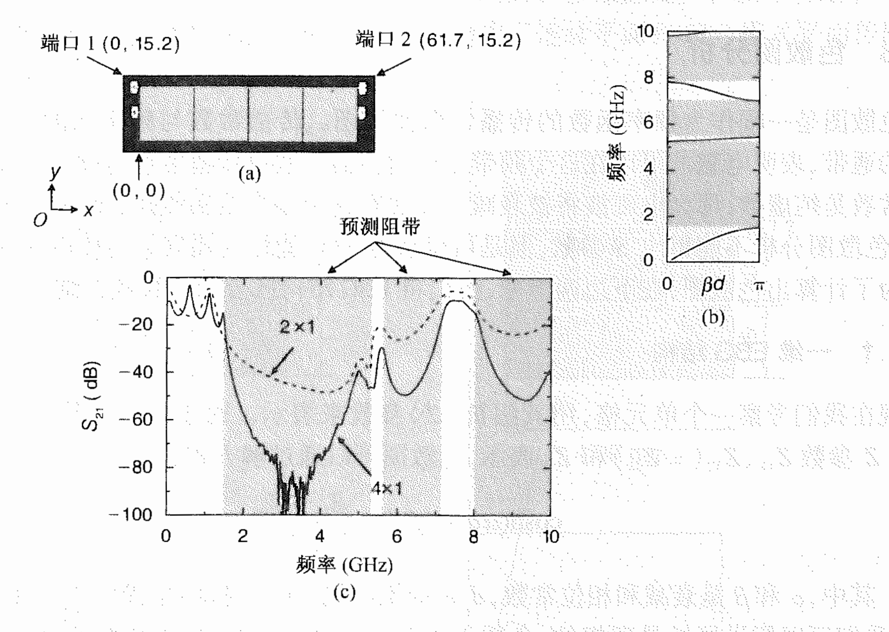


图 5.91 一维 EBG 结构分析：(a) 4×1 结构 EBG 网格（单位：mm）；(b) 一维 EBG 单元格色散图计算结果；(c) 测量的传输系数 S_{21}，分别为 (a) 中的 4×1 结构和基于相同单元格的 2×1 结构

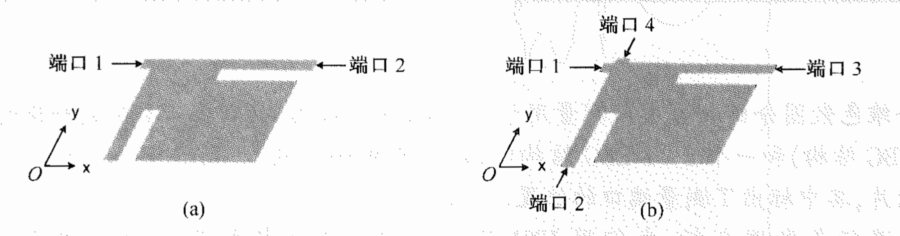


图 5.92 单元格的端口定义：(a) 一维 EBG；(b) 二维 EBG

现在，我们集中讨论 x 和 y 方向。下面的网络矩阵很重要：

$$\begin{pmatrix} V_1 \\ I_1 \\ V_2 \\ I_2 \end{pmatrix} = \bar{\bar{F}} \begin{pmatrix} V_3 \\ -I_3 \\ V_4 \\ -I_4 \end{pmatrix} \tag{5.11}$$

其中下标表示端口电压（V）或电流（I），$\bar{\bar{F}}$ 中包含单元格感兴趣端口的频率响应。基于这个矩阵，我们可以应用下面的特征值方程得到二维色散图，假设横向周期无限长：

$$\left\{ \bar{\bar{F}} - \begin{pmatrix} e^{\gamma_x d_x} & & & \\ & e^{\gamma_x d_x} & & \\ & & e^{\gamma_y d_y} & \\ & & & e^{\gamma_y d_y} \end{pmatrix} \right\} \begin{pmatrix} V_3 \\ -I_3 \\ V_4 \\ -I_4 \end{pmatrix} = 0 \tag{5.12}$$

其中，$e^{-\gamma_x d_x}$ 为 $+x$ 方向上间隔 d_x 的传播系数，$e^{-\gamma_y d_y}$ 为 $+y$ 方向上间隔 d_y 的传播系数，d_x、d_y 是单元格的长和宽。

举例

基于二维色散图分析，我们研究了如图 5.93(a) 所示二维 EBG 结构的阻带。EBG 结构有一条狭缝，有助于降低阻带起始端的频率。如图 5.93(b) 所示，单元格的参数为：$w_1 = 0.25$ mm，$w_2 = 14.73$ mm，$w_3 = 0.13$ mm，$g_1 = 0.25$ mm，$g_2 = 7.62$ mm。所用介质为厚 127 μm 的 FR-4。图 5.93(c) 是二维色散图，是应用方程 (5.12) 绘出的，称之为 Brillouin 带[21][41]。不能缩减的 Brillouin 带在小插图中表示为一个三角形。通过计算三角形上几个波向量的色散图，足以检测到各向同性 EBG 结构的所有通带和阻带（如本例所讨论的）[42]。图 5.93(c) 中的阴影部分表示阻带，隐含着波沿任何方向上都衰减。图 5.93(d) 测量的是从端口 1 到端口 2 和端口 3 的传输系数 S_{21}，阴影部分表示由色散图分析预测的阻带，它们相关得比较好。

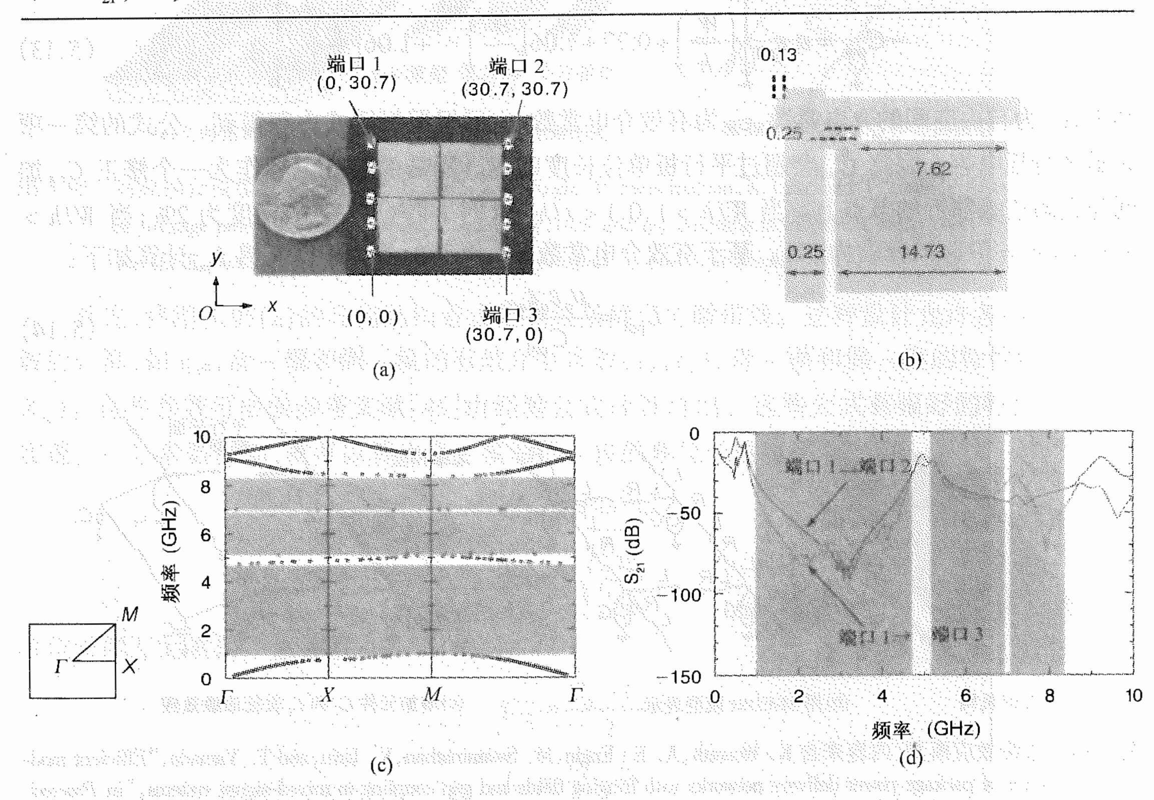


图 5.93 (a) 2×2 EBG 二维结构（单位：mm）；(b) 单元格的几何结构参数（单位：mm）；(c) EBG 单元格的色散图计算结果；(d) 测量的传输系数 S_{21}；其中，(c) 和 (d) 中的阴影部分表示由色散图 (c) 预测的 EBG 结构的阻带（内容来自 A. E. Engin, Y. Toyota, T. H. Kim, and M. Swaminathan, "Analysis and design of electromagnetic bandgap (EBG) structures for power plane isolation using 2D dispersion diagrams and scalability," in *Proceedings of the IEEE Workshop on Signal Propagation on Interconnects*, Germany, May 2006, © 2006 IEEE）

与图 5.89 相似，EBG 结构包含狭缝和窄线条。狭缝引入间隙耦合，而窄线条在计算方程 (5.11) 中的矩阵 $\bar{\bar{F}}$ 时需要考虑边缘场。但是第 2 章中介绍的平面模型并不包含这些二阶效

应。下面我们将介绍包含二阶效应的 M-FDM 公式，它对于 EBG 结构色散图和 S 参数的计算及包含有窄线和间隙的结构很重要。

5.7.4 用边缘场和间隙场修正 M-FDM

5.7.4.1 边缘场

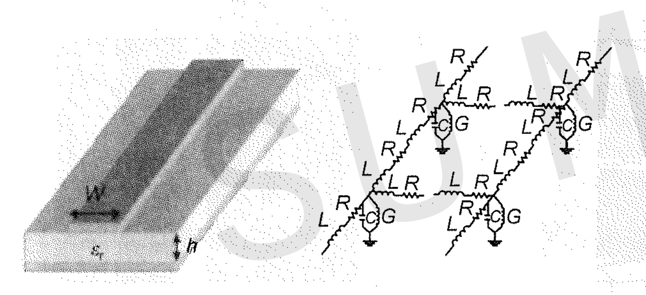
第 2 章所介绍的 M-FDM 公式中，我们假设每个单元格都有一个横向无限扩展的平面对。计算单位长度(pul)电容和电感元件的公式实质上是平行板方程[43]。然而，边缘场发生在边缘突变的地方，隐含着 pul 电感和电容与平行板公式计算得到的结果不同。采用一些表征得比较好的封闭式表达式，我们可以得到这些新的 pul 参数，而且这些表达式很容易加到 M-FDM 的公式中。

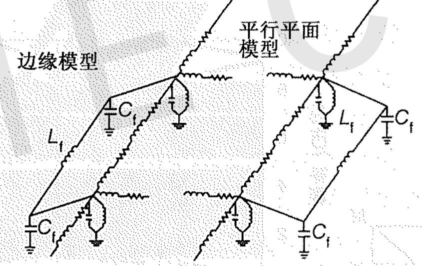
通过在边缘添加额外的元件，我们对边缘场进行了修正。对于这些元件：图 5.94(a)标出了一条宽为 W 的微带线，且介质高度为 h、金属厚度为 t。这条微带的 M-FDM 模型如图 5.94(b)所示。微带线到地单位长度电容 C_{pul}，可由下面的经验方程[44]估算：

$$C_{\text{pul}} = \varepsilon_0 \varepsilon_{\text{eff}} \left[\left(\frac{W}{h}\right) + 0.77 + 1.06\left(\frac{W}{h}\right)^{0.25} + 1.06\left(\frac{t}{h}\right)^{0.5} \right] \tag{5.13}$$

其中，ε_0 为自由空间的介电常数，ε_{eff}为有效介电常数，也可根据封闭式方程得到。公式的第一项表示平行板电容。因此 C_{pul}会超过平行板单位长度电容。所需的额外电容作为一个修正 C_f，加到与金属边缘邻近的节点上。当 $W/h > 1$、$0.1 < t/h < 4$ 时方程(5.13) 的精度为 2%；当 $W/h > 0.3$、$t/h <= 10$ 时的精度为 6%。基于有效介电常数 ε_{eff}，微带的单位长度互感 L_{pul} 计算如下：

$$L_{\text{pul}} = \frac{\mu_0 \varepsilon_0 \varepsilon_{\text{eff}}}{C_{\text{pul}}} \tag{5.14}$$





(a)几何机构　(b)用 M-FDM 模型表示　(c)增加元件 C_f 和 L_f 表征边缘效应

图 5.94 边缘效应模型(内容来自 K. Bharath, A. E. Engin, M. Swaminathan, K. Uriu, and T. Yamada, "Efficient modeling of package power delivery networks with fringing fields and gap coupling in mixed-signal systems," in *Proceedings of the IEEE 15th Topical Meeting of Electrical Performance of Electronic Packaging*, 2006, © 2006 IEEE)

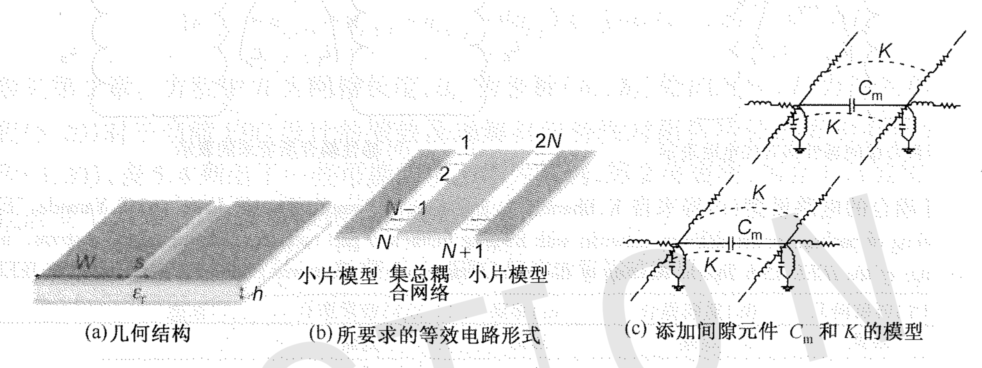
如图 5.94(c)所示，通过增量 L_f，M-FDM 模型的电感获得了修正。由单位长度电容(C_{pul})和电感(L_{pul})计算 C_f 和 L_f 的方程为

$$\begin{aligned} C_f &= \frac{C_{\text{pul}} - C_{\text{pp}}}{2} w \\ L_f &= \frac{2\mu_0 h w L_{\text{pul}}}{\mu_0 h - W L_{\text{pul}}} \end{aligned} \tag{5.15}$$

其中，$C_{\text{pp}} = \varepsilon W/h$($\varepsilon$ 为介电常数)，w 为单元格的宽度。边缘元件仅加在 M-FDM 公式中的边缘单元上。

5.7.4.2 间隙场

当物理结构上分隔的一些金属小片间距接近介质厚度时，间隙效应将引起它们之间的耦合。当这些小片发生谐振时，耦合会相当明显。图 5.95(a)是两个宽 W 的小片，间距为 s。如图 5.95(b)所示，我们要求这个模型是一个集总网络，耦合只在狭缝两边的节点间发生。获取间隙模型的方法学如下。



(a)几何结构　(b)所要求的等效电路形式　(c) 添加间隙元件 C_m 和 K 的模型

图 5.95 间隙耦合模型(内容来自 K. Bharath, A. E. Engin, M. Swaminathan, K. Uriu, and T. Yamada, "Efficient modeling of package power delivery networks with fringing fields and gap coupling in mixed-signal systems," in *Proceedings of the IEEE 15th Topical Meeting of Electrical Performance of Electronic Packaging*, 2006, © 2006 IEEE)

首先，将图 5.95(a)的几何结构看成是宽线条耦合的微带线。这种设计允许各种耦合线参数的计算，如 ε_{eff}，奇－模和偶－模的有效介电常数(ε_e，ε_o)，奇－模和偶－模的特性阻抗(Z_{0e}，Z_{0o})。这些参数可根据参考文献[45]由经验公式计算得出。这些公式有很好的特性，且容易实现。一旦参数已知，就可以算出奇－模和偶－模的单位长度电感和电容：

$$\begin{aligned} \mu\varepsilon_{e,o} &= L_{e,o} C_{e,o} \\ Z_{0e,o} &= \sqrt{\frac{L_{e,o}}{C_{e,o}}} \end{aligned} \tag{5.16}$$

单位长度互元素的计算如下：

$$\begin{aligned} C_{12} &= \frac{C_o - C_e}{2} \\ L_{12} &= \frac{L_e - L_o}{2} \end{aligned} \tag{5.17}$$

如图 5.95(c)所示，电场耦合由一个电容器 C_m 表示，它被连接在横过间隙的节点之间。该电容很容易计算：

$$C_m = C_{12} w \tag{5.18}$$

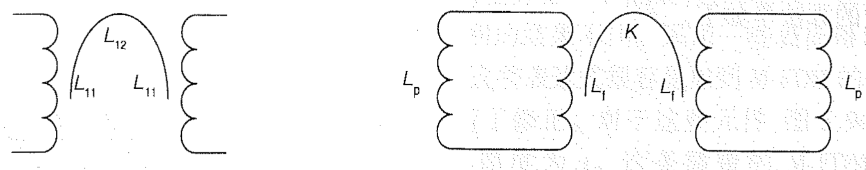
如图 5.95(c)所示，磁场耦合是通过一个互耦系数 K 进行建模的。获得 K 值的技术更加复杂，具体见图 5.96。前面计算的等效电路参数代表了图 5.96(a)中的电路。然而，如图 5.95(c)所示，我们要求互感元件只耦合间隙两边的元件，这些元件是边缘电感 L_f。因此，需要一个如

图 5.96(b)所示的表达形式。参考文献[46]中有一个提供这种形式的方程。基本思想就是确保每种情况下的电感矩阵都相同,从而产生了下面计算 K 值的方程:

$$K = \frac{-1+\sqrt{1+4Q_1^2L_f^2}}{2Q_1L_f} \tag{5.19}$$

其中 $Q_1 = L_{12}/(L_{11}^2 - L_{12}^2)$ 。

边缘和间隙模型同样也可用于带状线结构。

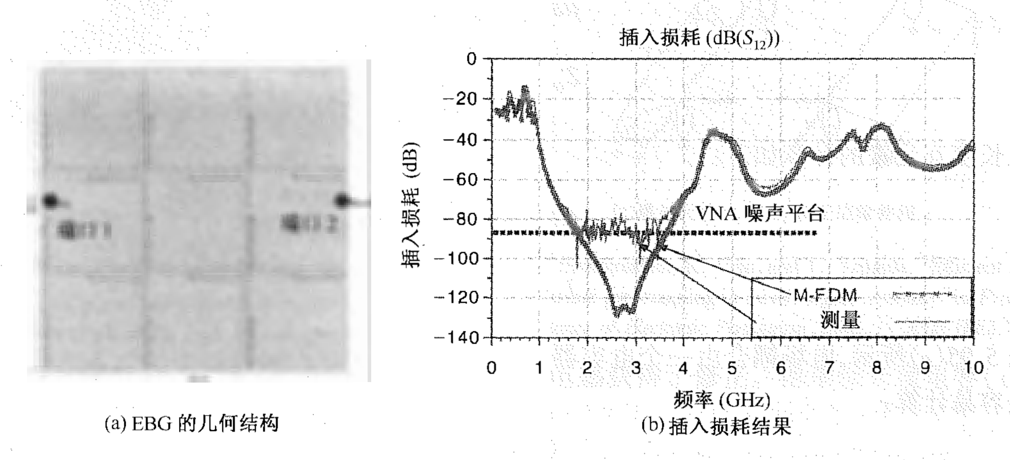


(a)耦合线间感性耦合的电路表示 (b)感性耦合所需求的表示

图 5.96 感性耦合的电路模型(内容来自 K.Bharath, A.E.Engin, M.Swaminathan, K.Uriu, and T.Yamada, "Efficient modeling of package power delivery networks with fringing fields and gap coupling in mixed-signal systems," in *Proceedings of the IEEE 15th Topical Meeting of Electrical Performance of Electronic Packaging*, 2006, © 2006 IEEE)

举例

包括边缘和间隙场的公式精度,通过与基于松下技术的测量进行比较而得到。所有的仿真都在一个包含有 3.2 GHz CPU 和 3.5 GB RAM 的 Intel Xeon 工作站上进行。EBG 层的俯视图如图 5.97(a)所示,总尺寸为 46 mm×46 mm。介质厚度为 60 μm。通过 M-FDM 仿真和测量所得的嵌入损耗结果的曲线如图 5.97(b)所示。可以看出,由 M-FDM 仿真得到的结果与测量得到的匹配得很好。仿真中,每 100 个频率点需要 75.61 秒,比一般的全波求解程序[47]快两到三个数量级。



(a) EBG 的几何结构 (b) 插入损耗结果

图 5.97 应用边缘和间隙场的建模(内容来自 K.Bharath, A.E.Engin, M.Swaminathan, K.Uriu, and T.Yamada, "Efficient modeling of package power delivery networks with fringing fields and gap coupling in mixed-signal systems," in *Proceedings of the IEEE 15th Topical Meeting of Electrical Performance of Electronic Packaging*, 2006, © 2006 IEEE)

5.7.5 电源平面隔离 EBG 结构的可缩放设计

为了符合更多小型无线设备的一般要求,最好是采用尽可能小的小片尺寸的 EBG 结构获得所需的阻带。然而,更小的小片会导致阻带频率升高,因为 EBG 结构的小片尺寸决定了阻带的起始频率。

材料、几何结构和频率间的关系,可在对电源/地平面建模的基础上加以说明。赫姆霍兹方程的有限差分逼近可写为

$$(u_{i,j-1}+u_{i,j+1}+u_{i-1,j}+u_{i+1,j}-4u_{i,j})/(-\mathrm{j}\omega\mu d)+\mathrm{j}\omega\frac{\varepsilon h^2}{d}u_{i,j}=I_z \tag{5.20}$$

请参见第 2 章。方程中 h 为网格长度,$u_{i,j}$ 为坐标(h_i, h_j)处的电压,I_z 为注入单元的总电流。方程(5.20)对于当前 EBG 设计的缩放及理解材料特性对阻带特征的影响有很大帮助。基于方程(5.20),表 5.4 列出了一些可能的项。作为举例,第 2 项表明,当介电常数增加 K^2,而结构特征改变 $1/K$ 时,EBG 表现出相同的频率特征。

表 5.4 EBG 结构的可缩放选项

选项	介电常数(ε_r)乘以	频率(ω)乘以	介质厚度(d)乘以	几何结构(h)乘以
1	K^2	$1/K$	K	1
2	K^2	1	1	$1/K$
3	1	$1/K$	K	K

另外,介质厚度(d)只改变给定激励的电压幅度。因此,并不影响阻带频率;但会改变 EBG 提供的隔离。这些项并不局限于某个特殊的 EBG 结构;可以应用于任何电源/地平面结构。赫姆霍兹方程忽略了二阶效应,如边缘和间隙场,方程(5.20)假设媒介为低损耗。然而,这些假设对表 5.4 中的可变项影响并不大[21]。

举例

根据表 5.4 中的第 2 项,一种 $\varepsilon_r = 30$ 的高 K 材料,其介电常数比 FR-4 大 7 倍,有可能将 EBG 结构的尺寸减小到原始尺寸的 40%。这种材料就是三井-Oak 的 BC-16T。图 5.98 说明了由这种可缩放性原则得到 EBG 结构尺寸的缩减。基于一个单元格的全波仿真,通过计算得出小的高 K 值和大的 FR-4 EBG 的色散图,如图 5.99 所示。从两个 EBG 结构的这两个色散图预测的带隙,应该都出现在相同的频率处。图 5.100 是基于测量结果的比较。基础带隙从约1 GHz 到 4 GHz(正如图 5.99 中的色散图所预测的)。并且两个 EBG 结构的结果相同。图 5.100 表明这两个结构的带隙是一致的;然而,在幅度上却有很大的差异,这要归因于材料的厚度。FR-4 的厚度为 60 μm,而高 K 材料的厚度为 16 μm。材料的厚度会影响幅度,但并不改变带隙的位置。

举例

下面测试其他两种材料,并与 FR-4 进行比较。一种材料的厚度为 21.5 μm、介电常数为 4.4(三井-Oak 的 BC-24 M);另一种材料的厚度为 11.8 μm、介电常数为 7.9(三井-Oak 的 BC-12 TM)。

图 5.101 给出了这两种材料间的比较，它们的尺寸与图 5.98 中的尺寸(边长为 18.4 mm)一样小。正如所预想的，高介电常数材料的频率响应按其平方根的大小而成比例地下降。作为举例，测量的两个最大介电常数比率的平方根为 $\sqrt{30/7.9}\approx 2$。如图 5.101 所示，介电常数为 30 的材料基础阻带约为 1 GHz 到 4 GHz。介电常数为 7.9 的材料基础阻带约为 2 GHz 到 8 GHz，与由缩放因子预测的一致。因此，更高的介电常数将在更低的频率处引入隔离，且带隙的带宽也会随之减小。为了说明带阻滤波器的响应，我们定义了一个分数带宽：

$$\Delta=\frac{f_2-f_1}{\sqrt{f_1 f_2}} \tag{5.21}$$

其中 f_1 和 f_2 是基础(第一)阻带的边界。高 K 材料的应用并不改变这个分数带宽。

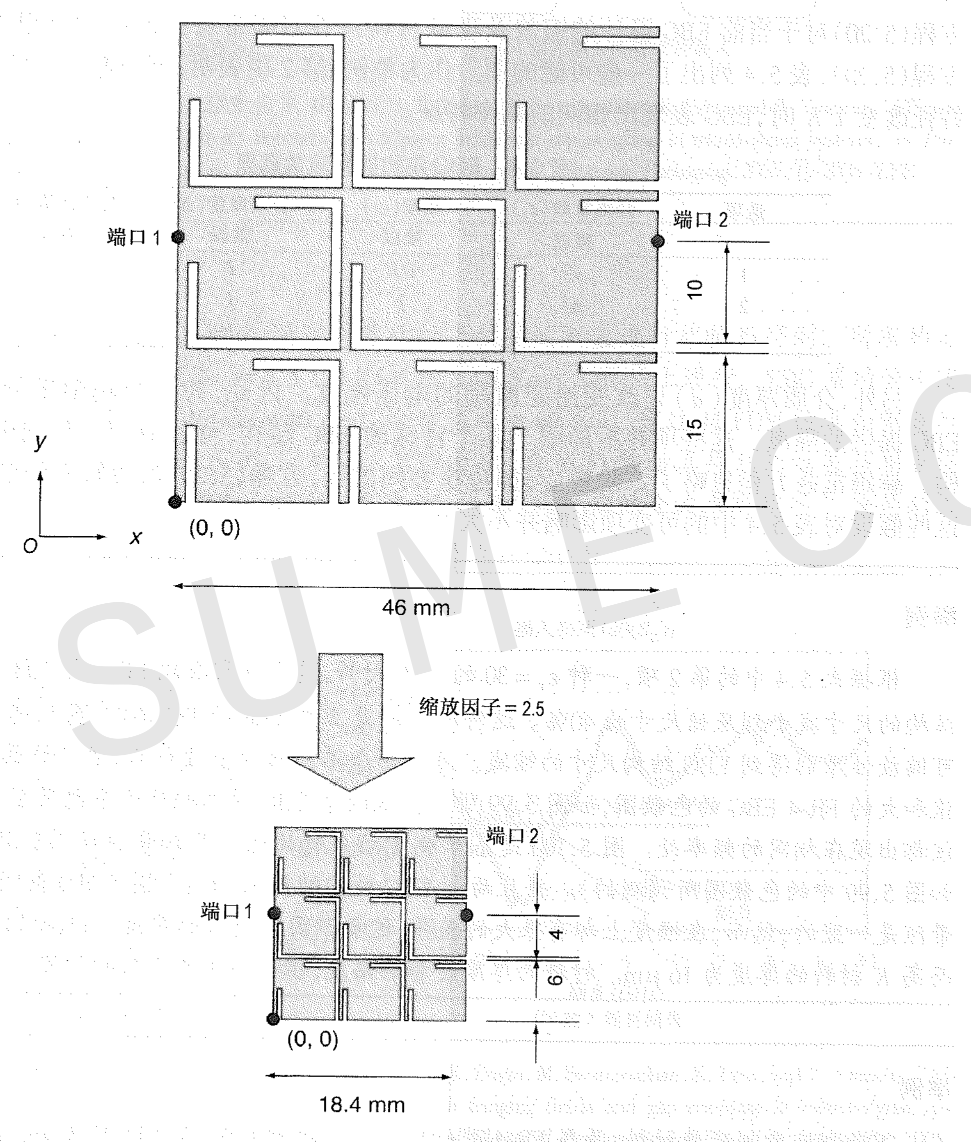


图 5.98 高 K 材料几何结构的缩放狭缝宽度由 0.5 mm 减小到 0.2 mm

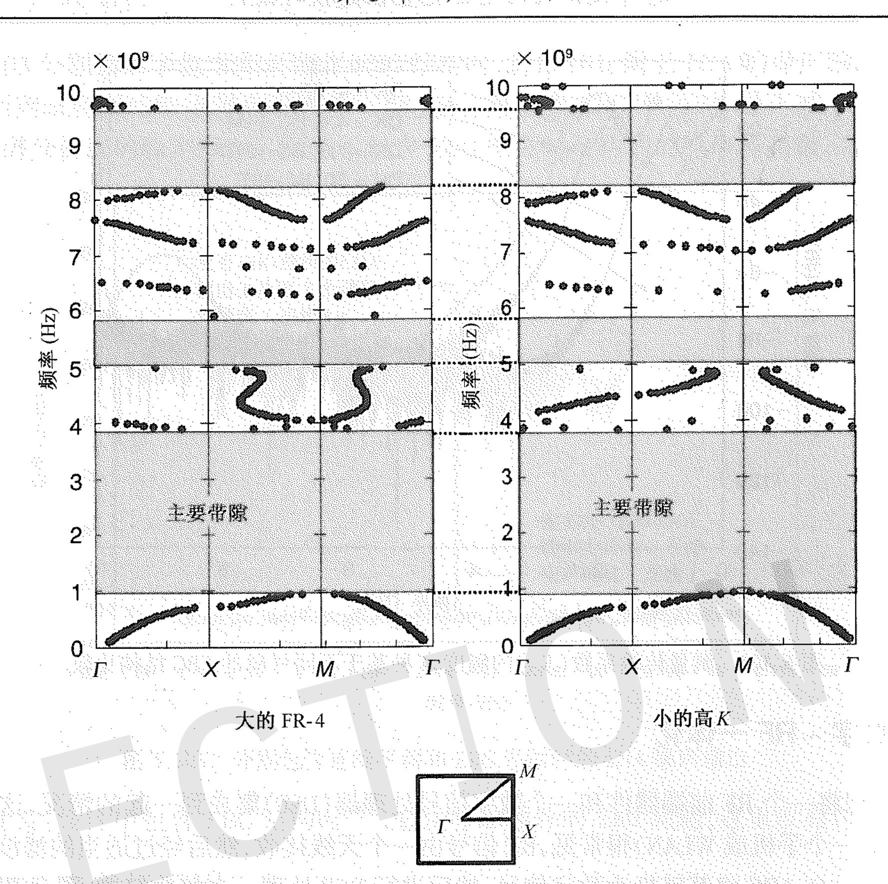


图 5.99 (左) 大的 FR-4；(右)小的高 K 值 EBG 的色散图，带隙出现在同频率处

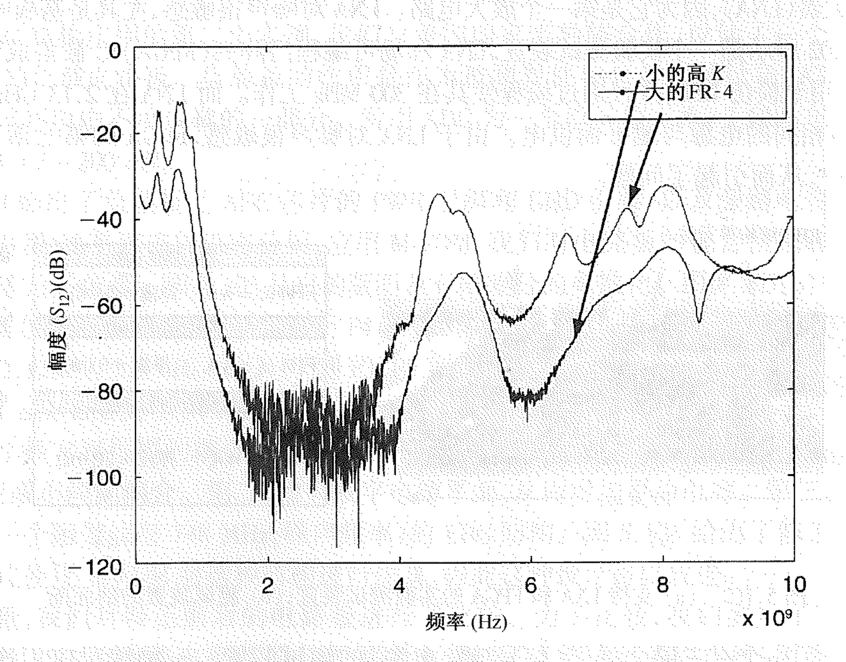


图 5.100 测量的传输系数 S_{12} 的幅度，小的高 K 值和大的 FR-4 EBG 之间的比较

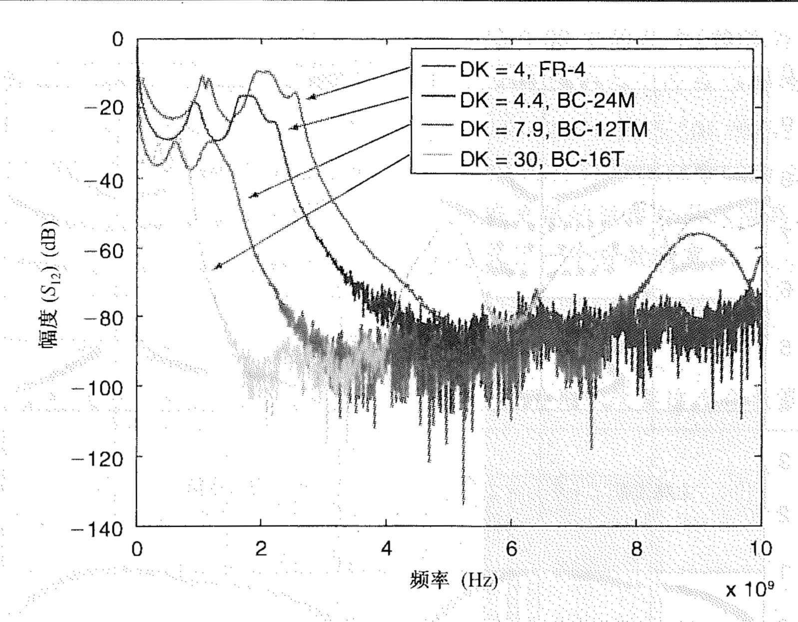


图 5.101 测量传输系数(S_{12})的幅度，4 种基于不同材料的 EBG 结构比较

5.7.6 数字 - RF 一体化

下面考虑将一个 RF 前端器件和一个数字信号处理器(DSP)集成到一起的情况，这在一些移动设备中(如一个手机或 WLAN)很常见，RF 信号由一个天线接收，然后经过适当的滤波进行下变频，接着通过一个 ADC 将其转换为数字信号，然后进行 DSP 处理。在接收链中，最重要的电路就是低噪声放大器(LNA)，因为它是第一个放大电路。LNA 对噪声很敏感，尤其是基板噪声。

如图 5.102 所示是一个实验测试装置，LNA 和场可编程门阵列(FPGA)IC 被集成到同一块基板上。FPGA 用于模仿 DSP，并且通过编程使其在 300 MHz 工作。而 LNA 在 2.13 GHz 工作。FPGA 和 LNA 由相同的电源与地平面供电。由于 LNA 对噪声很敏感，FPGA 的第七谐波会耦合到 LNA 的频带中，从而引起了问题。

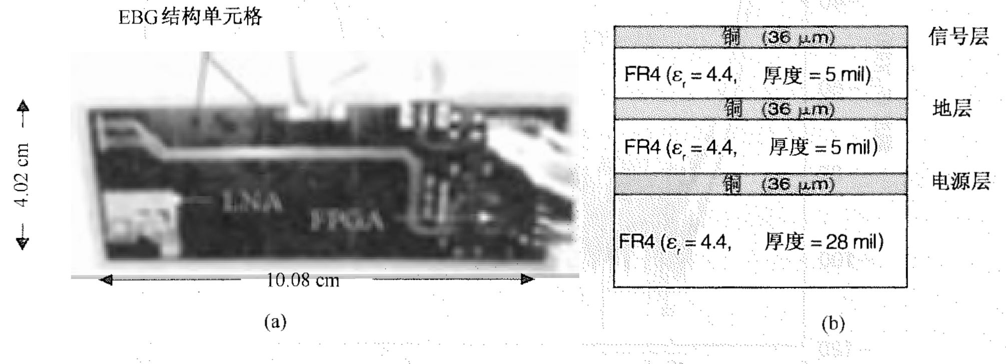


图 5.102 (a) 支持 LNA 和 FPGA 的实验测试装置；(b) 测试装置的剖面图

我们设计了一个有三层金属层(信号、地、电源)的测试装置。一种情况应用连续的电源/地平面，而另一种将地平面蚀刻成一种 EBG 结构。这种 EBG 结构如图 5.102 所示[48]。由一个 3.3 V 电源给 FPGA 和 LNA 供电。测量噪声耦合时需将 LNA 的输入端接地。

图 5.103 分别给出了包含和不包含 EBG 结构时，2.13 GHz 附近 LNA 的噪声输出功率。包含连续平面测试装置的输出噪声功率为 - 58 dBm，而包含 EBG 平面时，噪声减小为 - 84 dBm(近似为频谱分析仪的噪声平台)，证明了包含 EBG 平面时可达到的噪声隔离级。

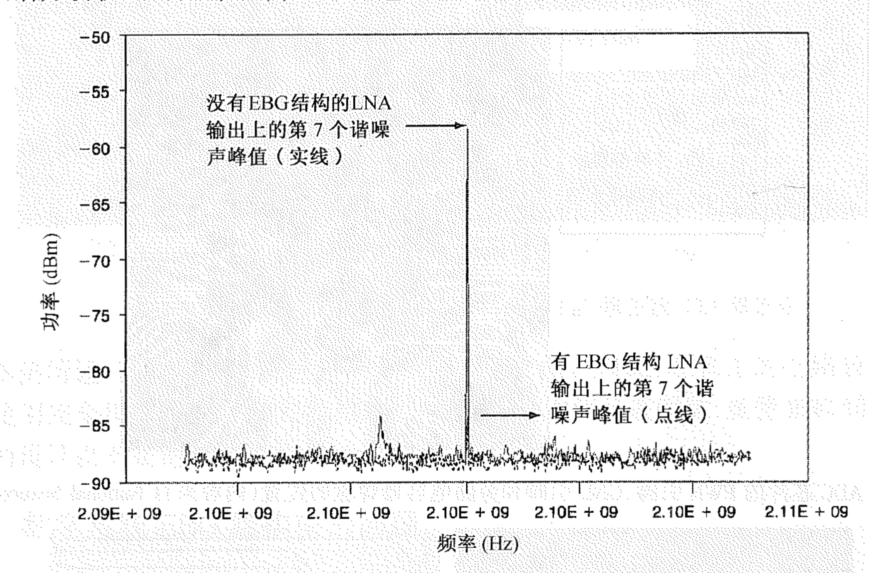


图 5.103 分别包含连续平面和 EBG 平面时的 LNA 噪声输出

必须注意：设计中包含 EBG 结构时[49]，必须考虑额外的 EMI 问题，这里没有讨论。

5.7.7 ADC 负载板设计

作为 EBG 结构应用的第二个实例，我们与美国国家半导体合作，设计了一个高速高分辨率 ADC 样片的负载电路板。负载板的作用是作为被测器件和自动测试设备(ATE)之间的接口。它是测试环境中不可或缺的一部分。所用 ADC 为一个双 8 位 1.5 ~ 3 Gb/s 的样片。电压范围为 1.9 V + / - 200 mV。

图 5.104 标出了负载板上 ADC 芯片的 PWR 引脚和 GND 引脚，以及旁路电容器焊盘的位置。为了对电源/地平面进行噪声分析，应用 M-FDM，我们对电路板的包含模拟和数字电源平面的金属层进行了仿真。图 5.105 是它的版图及有限差分的离散化。图 5.105(b)中，18 个旁路电容器的放置位置与图 5.104 相同。对于 P4 和 P11(参考图 5.104)，旁路电容器 C 为 10 μF，ESR 为 311.91 mΩ，ESL 为 1.8 nH。对于 P1 到 P3、P5 到 P10 和 P12 到 P16，旁路电容器 C 为 0.1 μF，ESR 为 63.41 mΩ，ESL 为 1.94 nH。

为了减小数字到模拟的耦合，我们进行了以下修正：第一，加宽模拟和数字电源平面之间的间隙，从而减小间隙耦合。第二，增大数字电源平面，从而增加平面电容。第三，在数字电源平面上设计一个阻带超过 748 MHz(噪声频率)的 EBG 结构。图 5.106 给出了修正前后的电路板。我们迭代使用 M-FDM 对这种结构进行仿真，因此这种设计得以改进。

通过测量，我们对修正前后的电路板进行了比较。为了比较，我们测量了 SSN 的频谱。并且在所有的 PWR 和旁路电容器的 GND 焊盘上焊接了 1 英寸长的引出线，因为这些焊盘被安装 ADC IC 的插座挡住了。我们在 ATE 上执行测试程序，用一个频谱分析仪对噪声频谱进行测量。作为举例，图 5.107 给出了 P9 处的测量结果(图 5.104 标出了 P9 的位置)。该图包含

了测量的修正前(见图5.107(a))和修正后(见图5.107(b))电路板的噪声频谱。修正后的设计减小了噪声频谱,且低于测量所能达到的精度。我们也在其他位置对噪声进行了测量,90%的测试位置观察到的噪声减小量高达10 dBm。

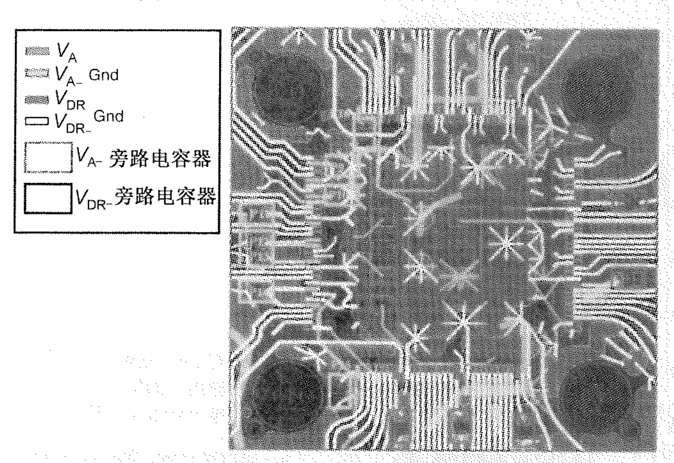


图5.104 ADC芯片的PWR引脚、GND引脚和旁路电容器焊盘的位置(内容来自National Semiconductor)

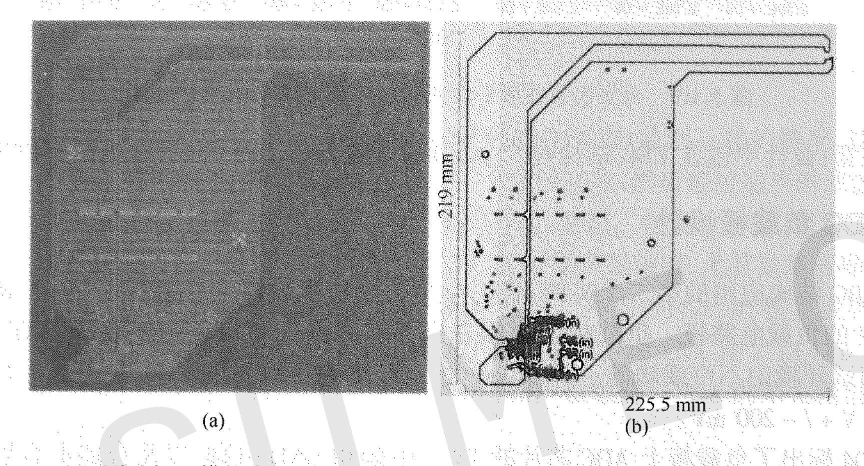


图5.105 (a)测试板上模拟电源平面和数字电源平面的版图;(b)图(a)中的M-FDM导入结构

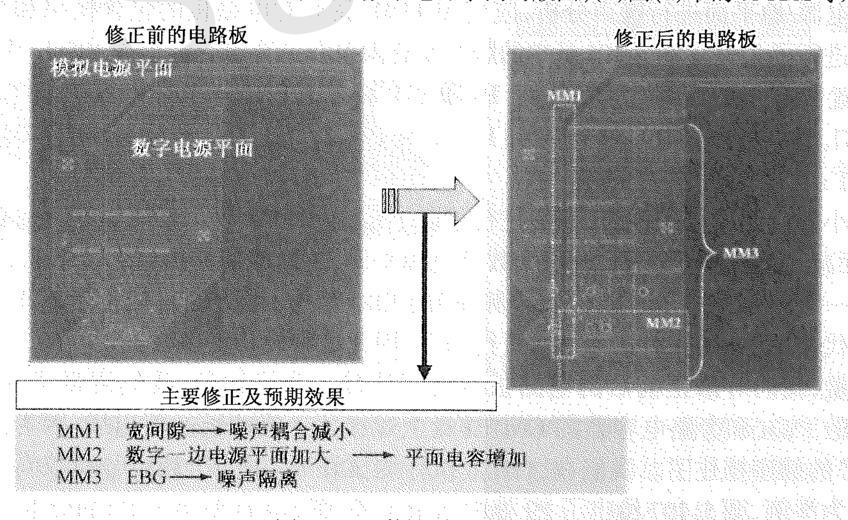


图5.106 修正前后的电路板

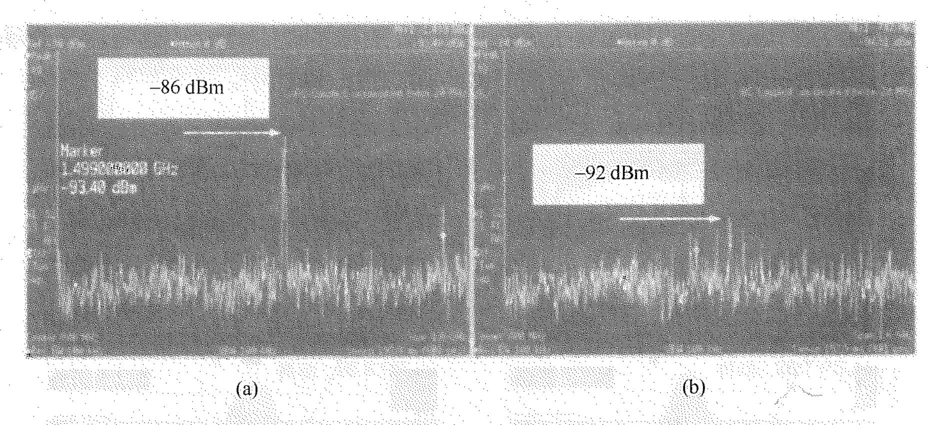


图5.107 电路板P9处测量的噪声频谱:(a)修正前;(b)修正后

如本例所述,真实的电路板包含开槽和非矩形平面。因此,在真正的电路板设计中,我们不可能使用完全周期性的理想EBG结构。然而,正如本例所表明的,要使EBG结构有效,完全周期性的设计也不是绝对必要的。

5.7.8 数字系统EBG结构中的问题

第三个实例将证明数字系统[50]EBG结构在应用中的问题。如图5.108(a)所示,通过两种类型的测试装置,我们研究了一维EBG结构对信号切换过孔的影响。它们都有一个四层的叠层,并且信号线以顶层为起始端,通过信号路径中间的一个过孔结构到达底层。唯一的不同点在于叠层的第二层。在第二层中,它们一个以一维EBG图案作为电源平面,另一个以连续完整的平面形式而不是EBG。测量装置如图5.108(b)所示。噪声源和过孔分别位于电路板的两个相对的边缘位置。

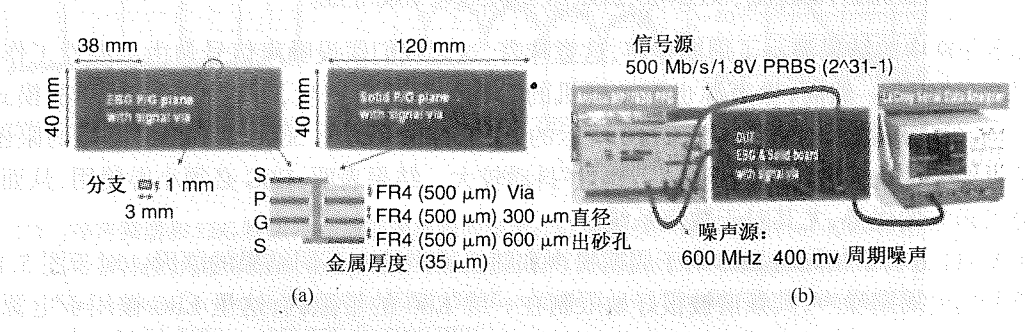


图5.108 被测器件(DUT)及测量设备:(a)位于信号线下方的一维EBG结构电源平面(信号路径中间有一过孔);(b)用于研究时钟抖动和数据眼的测量设备(内容来自D.Chung,T.H.Kim,C.Ryu,E.Engin,M.Swaminathan,and J.Kim,"Effect of EBG structures for reducing noise in multi-layer PCBs for digital systems,"in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*,Oct.24-26,2006,pp.253-256,© 2006 IEEE)

图5.108中一维EBG的带隙频率从600 MHz到1.8 GHz。图5.109是在噪声源和过孔之间采用一维EBG结构时的测量结果。实验中用的都是周期性噪声源,基波频率为600 MHz,因而EBG可减轻直到三次谐波的噪声信号频率。如图5.109所示,EBG电路板上一个500 Mb/s的数据信号确保有1.58 V的眼睁开度、25.3 ps的时序抖动;而一般的连续电路板中眼睁开度

和时序抖动分别为1.44 V和39.4 ps。结果表明,EBG结构可以有效地将信号过孔与噪声源加以分隔,从而抑制电源/地谐振腔噪声,使其不能传播到过孔结构中。

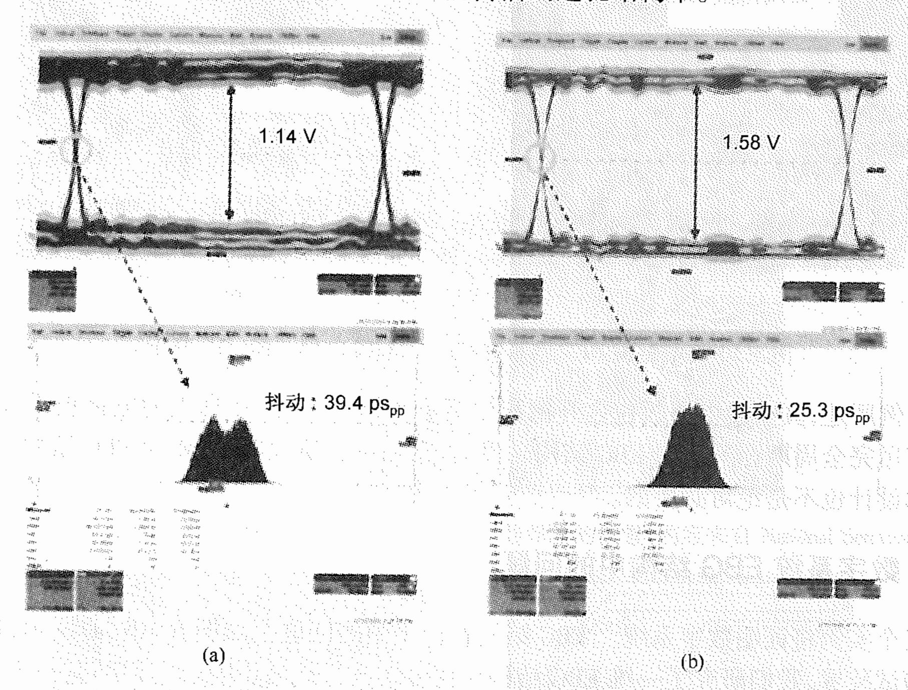


图5.109 EBG结构对周期噪声的影响:周期噪声为600 MHz-400 mV时,对500 Mb/s-1.8 V数据信号的测量,抖动减小了14.1 ps。(a)连续电路板;(b)EBG电路板(内容来自D. Chung, T. H. Kim, C. Ryu, E. Engin, M. Swaminathan, and J. Kim, "Effect of EBG structures for reducing noise in multi-layer PCBs for digital systems," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 24-26, 2006, pp. 253-256, © 2006 IEEE)

图5.109中的结果演示了周期噪声,这意味着,这里我们假设噪声信号是由周期性工作产生的,如时钟信令。然而,噪声源也可由随机的数字开关噪声产生,可以具有一种随机模式。这样,EBG的作用就不同了,如图5.110所示的EBG电源平面上500 Mb/s数据信号的眼图。与连续电源平面的相比,眼睁开度较小,时序抖动较大。结果表明:EBG必须小心使用,从而才能充分发挥它的优势,尤其对于数字系统。

图5.111分析了相同的EBG对于周期噪声和随机噪声给出不同结果的原因。对于图5.109中实验所用的周期噪声,其频谱被很好地限制在一维EBG的带隙内,这里EBG被用于电源平面。然而,对于图5.110中的实验所用的随机噪声,其频谱带宽从DC开始直到很宽。即使EBG结构可以在一个特定的频带范围内提供深度隔离,但由于随机噪声频谱宽扩展的特点,其频谱不可能被限制在带隙内。如图5.111(c)所示,在低频范围内,连续平面的电容较大,电感较小,因而在转移阻抗方面比EBG电源平面好。由于随机噪声的频谱主要集中在低于500 MHz的低频范围内,EBG不能有效地减轻电源/地谐振腔噪声。带隙只在高于600 MHz时有效。因此,在数字系统中使用EBG结构对于解决周期噪声源也许是个好办法,但是对于随机噪声并非如此。因此,一个好的折中方案应该同时包含去耦电容器的应用,从而管控低频噪声耦合,高频噪声则依赖EBG。

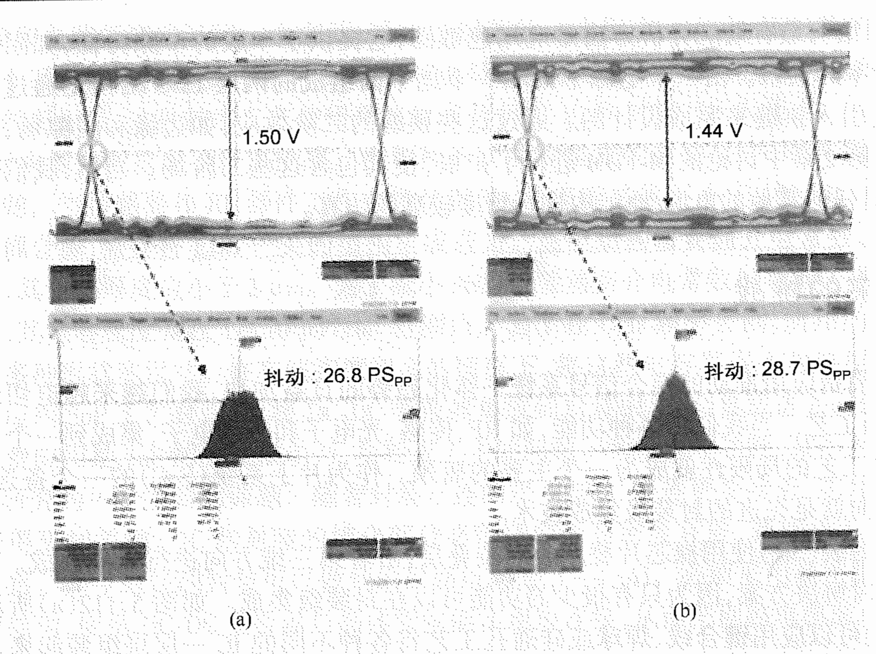


图5.110 EBG结构对随机噪声的影响:随机噪声为600 MHz-400 mV时,对500 Mbps-1.8 V数据信号的测量,抖动增加了1.9 ps。(a)连续平面电路板;(b)EBG电路板(内容来自D. Chung, T. H. Kim, C. Ryu, E. Engin, M. Swaminathan, and J. Kim, "Effect of EBG structures for reducing noise in multi-layer PCBs for digital systems," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 24-26, 2006, pp. 253-256, © 2006 IEEE)

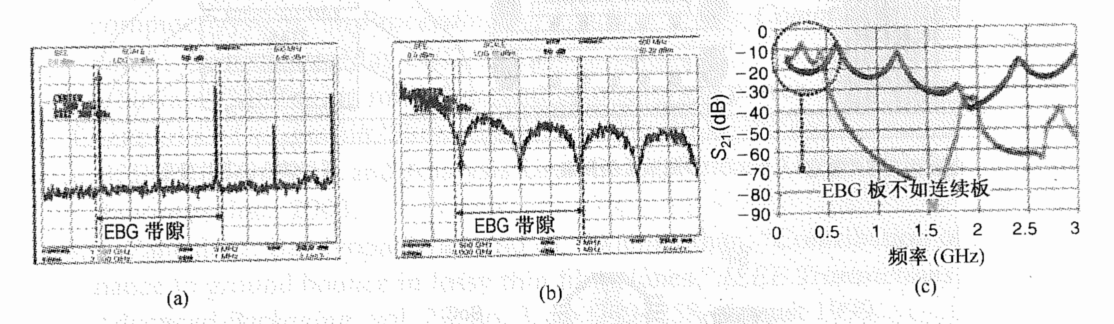


图5.111 噪声频谱和EBG特性:(a)周期噪声源的频谱;(b)随机噪声源的频谱;(c)EBG和连续平面电路板的转移特性(内容来自D. Chung, et al., "Effect of EBG structures for reducing noise in multi-layer PCBs for digital systems," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 24-26, 2006, pp. 253-256, © 2006 IEEE)

5.7.9 小结

本节介绍了EBG结构。通过适当的设计,EBG结构可以在一个小的面积上实现很高的隔离度。因此,当在高频处需要高隔离度时它的作用很大,如在同时包含数字和RF功能的系统中。并且用一种高K材料证明了EBG结构尺寸可以缩减(不改变其隔离特性)。本节列出了几种对EBG模式电源平面的应用,包括一个混合信号电路板,一个ADC芯片的测试电路板,以及一个包含周期或随机噪声源的数字应用。

对 EBG 结构最有效的分析方法是应用色散图，它提供了一般的带隙特征，如阻带和通带的位置与频率的关系。由一个电源平面和一个地平面组成的两层 EBG 结构是通过在一个或全部平面上引入狭缝来完成设计的。通过这些狭缝的二阶效应，如边缘和间隙场，变得很重要。本节对第 2 章中讨论的 M-FDM 进行了扩展，使其包含这些二阶场。当然，我们还可以使用 M-FDM 对任何其他的电源/地结构进行精度较高的仿真。

5.8　未来的挑战

随着由消费应用推动的混合信号系统一体化趋势的日益加快，我们越来越迫切地需要一些新技术、新工艺。当我们将各种功能，如 RF、传感、光电子和生物电子，集成到一个单一的硅 IC 时，CMOS 工艺的局限性就成为一个主要的瓶颈。作为片上系统（SoC）的一个备选方案，目前的研究方向就是先进的封装级集成技术。

系统级封装（SiP）使用裸芯片叠层或封装叠层，沿着第三维方向进行系统集成。然而，SiP 只是一种临时解决方案，因为只有很少的功能可以在封装级集成。如图 5.112(a)所示的这种方法中，我们可以应用键合线、焊球或硅通孔工艺将各种不同的 IC 一层层组装起来。这一方案对于存储器的叠层及逻辑在存储器上的叠层有很好的效果。

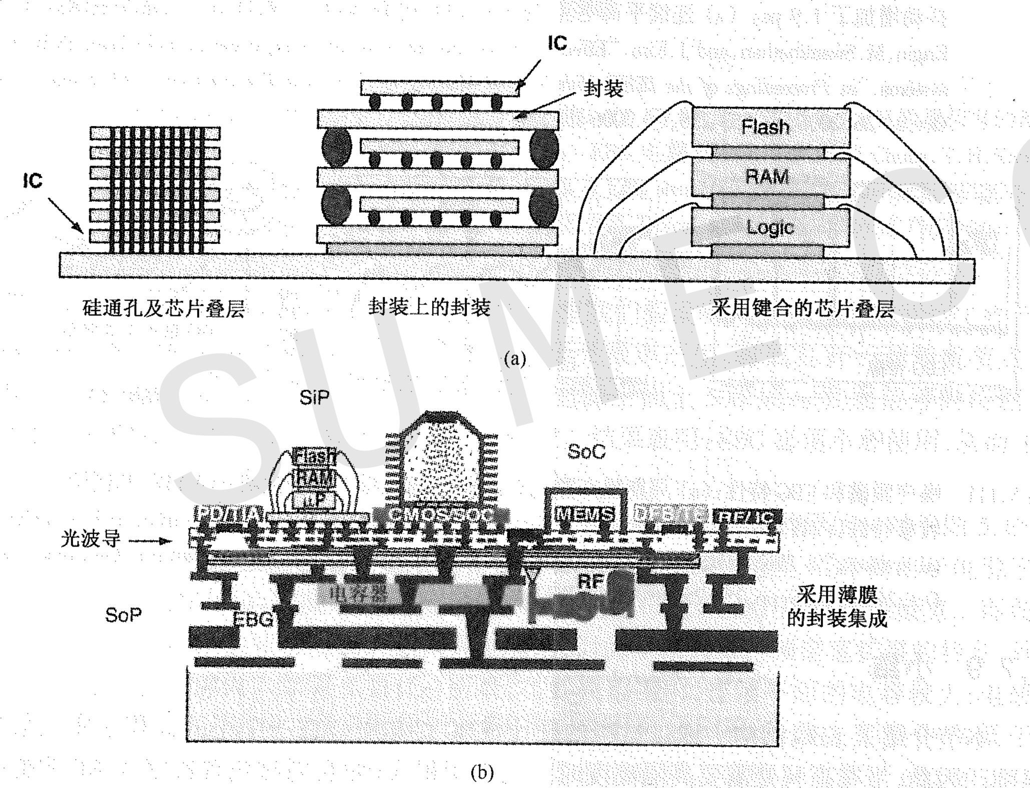


图 5.112　(a) 系统级封装(SiP)；(b) 封装上系统(SoP)(内容来自 Packaging Research Center, Georgia Tech)

封装上系统（SoP）技术的前景很广阔，它将各类功能集成到封装的不同层中，用倒装芯片或键合线工艺，将 SoC 和/或 SiP 组装到封装顶部，如图 5.112(b)所示。随着如 SoP 集成技术的

发展，封装和电路板变成了同一个东西，减少了封装的一个层次。因此，该封装的 I/O 是单一封装中整个系统的内外连接，该单一封装同时也是电路板。通过采用薄膜功能层和作用于嵌入裸芯片的谐振腔，这种技术工艺使得系统集成[51]拥有 IC 和封装的所有优点。

SoP 对电源分配提出了许多挑战。将各种不同功能集成到封装层中，噪声耦合成为了一个主要难题。当传感器和 RF 器件工作在微伏级时，隔离度必须不小于 100 dB。由于电源分配是主要耦合源，需要将 EBG 一类的结构集成进去。这些结构需要高介电常数、高导磁率的薄膜工艺，其中膜厚度应小于 1 μm。为了减小 SSN，需要将高介电常数材料的去耦电容器嵌入到封装中，其电容密度要在 1 ~ 10 μF/cm^2 范围内。为了在 GHz 频率去耦，所用的电容器结构必须具有多种形状和尺寸。在布线密度很高的情况下，将这些电容器嵌入封装层是一个主要的挑战。应用 SoP 工艺时，必须将 DC-DC 变换器集成到封装中，这会集成进去μH 级的高值电感器。消费应用是 SoP 的主要推动力，功耗成了主要问题。为了减小功耗，减小封装寄生参数是 SoP 中研究的一个主要的课题。随着封装互连的尺寸与 IC 互连更加接近，芯片 – 封装的协同设计变得更加关键。IC 和封装的接合部分必须适应于高密度互连，其尺寸不能超过 1 μm 以减小电感。如今最好的封装可以做到的回路电感是 3 ~ 4 pH。必须采用高密度过孔和精细互连几何结构，使得 DC-DC 变换器与晶体管间能实现短连接，从而把回路电感减小到 fH 级。

参考文献

1. S. Chun, L. D. Smith, R. Anderson, and M. Swaminathan, “Model to hardware correlation for power distribution induced I/O noise in a functioning computer system,” in *Proceedings of 52nd Electronic Components and Technology Conference*, May 2002.
2. I. Novak, “Measuring milliohms and picohenrys in power distribution networks,” DesignCon, Santa Clara, CA, Feb. 2000.
3. HSPICE Simulation and Analysis User Guide, Release U-2003.03-PA, Synopsys, Inc., 2003.
4. S. Pannala, J. Bandyopadhyay, and M. Swaminathan, “Contribution of resonance to ground bounce in lossy thin film planes,” *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 249–258, August 1999.
5. L. D. Smith and D. Hockanson, “Distributed SPICE circuit model for ceramic capacitors,” in *Proceedings of 51st Electronic Components and Technology Conference*, pp. 523–528, Orlando, FL, 2001.
6. L. D. Smith, R. Anderson, and T. Roy, “Power plane SPICE models and simulated performance for materials and geometries,” *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 277–287, August 2001.
7. L. D. Smith, “Simultaneous switch noise and power plane bounce for CMOS technology,” in *IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 163–166, San Diego, CA, October 1999.
8. S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Iyer, “Modeling of simultaneous switching noise in high speed systems,” *IEEE Transactions on Advanced Packaging*, vol. 24, no. 2, pp. 132–142, May 2001.

9. J. Choi, S.-H. Min, J.-H. Kim, M. Swaminathan, W. Beyene, and X. Yuan, "Modeling and analysis of power distribution networks for gigabit applications," *IEEE Transactions on Mobile Computing*, vol. 2, no. 4, Oct.–Dec. 2003, pp. 299–313.
10. W. T. Beyene, C. Yuan, R. Dhat, and D. Secker, "Effects of plating stubs on the electrical performance of wirebond PBGA packages," in *Proceedings of the International Conference on Advanced Packaging and Systems (ICAPS)*, pp. 25–30, 2002.
11. N. Na, J. Choi, S. Chun, M. Swaminathan, and J. Srinivasan, "Modeling and transient simulation of planes in electronic packages," *IEEE Transactions on Advanced Packaging*, vol. 23, pp. 340–352, Aug. 2000.
12. S.-H. Min and M. Swaminathan, "Construction of broadband passive macromodels from frequency data for simulation of distributed interconnect networks," IEEE *Transactions on Electromagnetic Compatibility*, vol. 46, no. 4, pp. 544–558, Nov. 2004.
13. H. Johnson and M. Graham, *High-Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall, 1993, pp. 189–191.
14. Agilent EEsof EDA, Advanced Design System, Product Literature, Available online: http://literature.agilent.com/litweb/pdf/5988-3326EN.pdf.
15. R. K. Hoffmann, *Handbook of Microwave Integrated Circuits*. Norwood, MA: Artech House Microwave Library, 1987.
16. X. Fang, D. Linton, C. Walker, and B. Collins, "Dielectric constant characterization using a numerical method for the microstrip ring resonator," *Microwave and Optical Technology Letters*, vol. 41, no. 1, pp. 14–17, Apr. 2004.
17. A. Deutsch, T.-M. Winkel, G. V.Kopcsay, C. W. Surovic, B. J. Rubin, G. A. Katopis, B. J. Chamberlin, R. S. Krabbenhoft, "Extraction of $\varepsilon_r(f)$ and tan $\delta(f)$ for printed circuit board insulators up to 30 GHz using the short-pulse propagation technique," *IEEE Transactions on Advanced Packaging*, vol. 28, no. 1, pp. 4–12, Feb. 2005.
18. N. Biunno and I. Novak, "Frequency domain analysis and electrical properties test method for PCB dielectric core materials," in *DesignCon 2003 East*, Boston, MA, June 2003.
19. A. E. Engin, A. Tambawala, M. Swaminathan, S. Bhattacharya, P. Pramanik, and K. Yamazaki, "Frequency-dependent dielectric constant and loss tangent characterization of thin dielectrics using a rapid solver," in *Proceedings of the Electronic Components and Technology Conference*, Reno, NV, June 2007.
20. P. Muthana, M. Swaminathan, R. Tummala, P. Raj, E. Engin, L. Wan, D. Balaraman, and S. Bhattacharya, "Design, modeling, and characterization of embedded capacitor networks for mid-frequency decoupling in semiconductor systems," in *IEEE International Symposium on Electromagnetic Compatibility*, Chicago, Aug. 2005.

21. A. E. Engin, Y. Toyota, T. H. Kim, and M. Swaminathan, "Analysis and design of electromagnetic bandgap (EBG) structures for power plane isolation using 2D dispersion diagrams and scalability," in *Proceedings of the IEEE Workshop on Signal Propagation on Interconnects*, Germany, May 2006.
22. H. Braunisch, A. Camacho-Bragado, X. Gu, and L. Tsang, "Off-chip rough-metal-surface propagation loss modeling and correlation with measurements," *Electronic Components and Technology Conference*, 2007.
23. P. Muthana, E. Matoglu, N. Pham, D. N. de Araujo, B. Mutnury, M. Cases, and M. Swaminathan,"Analysis of embedded package capacitors for high performance components," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2006, pp. 55–58.
24. P. Muthana, M. Swaminathan, E. Engin, P. M. Raj, and R. Tummala, "Mid frequency decoupling using embedded decoupling capacitors," in *Proceedings of the IEEE 14th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 2005, pp. 271–274.
25. R. R. Tummala, M. Swaminathan, M. M. Tentzeris, J. Laskar, G.-K. Chang, S. Sitaraman, D. Keezer, D. Guidotti, Z. Huang, K. Lim, L. Wan, S. K. Bhattacharya, V. Sundaram, F. Liu, P. M. Raj, "The SOP for miniaturized, mixed-signal computing, communication, and consumer systems of the next decade," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 250–267, May 2004.
26. International Roadmap for Semiconductors (ITRS), 2004 Update. http://public.itrs.net.
27. J. P. Shen and M. H. Lipasti, *Modern Processor Design: Fundamentals of Superscalar Processors*. New York: McGraw-Hill, 2003.
28. P. Muthana , K. Srinivasan, E. Engin, M. Swaminathan, R. Tummala, D. Amey, K. Dietz, and S. Banerji, "I/O decoupling in high speed packages using embedded planar capacitors," in *Proceedings of Electronic Components and Technology Conference*, May 2007.
29. I. Novak, "SUN's experience with thin and ultra thin laminates for power distribution applications," in *TecForum TF-THA2, DesignCon 2006*, Santa Clara, CA, February 6–9, 2006.
30. J. S. Peiffer, "Ultra-thin, loaded epoxy materials for use as embedded capacitor layers," *Printed Circuit Design & Manufacture*, pp. 40–42, Apr. 2004.
31. M. Xu, T. H. Hubing, J. Chen, T. P. Van Doren, J. L. Drewnial, and R. E. DuBroff, "Power-bus decoupling with embedded capacitance in printed circuit board design," *IEEE Transactions on Electromagnetic Compatibility*, vol. 45, no. 1, pp. 22–30, Feb. 2003.
32. D. Sievenpiper, L. Zhang; R. F. J. Broas, N. G. Alexopolous, and E. Yablonovitch, "High-impedance electromagnetic surfaces with a forbidden

frequency band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 11, pp. 2059–2074, Nov. 1999.

33. T. Kamgaing and O. M. Ramahi, "A novel power plane with integrated simultaneous switching noise mitigation capability using high impedance surface," *Microwave and Wireless Components Letters, IEEE*, vol. 13, no. 1, pp. 21–23, Jan. 2003.

34. R. Abhari and G. V. Eleftheriades, "Metallo-dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high-speed circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 6, pp. 1629–1639, June 2003.

35. J. Choi, V. Govind, and M. Swaminathan, "A novel electromagnetic bandgap (EBG) structure for mixed-signal system applications," in *IEEE Radio and Wireless Conference*, Atlanta, GA, Sept. 2004, pp. 243–246.

36. M. Swaminathan, J. Kim, I. Novak, and J. P. Libous, "Power distribution networks for system-on-package: status and challenges," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, pp. 286–300, May 2004.

37. F.-R. Yang, K.-P. Ma, Y. Qian, and T. Itoh, "A uniplanar compact photonic-bandgap (UC-PBG) structure and its applications for microwave circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 8, pp. 1509–1514, Aug. 1999.

38. T.-L. Wu, C.-C. Wang, Y.-H. Lin, T.-K. Wang, and G. Chang, "A novel power plane with super-wideband elimination of ground bounce noise on high speed circuits," *IEEE Microwave Wireless Component Letters*, vol. 15, no. 3, pp. 174–176, Mar. 2005.

39. R. E. Collin, *Foundations for Microwave Engineering*, 2nd ed. New York: McGraw-Hill, 1992, Chap. 8.

40. Y. Toyota, A. E. Engin, T. H. Kim, M. Swaminathan, and K. Uriu, "Stopband prediction with dispersion diagram for electromagnetic bandgap structures in printed circuit boards," in *IEEE International Symposium on Electromagnetic Compatibility*, Portland, OR, Aug. 2006.

41. Y. Toyota, A. E. Engin, T. H. Kim, M. Swaminathan, and S. Bhattacharya, "Size reduction of electromagnetic bandgap (EBG) structures with new geometries and materials," *Electronic Components and Technology Conference*, 2006.

42. Y. Toyota, A. E. Engin, T. H. Kim, and M. Swaminathan, "Stopband analysis using dispersion diagram for two-dimensional electromagnetic bandgap structures in printed circuit boards," *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 12, pp. 645–647, Dec. 2006.

43. J. Kim and M. Swaminathan, "Modeling of multilayered power distribution planes using transmission matrix method," *IEEE Transactions on Advanced Packaging*, vol. 25, no. 2, May 2002, pp. 189–199.

44. E. Barke, "Line-to-ground capacitance calculation for VLSI: a comparison," *IEEE Transactions on Computer-Aided Design*, vol. 7, no. 2, Feb. 1988, pp. 295–298.

45. M. Kirschning and R. H. Jansen, "Accurate wide-range design equations for the frequency-dependent characteristic of parallel coupled microstrip lines," *IEEE Transactions on Microwave Theory Technology*, vol. MTT-32, pp. 83–89, 1984, with corrections in vol. MTT-33, p. 288, 1985.

46. A. Sabban and K. C. Gupta, "A planar-lumped model for coupled microstrip lines and discontinuities," *IEEE Transactions on Microwave Theory Technology*, vol. 40, no. 2, Feb. 1992.

47. K. Bharath, A. E. Engin, M. Swaminathan, K. Uriu, and T. Yamada, "Efficient modeling of package power delivery networks with fringing fields and gap coupling in mixed-signal systems," in *Proceedings of the IEEE 15th Topical Meeting of Electrical Performance of Electronic Packaging*, 2006.

48. J. Choi, V. Govind, M. Swaminathan, L. Wan, and R. Doraiswami, "Isolation in mixed-signal systems using a novel electromagnetic bandgap (EBG) structure," in *Proceedings of the IEEE 13th Topical Meeting of Electrical Performance of Electronic Packaging*, 2004, pp. 199–202.

49. J. Choi et al., "Near field and far field analysis of alternating impedance electromagnetic bandgap (AI-EBG) structure for mixed-signal applications," in *Proceedings of IEEE 14th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 24–26, 2005, pp. 69–72.

50. D. Chung, T. H. Kim, C. Ryu, A. E. Engin, M. Swaminathan, and J. Kim, "Effect of EBG structures for reducing noise in multi-layer PCBs for digital systems," in *Proceedings of the IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging*, Oct. 24–26, 2006, pp. 253–256.

51. R. Tummala, "Moore's law meets its match," *IEEE Spectrum*, June 2006.